普通高等教育“十一五”国家级规划教材

西安交通大学国家精品课程“电工电子技术（电工学）”主教材

电子信息与电气学科规划教材·电子电气基础课程

电子技术

（电工学Ⅱ）

西安交通大学电工学教研室　编
王建华　主编

電子工業出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY　http://www.phei.com.cn

TM1/192
:2
2010

普通高等教育“十一五”国家级规划教材

西安交通大学国家精品课程“电工电子技术(电工学)”主教材

电子信息与电气学科规划教材·电子电气基础课程

电子技术

(电工学Ⅱ)

西安交通大学电工学教研室 编

王建华 陈国联 夏建生

王建华 主编

電子工業出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

本书是普通高等教育“十一五”国家级规划教材，也是西安交通大学国家精品课程“电工电子技术(电工学)”主教材。

全书共9章，主要内容包括半导体器件、基本放大电路、集成运算放大器、电力电子技术基础、集成逻辑门和组合逻辑电路、集成触发器和时序逻辑电路、波形产生电路、A/D转换器、大规模集成电路。各章配有丰富的例题、习题和思考题，书后提供了部分习题的参考答案，便于教师教学和学生自学。为方便教师教学，本书配有免费电子教学课件。

本书可与我校刘陴主编的《电工技术(电工学Ⅰ)》配套使用，可作为高等学校工科非电类专业本科生、大专生及成人教育相关专业的教材和教学参考书，也可供工程技术人员参考。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有，侵权必究。

图书在版编目(CIP)数据

电子技术. 电工学. 2/王建华主编. —北京：电子工业出版社，2010.3
电子信息与电气学科规划教材·电子电气基础课程
ISBN 978-7-121-10369-8

Ⅰ. 电… Ⅱ. 王… Ⅲ. ①电子技术—高等学校—教材②电工学—高等学校—教材 Ⅳ. TN

中国版本图书馆CIP数据核字(2010)第024807号

策划编辑：冯小贝
责任编辑：段丹辉
印　　刷：北京东光印刷厂
装　　订：三河市皇庄路通装订厂
出版发行：电子工业出版社
　　北京市海淀区万寿路173信箱　邮编　100036
开　　本：787×1092　1/16　印张：22.5　字数：682千字
印　　次：2010年3月第1次印刷
印　　数：4000册　　定价：35.00元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：(010)88254888。

质量投诉请发邮件至zlts@phei.com.cn，盗版侵权举报请发邮件至dbqq@phei.com.cn。

服务热线：(010)88258888。

前　言

随着经济的发展和社会的进步，对高等技术人才知识结构提出了新的要求，“电子技术”也成为各高等学校工科非电类专业的必修课。本书是普通高等教育“十一五”国家级规划教材，是西安交通大学电工电子教学实验中心在开展国家工科基础课程电工电子教学基地、国家级电工电子教学实验示范中心和国家精品课程“电工电子技术(电工学)”建设工作的基础上，依据教育部制定的工科高校“电工电子技术”课程教学的基本要求，为适应高等学校非电类工科专业“电工电子技术”课程改革的需要而编写的。本书可与我校刘晔主编的《电工技术(电工学Ⅰ)》配套使用。

本书编写的指导思想如下：

(1) 体现我校电工电子技术课程教学“保基础、重实践、少而精”的传统。教学内容紧扣教学大纲，在介绍基本概念、基本原理、基本分析方法的基础上加强和突出工程应用，满足较少学时教学的需要。

(2) 重视电子器件和集成电路的外特性，通过具有典型意义的分立元件电路介绍电子电路的基本分析方法。

(3) 加强对集成电路应用的论述。在模拟电路部分，重点讨论了集成运算放大器的分析和应用；在数字电路部分，则直接由小规模集成电路入门，重点讨论了中规模集成电路的应用。

(4) 反映电子技术的新技术和发展方向。介绍了光电耦合器件、可编程逻辑器件等内容，将迅速发展的电力电子技术单独作为一章加以阐述，同时引入了 PSpice 仿真软件，便于学生了解电子技术的新发展。

全书共 9 章，主要内容包括半导体器件、基本放大电路、集成运算放大器、电力电子技术基础、集成逻辑门和组合逻辑电路、集成触发器和时序逻辑电路、波形产生电路、A/D 转换器、大规模集成电路。各章配有丰富的例题、习题和思考题，书后提供了部分习题的参考答案，便于教师教学和学生自学。

本书的参考学时为 60～80 学时。为方便教师教学，本书配有免费电子教学课件。任课教师可登录华信教育资源网(http://www.hxedu.com.cn)免费注册下载或发送邮件至 duandh@phei.com.cn 咨询。

王建华任主编，负责本书的定稿和统稿。第 1, 2 章由陈国联编写，第 3, 4, 7 章由王建华编写，第 5, 6, 8, 9 章由夏建生编写。研究生陈浪对部分电路进行了仿真分析。西安交通大学电工学教研室刘晔、刘晓辉、杨振坤、唐胜安和常弘等老师参加了编写大纲的制定。

哈尔滨工业大学吴建强教授仔细审阅了本书的全稿，提出了宝贵的修改意见。本书的编写工作得到了西安交通大学教务处的大力支持。在编写过程中，编者借鉴了有关参考文献。在此，编者表示衷心的感谢！

现代电子技术的发展日新月异，限于编者水平，书中难免存在错误和不妥之处，欢迎使用本书的教师、学生和工程技术人员提出意见和建议，以便改进和提高。作者的联系方式：jhwjt@mail.xjtu.edu.cn。

编　者

2009 年 9 月

于西安交通大学

目　录

第 1 章　半导体器件 …… (1)
1.1　PN 结与半导体二极管 …… (1)
1.1.1　PN 结的形成及其单向导电性 …… (1)
1.1.2　半导体二极管的结构、伏安特性及主要参数 …… (3)
1.1.3　半导体二极管的应用 …… (5)
1.2　特殊二极管 …… (9)
1.2.1　硅稳压管 …… (9)
1.2.2　发光二极管 …… (10)
1.2.3　光电二极管 …… (11)
1.3　半导体三极管 …… (11)
1.3.1　半导体三极管的结构和类型 …… (11)
1.3.2　半导体三极管的电流放大作用 …… (12)
1.3.3　半导体三极管的特性曲线 …… (14)
1.3.4　半导体三极管的主要参数 …… (16)
1.3.5　光电三极管和光电耦合器件 …… (18)
1.4　绝缘栅场效应管 …… (19)
1.4.1　N 沟道增强型绝缘栅场效应管 …… (20)
1.4.2　N 沟道耗尽型绝缘栅场效应管 …… (22)
1.4.3　场效应管的主要参数 …… (24)
1.5　PSice 例题分析 …… (25)
本章小结 …… (30)
习题 1 …… (30)

第 2 章　基本放大电路 …… (35)
2.1　放大电路的基本概念及其性能指标 …… (35)
2.1.1　放大电路的基本概念 …… (35)
2.1.2　放大电路的主要性能指标 …… (36)
2.2　共发射极放大电路 …… (38)
2.2.1　共发射极放大电路的组成及工作原理 …… (38)
2.2.2　放大电路的静态分析 …… (41)
2.2.3　放大电路的动态分析 …… (43)
2.2.4　静态工作点的稳定 …… (51)
2.3　共集电极和共基极放大电路 …… (56)
2.3.1　共集电极放大电路 …… (56)
2.3.2　共基极放大电路 …… (59)
2.4　MOS 场效应管放大电路 …… (61)

2.4.1 直流偏置电路和静态估算 …… (62)
2.4.2 动态分析 …… (63)
2.5 多级放大电路 …… (65)
2.5.1 多级放大电路的耦合方式 …… (65)
2.5.2 多级放大电路的分析 …… (66)
2.5.3 阻容耦合放大电路的频率特性 …… (68)
2.6 差分放大电路 …… (70)
2.6.1 静态分析 …… (70)
2.6.2 动态分析 …… (71)
2.6.3 单端输入的差分放大电路 …… (74)
2.7 互补对称功率放大电路 …… (77)
2.7.1 功率放大电路的特点 …… (77)
2.7.2 双电源互补对称功率放大电路(OCL 电路) …… (78)
2.7.3 单电源互补对称功率放大电路(OTL 电路) …… (80)
2.8 PSpice 例题分析 …… (81)
本章小结 …… (83)
习题 2 …… (83)

第 3 章 集成运算放大器 …… (90)
3.1 集成运算放大器简介 …… (90)
3.1.1 集成运算放大器电路简介 …… (90)
3.1.2 集成运算放大器的符号、引脚 …… (91)
3.1.3 集成运算放大器的主要参数 …… (92)
3.1.4 电路模型和电压传输特性 …… (93)
3.2 放大电路中的负反馈 …… (94)
3.2.1 反馈的基本概念 …… (94)
3.2.2 负反馈的类型及其判别方法 …… (97)
3.2.3 负反馈对放大器性能的影响 …… (100)
3.3 集成运算放大器的线性应用 …… (103)
3.3.1 理想运算放大器及其分析方法 …… (104)
3.3.2 运算放大器的三种组态 …… (105)
3.3.3 信号运算电路 …… (109)
3.3.4 运算放大器在测量技术中的应用 …… (116)
3.3.5 有源滤波器 …… (119)
3.4 集成运算放大器的非线性应用 …… (121)
3.4.1 电压比较器 …… (122)
3.4.2 精密整流电路 …… (127)
3.5 集成运算放大器的选择和使用 …… (128)
3.5.1 选型 …… (128)
3.5.2 调零 …… (128)
3.5.3 消除自激振荡 …… (129)
3.5.4 保护措施 …… (129)

3.6 PSpice 例题分析 …… (130)
本章小结 …… (132)
习题 3 …… (133)

第 4 章 电力电子技术基础 …… (142)
4.1 电力电子器件 …… (142)
4.1.1 晶闸管 …… (142)
4.1.2 派生晶闸管 …… (146)
4.1.3 典型的全控型器件 …… (147)
4.2 整流与滤波电路 …… (148)
4.2.1 不可控整流电路 …… (148)
4.2.2 可控整流电路 …… (152)
4.2.3 滤波电路 …… (162)
4.3 直流稳压(DC-DC)电路 …… (166)
4.3.1 硅稳压管稳压电路 …… (166)
4.3.2 串联型线性稳压电路 …… (167)
4.3.3 集成稳压电路 …… (168)
4.3.4 开关型稳压电路 …… (170)
4.4 逆变(DC/AC)电路 …… (172)
4.5 交流变换(AC/AC)电路 …… (174)
4.5.1 单相交流调压电路 …… (174)
4.5.2 单相交-交变频电路 …… (174)
4.6 PSpice 例题分析 …… (175)
本章小结 …… (176)
习题 4 …… (177)

第 5 章 集成逻辑门和组合逻辑电路 …… (181)
5.1 数字电路的基础知识 …… (181)
5.1.1 数字电路及其特点 …… (181)
5.1.2 数制和码制 …… (181)
5.1.3 脉冲波形及其主要参数 …… (185)
5.2 基本逻辑关系和逻辑门电路 …… (186)
5.2.1 与门电路 …… (186)
5.2.2 或门电路 …… (187)
5.2.3 非门电路 …… (187)
5.3 集成门电路 …… (189)
5.3.1 TTL 与非门电路 …… (189)
5.3.2 其他类型的 TTL 门电路 …… (196)
5.3.3 集成 COMS 门电路 …… (200)
5.4 逻辑代数及其应用 …… (204)
5.4.1 逻辑代数的运算规则 …… (204)
5.4.2 逻辑函数的化简法 …… (205)

5.5 组合逻辑电路的分析和设计 …… (212)
5.5.1 组合逻辑电路的分析 …… (212)
5.5.2 组合逻辑电路的设计 …… (213)
5.6 典型的集成组合逻辑电路 …… (215)
5.6.1 加法器 …… (215)
5.6.2 编码器 …… (217)
5.6.3 译码器及数字显示电路 …… (220)
5.6.4 数码比较器 …… (225)
5.6.5 数据选择器 …… (226)
5.6.6 数据分配器 …… (229)
本章小结 …… (230)
习题 5 …… (231)

第 6 章 集成触发器和时序逻辑电路 …… (237)
6.1 双稳态触发器 …… (237)
6.1.1 RS 触发器 …… (237)
6.1.2 JK 触发器 …… (240)
6.1.3 D 触发器(边沿触发器) …… (242)
6.2 寄存器 …… (244)
6.2.1 数码寄存器 …… (245)
6.2.2 移位寄存器 …… (245)
6.3 计数器 …… (248)
6.3.1 时序逻辑电路的分析方法 …… (249)
6.3.2 二进制计数器 …… (249)
6.3.3 十进制计数器 …… (253)
6.3.4 *N* 进制计数器 …… (254)
6.3.5 集成计数器 …… (258)
6.4 顺序脉冲分配器 …… (263)
本章小结 …… (264)
习题 6 …… (265)

第 7 章 信号的产生和变换电路 …… (273)
7.1 正弦波振荡电路 …… (273)
7.1.1 正弦波振荡电路的基本工作原理 …… (273)
7.1.2 RC 正弦波振荡电路 …… (275)
7.1.3 LC 正弦振荡电路 …… (278)
7.1.4 石英晶体振荡电路 …… (283)
7.2 非正弦波信号发生器 …… (286)
7.2.1 方波信号发生器 …… (286)
7.2.2 门电路构成的多谐振荡器 …… (288)
7.2.3 三角波和锯齿波信号发生器 …… (290)
7.3 脉冲信号变换电路 …… (292)

7.3.1 单稳态触发器 …… (292)
7.3.2 施密特触发器 …… (295)
7.3.3 压控振荡器 …… (296)
7.4 555 集成定时器及其应用 …… (298)
7.4.1 555 集成定时器 …… (298)
7.4.2 单稳态触发器 …… (299)
7.4.3 无稳态触发器 …… (301)
7.4.4 施密特触发器 …… (302)
7.5 PSpice 例题分析 …… (303)
本章小结 …… (304)
习题 7 …… (305)

第 8 章 数模和模数转换器 …… (310)
8.1 数模转换器(DAC) …… (310)
8.1.1 R-2R 梯形电阻网络 D/A 转换器 …… (310)
8.1.2 R-2R 倒梯形网络 D/A 转换器 …… (311)
8.1.3 集成 D/A 转换器 …… (312)
8.1.4 D/A 转换器的主要技术参数 …… (313)
8.2 模数转换器(ADC) …… (314)
8.2.1 采样-保持 …… (314)
8.2.2 量化-编码 …… (315)
8.2.3 逐次逼近型 A/D 转换器 …… (315)
8.2.4 集成 A/D 转换器 …… (318)
8.2.5 A/D 转换器的主要技术参数 …… (320)
本章小结 …… (321)
习题 8 …… (321)

第 9 章 存储器与可编程逻辑器件 …… (323)
9.1 存储器 …… (323)
9.1.1 只读存储器(ROM) …… (323)
9.1.2 随机存取存储器(RAM) …… (325)
9.2 可编程逻辑器件(PLD) …… (328)
9.2.1 可编程只读存储器(PROM) …… (329)
9.2.2 可编程逻辑阵列(PLA) …… (329)
9.2.3 可编程阵列逻辑(PAL) …… (331)
9.2.4 通用阵列逻辑(GAL) …… (333)
9.2.5 高密度可编程逻辑器件(HDPLD) …… (334)
本章小结 …… (338)
习题 9 …… (339)

部分习题参考答案 …… (340)

主要参考文献 …… (347)

第1章　半导体器件

半导体器件具有质量轻、体积小、寿命长以及工作可靠等特点，是构成各种电子电路的核心元件。因此，学习掌握二极管、稳压管、晶体三极管和绝缘栅场效应管等常用半导体器件的结构、工作原理、特性曲线和主要参数是学习电子技术和分析电子电路必不可少的基础。

对于半导体器件内部的微观物理过程只需简单地了解，重点应掌握其外部特性和具体应用。

1.1　PN结与半导体二极管

1.1.1　PN结的形成及其单向导电性

根据物质导电能力的大小，可以把物质分为导体、半导体和绝缘体三大类。半导体的导电能力介于导体和绝缘体之间。常用的半导体材料是硅和锗，它们的外层电子数目都是四个。当纯净的半导体材料经过适当的加工，使所有的原子按一定规则整齐排列而形成晶体结构时，每一个原子的四个外层电子就会与周围其他四个原子的外层电子相结合而形成共价键，这就是本征半导体。当本征半导体被加热或受到光照时，共价键中的价电子将获得能量而挣脱共价键的束缚成为自由电子，同时在共价键中留下一个空位，称为空穴。本征激发产生的自由电子带负电，具有空穴的原子因失去一个价电子而带正电，它可以吸引相邻原子中的价电子来填补这个空穴，因此，在相邻原子的共价键中形成了一个新的空穴，这样就随着价电子的迁移而形成了空穴的移动，空穴的移动实际上反映的是价电子的反方向移动。由于空穴移动到哪里，哪里的原子就因失去电子而带正电，所以可以等效地看做空穴带有正电荷。在半导体中存在着自由电子和空穴两种带电粒子，这是半导体导电机理的特殊之处，通常把这两种带电粒子统称为载流子。

本征激发的自由电子和空穴总是成对地出现，同时也在不断地复合消失。在一定温度下，载流子的产生和复合达到动态平衡，半导体中的载流子数量保持不变。当温度升高时，由于本征激发加强，半导体中的载流子数目便增加，其导电性能会显著地提高，这一特性称为半导体的热敏性。在实际工作中，常利用半导体的热敏性制成热敏电阻等热敏元件作为温度检测元件。同样，当有光照射到半导体时，半导体的本征激发也会加强，这时不仅半导体的导电能力会增强，而且还会产生电动势，这一特性称为半导体的光敏性，利用光敏效应可以制成光敏电阻和光电池。

本征半导体的导电能力还随着掺入微量的其他杂质元素而发生明显的改变。例如，在纯净的硅半导体中掺入百万分之一的硼后，硅的电阻率就从大约 $2\times10^{3}\ \Omega\cdot\mathrm{m}$ 减小到约为 $4\times10^{-3}\ \Omega\cdot\mathrm{m}$。这一特性称为半导体的掺杂性。利用半导体的掺杂性可以制成各种不同用途的半导体器件。

如果在本征半导体材料(主要是硅或锗)中掺入微量的三价杂质元素硼，因硼原子外层只有三个价电子，在形成共价键结构时，将因缺少一个价电子而形成一个空位，硼原子就会吸引周围共价键上的价电子来填补这个空位，硼原子得到一个价电子而成为负离子，同时在失去价电子的共价键上形成了一个带正电的空穴。虽然掺入的三价杂质相对数量很少，但绝对原子数却很多。在这种掺杂半导体中空穴是多数载流子(多子)，自由电子是少数载流子(少子)，因此称为空穴型半导体或P型半导体。如果在本征半导体材料中掺入微量的五价杂质元素磷，因磷原子外层有五个价电子，在形成共价键结构时只需四个价电子，这样多余的第五个价电子就很容易挣脱磷原子的束缚而成为自由电子，同时磷

原子因失去一个价电子而成为正离子。在这种掺杂半导体中自由电子是多数载流子，空穴是少数载流子，因此称为电子型半导体或 N 型半导体。多子是由掺杂产生的，多子的数目取决于掺杂浓度；少子是由本征激发所产生的，少子数目的多少与环境温度有很大关系。

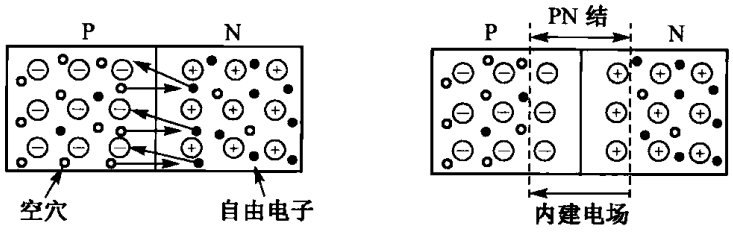
无论是 P 型半导体还是 N 型半导体，从整体上看，其中的正电荷量和负电荷量总是相等的，对外保持电中性。

1. PN 结的形成

如果在 N 型(或 P 型)半导体基片上，采用离子注入工艺在局部区域掺入高浓度的三价(或五价)元素作为补偿杂质，使该区域形成 P 型(或 N 型)区，则在 P 区和 N 区之间的交界面附近，将形成一个很薄的空间电荷区(其厚度的典型值约为 0.5 μm)，称为 PN 结。

PN 结的形成可解释如下：因为 P 型和 N 型半导体之间存在着多子浓度上的显著差异，P 区内有大量的空穴，而电子数目很少，N 区内有大量的电子，而空穴数目很少。因此，P 区的空穴要向 N 区扩散；N 区的电子要向 P 区扩散，如图 1.1.1(a)所示。扩散到对方的载流子便与该区的多子相遇而复合，这样，在 P 区一侧留下不能移动的负离子，在 N 区一侧留下不能移动的正离子，如图1.1.1(b)所示。这个由正、负离子组成的空间电荷区就是 PN 结，也称为耗尽层。

随着 PN 结的形成，产生了由 N 区指向 P 区的内建电场。一方面，内建电场会阻止多子的进一步扩散；另一方面，它会吸引少子(P 区的电子和 N 区的空穴)越过空间电荷区而进入对方区域，这称为少子的漂移，少子的漂移将使内建电场减小。实际上，在 PN 结开始形成时，多子的扩散运动占优势，随着扩散运动的进行，空间电荷区逐渐加宽，内建电场也越来越大，于是多子的扩散运动减弱而少子的漂移运动加强，直到多子的扩散运动与少子的漂移运动达到动态平衡以后，空间电荷区的宽度才相对稳定下来，此时多子的扩散电流与少子的漂移电流相等，通过 PN 结的净电流为零。



(a) 多子扩散示意图　　(b) 稳定后的 PN 结

图 1.1.1　PN 结的形成

2. PN 结的单向导电性

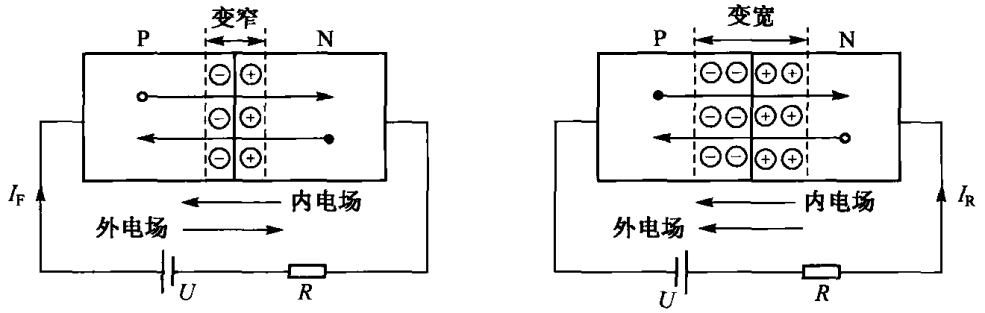
如果给 PN 结外加电压，则会打破 PN 结内多子扩散运动和少子漂移运动之间的平衡状态，从而使 PN 结的导电性能发生改变。

在图1.1.2(a)中 PN 结外加正向电压，此时 P 区电位高于 N 区电位，称为正向偏置(简称正偏)。外加电场方向与 PN 结内建电场方向相反，P 区内的多子空穴和 N 区内的多子电子将在外电场的作用下向 PN 结内移动，当 P 区的空穴进入 PN 结后，就要和负离子中和，使 PN 结内 P 区一侧的负电荷量减少。同样，当 N 区的电子进入 PN 结后也会使 PN 结内 N 区一侧的正电荷量减少。结果空间电荷区变窄，内建电场被削弱。多数载流子易于通过 PN 结，形成较大的正向电流 I_F，此时 PN 结呈现低阻导通状态。

在图1.1.2(b)中 PN 结外加反向电压，此时 N 区电位高于 P 区电位，称为反向偏置(简称反偏)。外加电场方向与 PN 结内建电场方向相同，在外加电场的作用下，P 区的空穴和 N 区的电子将进一步远离 PN 结，使空间电荷区加宽，内电场加强，多数载流子很难通过 PN 结。但是，内建电场的增加，

却有利于少子的漂移运动，因此少子的漂移形成了反向电流 I_R。由于少子数量很少，所以反向电流 I_R 数值很小，并且受环境温度影响较大。此时可以认为 PN 结基本上不导通，呈现高阻截止状态。

由以上分析可知，正向偏置时，PN 结导通；反向偏置时，PN 结截止。这就是 PN 结的单向导电性。



(a) 正向偏置　　(b) 反向偏置

图 1.1.2　PN 结的单向导电性

1.1.2　半导体二极管的结构、伏安特性及主要参数

1．半导体二极管的结构

将 PN 结用外壳封装起来，并加上电极引线就构成了半导体二极管，由 P 区引出的电极称为阳极或正极，由 N 区引出的电极称为阴极或负极，电路符号如图1.1.3(a)所示。

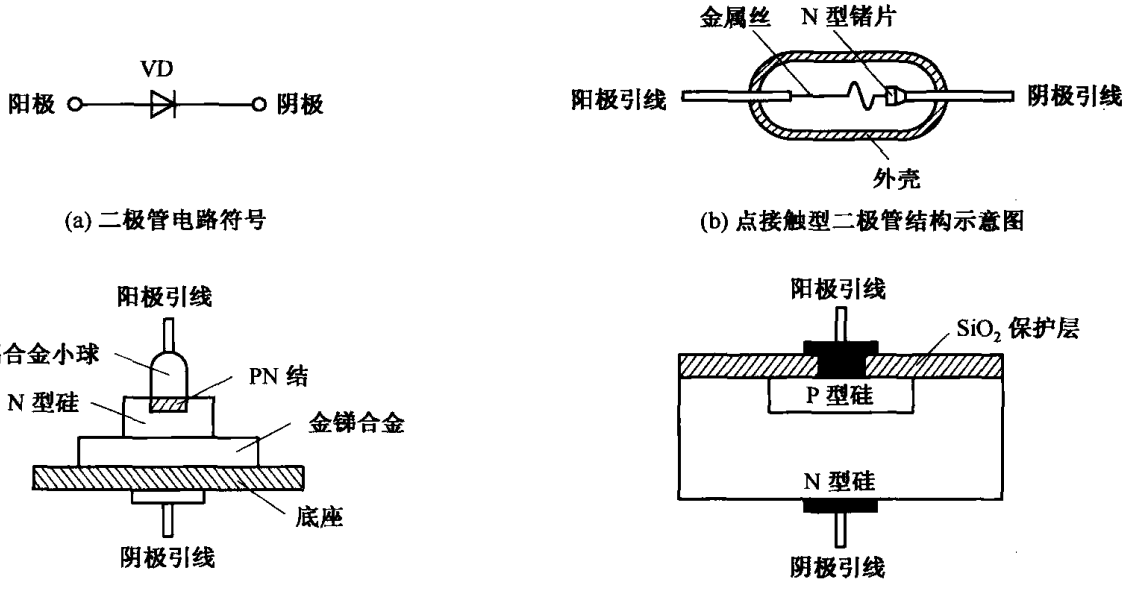
根据内部结构的不同，二极管可分为点接触型、面接触型和平面型三种。

图 1.1.3(b)为点接触型二极管的结构示意图，由一根金属丝经过特殊工艺与半导体表面相接形成 PN 结，因而结面积较小，不能通过较大的电流，但其结电容也小，一般在 1 pF 以下，所以适用于高频场合。

图 1.1.3(c)是面接触型二极管的结构示意图，采用合金法工艺制成，结面积大，能够通过较大的电流，但其结电容也大，因而适用于低频、大电流场合，一般仅作为整流管。

图 1.1.3(d)是平面型二极管的结构示意图，采用扩散法工艺制成。结面积大的适宜用于大功率整流，结面积小的适宜用做数字电路中的开关。

根据半导体材料的不同，二极管可分为硅管和锗管。



(a) 二极管电路符号　　(b) 点接触型二极管结构示意图

(c) 面接触型二极管结构示意图　　(d) 平面型二极管结构示意图

图 1.1.3　半导体二极管电路符号与结构

2. 半导体二极管的伏安特性

二极管的伏安特性是指二极管两端电压与其中电流的关系。图 1.1.4 所示为 2AP15(锗管)和 2CZ52(硅管)的伏安特性。

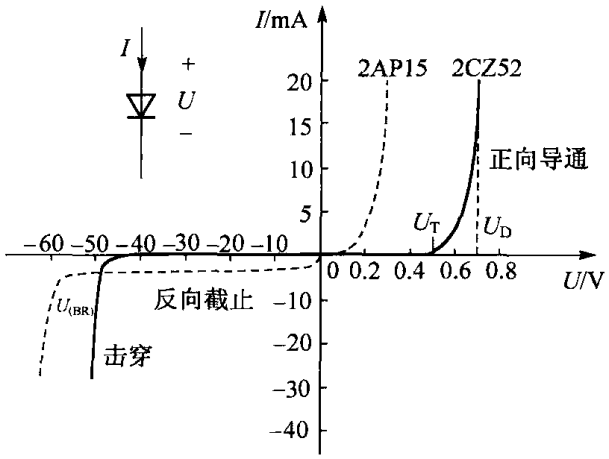


图 1.1.4 二极管的伏安特性曲线

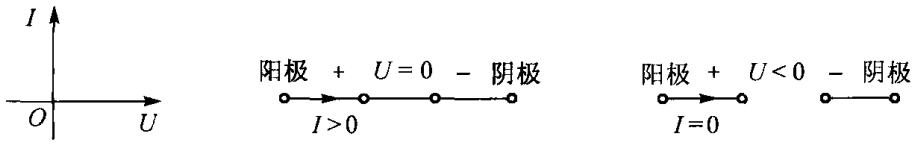
当二极管承受的正向电压较小时，外电场较小，不足以克服 PN 内电场对多子扩散运动的阻碍作用，所以几乎没有电流通过二极管。当正向电压超过一定数值 U_T 后，内电场被大大削弱，这时才有电流流过二极管，U_T 称为死区电压或阈值电压。硅管的死区电压 U_T 约为 0.5 V，锗管约为 0.1 V。二极管一旦导通后，其正向电流随电压的增大而迅速增大。当正向电流大到一定数值后，二极管的端电压几乎维持不变，这个电压称为二极管的正向电压 U_D。对于硅管，正向电压 U_D 约为 0.6～0.8 V，对于锗管，约为 0.2～0.3 V。

当二极管承受反向电压时，只有很小的反向电流流过二极管，二极管处于截止状态。在反向电压不超过某一范围时，反向电流的大小基本上不随反向电压变化而呈饱和状态，故又称为反向饱和电流。反向电流是由少子的漂移运动所形成的，其大小受温度影响较大。

当二极管承受的反向电压增大到一定数值 $U_{(BR)}$ 时，反向电流急剧增大，这种现象称为反向电击穿，击穿时的反向电压 $U_{(BR)}$ 称为反向击穿电压。发生电击穿后，二极管将失去单向导电性。电击穿后二极管不一定损坏，在撤除外加反向电压后，其性能仍可恢复。但如果发生电击穿后，没有采取适当的限流措施限制流过二极管的反向电流，就会使二极管因电流过大引起内部温度过高而损坏，这种现象称为热击穿。电击穿是可逆的，而热击穿是不可逆的，将造成二极管的永久损坏。

由于二极管伏安特性的非线性给其分析带来不便，所以在工程实际中常将二极管的伏安特性在一定条件下近似线性化后，用其简化模型来分析二极管电路，常用的有理想模型和恒压降模型。

所谓理想模型，是指当二极管正向偏置时，二极管导通，认为其管压降为零，二极管相当于短路；当二极管反向偏置时，二极管截止，认为其反向电流为零，二极管相当于开路，如图 1.1.5 所示。具有这种理想特性的二极管称为理想二极管。在实际电路中，当电源电压远大于二极管的正向电压 U_D 时，利用其理想模型来近似分析二极管在工程上是可行的。



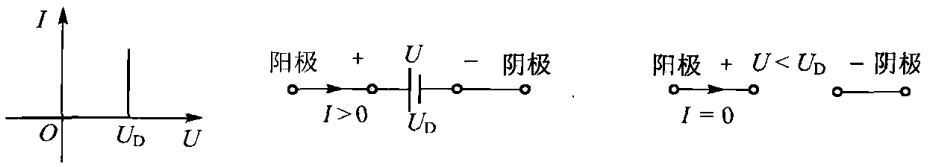
(a) 伏安特性　(b) 正向偏置时的电路模型　(c) 反向偏置时的电路模型

图 1.1.5 二极管的理想模型

所谓恒压降模型，是指当二极管正向导通时，认为其管压降等于正向电压 U_D，且不随电流变化。硅管 U_D 的典型值为 0.7 V，锗管为 0.3 V，如图 1.1.6 所示。在实际电路中，只有当二极管中的正向电流超过 1 mA 时，使用此模型才能获得较准确的结果。

3. 半导体二极管的主要参数

为了简单明了地表示半导体器件的性能和极限运用条件，每一种半导体器件都有一些相应的参数。生产厂家将这些参数汇编成手册，供用户选择器件时参考。半导体二极管的主要参数有以下 4 个。



(a) 伏安特性　　(b) 正向偏置时的电路模型　　(c) 反向偏置时的电路模型

图 1.1.6　二极管的恒压降模型

(1) 最大整流电流 I_F

最大整流电流是指二极管长期运行时允许通过的最大半波整流电流的平均值，由 PN 结的面积和散热条件以及半导体材料来决定。超过此值时，可能导致二极管因过热而损坏。

(2) 最高反向工作电压 U_R

为保证二极管不被反向击穿而规定的最大反向工作电压。一般规定为反向击穿电压 $U_{(BR)}$的一半或三分之二，以保证使用时有一定的安全裕度。

(3) 反向电流 I_R

反向电流 I_R 是指在室温条件下，在二极管两端加上规定的反向电压时，流过二极管中的反向电流。反向电流值越小，说明二极管的单向导电性越好。温度增加时，反向电流也增加。小功率硅管的反向电流较小，一般在几个μA 以下。锗管的反向电流较大，为硅管的几十到几百倍，且受温度的影响比硅管大。

(4) 最高工作频率 f_M

二极管在高频下应用时，由于 PN 结具有电容效应，当频率大到一定程度时，二极管的单向导电性将明显地变差，这一频率就是二极管的最高工作频率。

1.1.3　半导体二极管的应用

二极管虽然是最简单的半导体器件，但它的应用却很广泛，可用来进行整流、限幅、钳位、检波以及在数字电路中作为开关元件等。

在分析二极管的应用电路时，常将二极管理想化。为了判断二极管在电路中的工作状态，可先求出二极管阳极和阴极之间的开路电压和极性。若阳极与阴极之间的开路电压为正，说明阳极电位高于阴极电位，二极管接入后必导通；否则，二极管将处于截止状态。

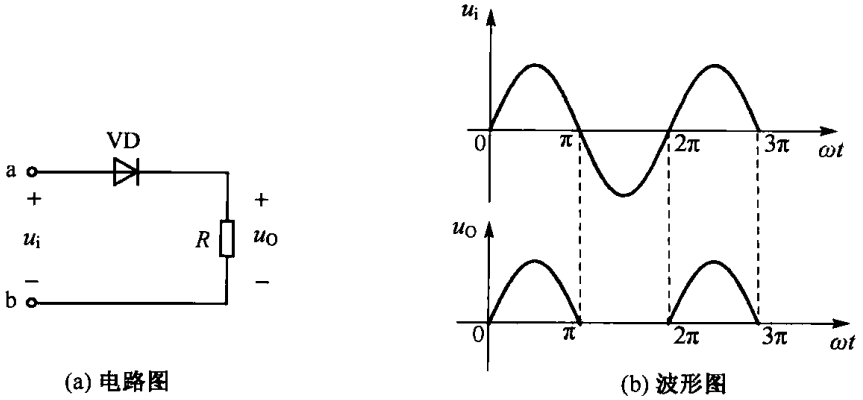
1．整流电路

整流电路的作用是把交流电压变换为直流电压。在图1.1.7(a)中，设 $u_i = U_m \sin \omega t$ 。当 u_i 为正半周时，a 端电位高于 b 端电位，二极管承受正向电压而导通，忽略二极管的正向压降，$u_O = u_i$。若 u_i 为负半周时，b 端电位高于 a 端电位，二极管承受反向电压而截止，忽略二极管的反向电流，负载上的电压为零。可见，利用二极管的单向导电性，可以把交流电压变换成单向脉动的直流电压，其波形如图 1.1.7(b)所示。

2．限幅电路

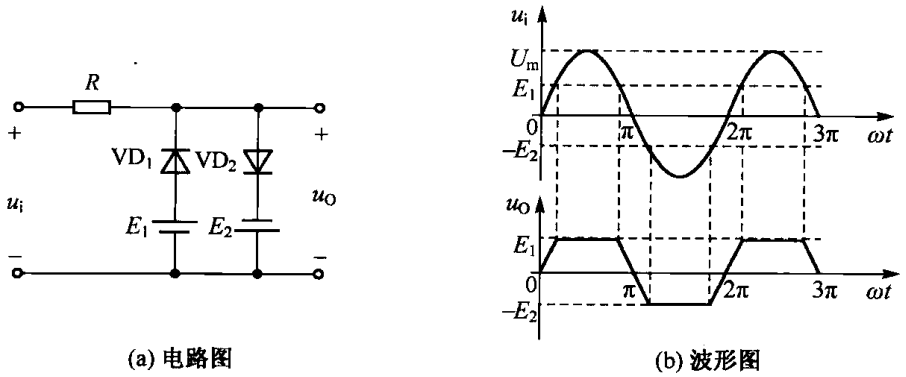
限幅电路的作用是把输出电压的幅度限制在一定范围之内。在图 1.1.8(a)中，设 $u_i = U_m \sin \omega t$ ，且 $U_m > E_1 > E_2$。当 $u_i > E_1$ 时，VD_1 因承受正向电压而导通，VD_2 因承受反向电压而截止，$u_O = E_1$。当 $u_i < -E_2$ 时，VD_2 因承受正向电压而导通，VD_1 因承受反向电压而截止，$u_O = -E_2$。当 $-E_2 < u_i < E_1$ 时，

VD_1 和 VD_2 均因承受反向电压而截止，$u_O = u_i$。u_O 波形如图1.1.8(b)所示。u_O 的幅值被限制在 $-E_2$ 到 E_1 之间，所以是双向限幅。限幅电路也称为削波电路。



(a) 电路图　　(b) 波形图

图 1.1.7　单相半波整流电路

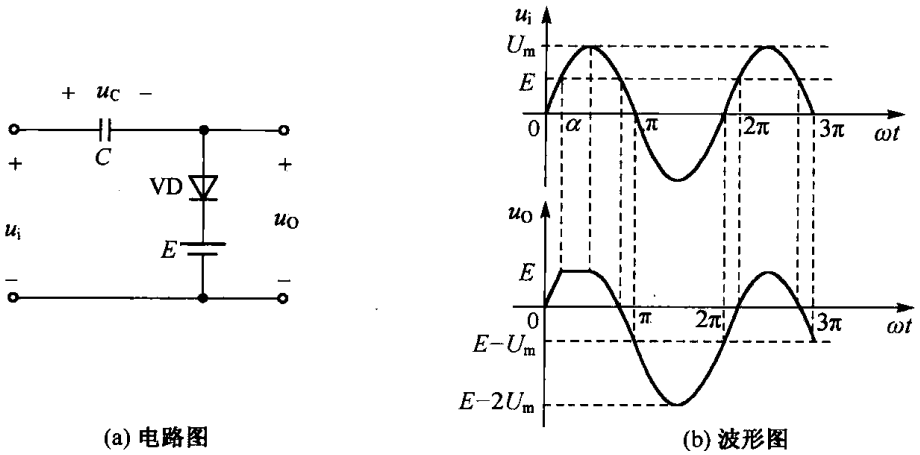


(a) 电路图　　(b) 波形图

图 1.1.8　双向限幅电路及其波形

3. 钳位电路

钳位电路能把输出电压信号的最大值或最小值固定在一定的值上。图 1.1.9(a)中设 $u_i = U_m \sin \omega t$，且 $U_m > E$，电容初始电压为零。当 $0 < \omega t < \alpha$ 时，$u_i < E$，二极管 VD 截止，$u_O = u_i$；当 $\alpha < \omega t < \pi/2$ 时，$u_i > E$，二极管 VD 导通，电容 C[①]充电，$u_O = E$；当 $\omega t = \pi/2$ 时，电容 C 两端电压达到最大值，此时 $u_C = U_m - E$；当 $\omega t > \pi/2$ 以后，二极管 VD 因承受反向电压而截止，电容 C 因无放电回路其两端电压保持不变，$u_O = u_i - u_C = u_i - (U_m - E)$；所以 u_O 的波形如图1.1.9(b)所示。



(a) 电路图　　(b) 波形图

图 1.1.9　钳位电路及其波形

① 根据出版规范，当 R, L, C 等元器件符号在正文中表示元器件本身时，是一个名称(常量)，应使用正体。全书同——编者注。

例 1.1.1　在图 1.1.10 中设二极管的正向压降为 0.7 V，其余参数如图中所示，试分析电路中各二极管的工作状态并求出 U_O 的值。

解：为了判断二极管在电路中的工作状态，关键是要计算出二极管阳极与阴极之间的开路电压，如果开路电压大于零(对于理想二极管)或者大于其正向压降 U_D(考虑二极管正向压降时)，则说明该二极管实际处于正向偏置而导通；如果开路电压小于零(对于理想二极管)或者小于其正向压降 U_D(考虑二极管正向压降时)，则说明该二极管实际处于反向偏置而截止。

在图 1.1.10(a)所示电路中，先将二极管 VD_1 断开，则 VD_2 因承受正向电压而导通，此时可计算出 VD_1 阳极与阴极之间的开路电压为 $3-0.7=2.3$ V，所以 VD_1 处于导通状态；同理，如将二极管 VD_2 断开，VD_1 将因承受反向电压而截止，此时可计算出 VD_2 阳极与阴极之间的开路电压为 $10-(-3)=13$ V，所以 VD_2 也处于导通状态。综上所述，该电路中 VD_1 和 VD_2 均处于导通状态，因而 $U_O=0.7-3=-2.3$ V。

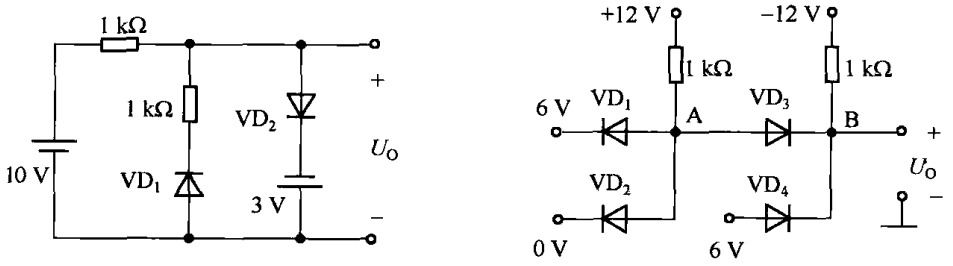


图 1.1.10　例 1.1.1 的图

在图 1.1.10(b)所示电路中，先将二极管 VD_3 断开，此时 VD_1 阳极与阴极之间的开路电压为 $0.7-6=-5.3$ V，VD_2 阳极与阴极之间的开路电压为 $6+0.7-0=6.7$ V，VD_4 阳极与阴极之间的开路电压为 $6-(-12)=18$ V，所以 VD_1 截止，VD_2 和 VD_4 导通。VD_2 导通后 A 点电位 $U_A=0.7$ V，VD_4 导通后 B 点电位 $U_B=6-0.7=5.3$ V，因此 VD_3 阳极与阴极之间的开路电压为 $U_A-U_B=0.7-5.3=-4.6$ V，所以 VD_3 实际处于截止状态。由于 VD_3 处于截止状态，以上对于 VD_1，VD_2 和 VD_4 工作状态的分析正确，$U_O=U_B=5.3$ V。该电路中 VD_2 和 VD_4 起钳位作用，VD_1 和 VD_3 起隔离作用。

例 1.1.2　在图 1.1.11 所示电路中，二极管为理想元件，试画出该电路的电压传输特性(输出电压 u_O 与输入电压 u_i 的函数关系)；如果 $u_i=10\sin\omega t$ V，试画出 u_O 的波形。

解：先将二极管 VD_1 和 VD_3 断开，如图 1.1.12(a)所示，由该图可知，VD_2 处于导通状态，$U_b=U_c=-5$ V。如果 $u_i<10$ V，VD_4 导通，$U_a=U_d=u_i$；如果 $u_i>10$ V，VD_4 截止，$U_a=10$ V，$U_d=u_i$。所以，二极管 VD_1 和 VD_3 的开路电压分别为

$$u_{ab}=\begin{cases}u_i+5 & u_i<10\text{ V}\\ 15\text{ V} & u_i>10\text{ V}\end{cases},\qquad u_{dc}=u_i+5$$

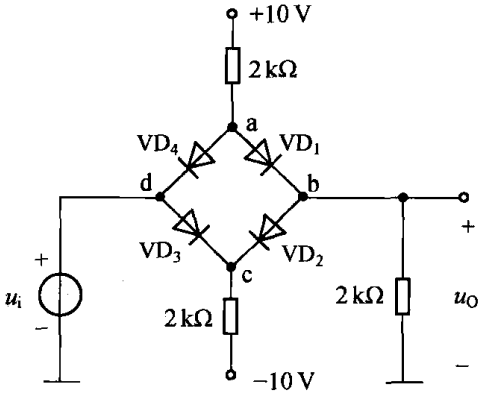


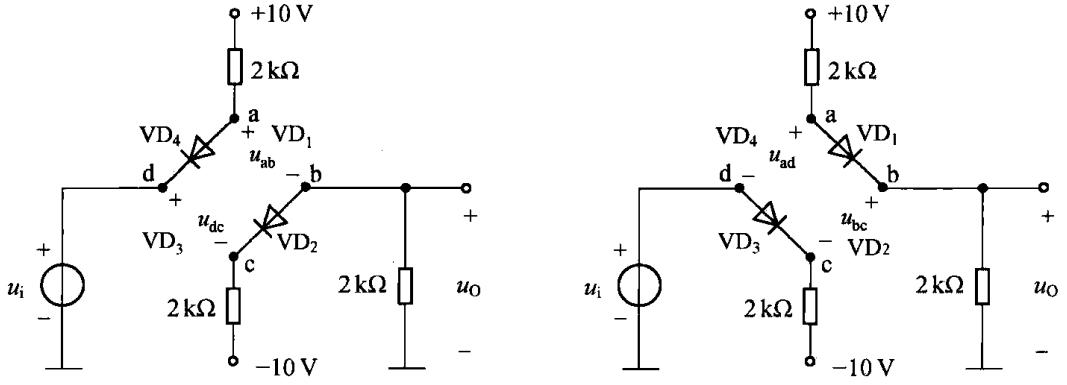
图 1.1.11　例 1.1.2 的图

由上式可知，当 $u_i<-5$ V 时，$u_{ab}=u_{dc}<0$ V，二极管 VD_1 和 VD_3 实际处于截止状态；当 $u_i>-5$ V 时，$u_{ab}>0$ V，$u_{dc}>0$ V，二极管 VD_1 和 VD_3 实际处于导通状态。

再将二极管 VD_2 和 VD_4 断开，如图 1.1.12(b)所示，由该图可知，VD_1 处于导通状态，$U_a=U_b=5$ V。如果 $u_i>-10$ V，则 VD_3 导通，$U_d=U_c=u_i$；如果 $u_i<-10$ V，则 VD_3 截止，$U_d=u_i$，$U_c=-10$ V。所以，二极管 VD_2 和 VD_4 的开路电压分别为

$$u_{bc}=\begin{cases}5-u_i & u_i>-10\text{ V}\\ 15\text{ V} & u_i<-10\text{ V}\end{cases},\qquad u_{ad}=5-u_i$$

由上式可知，当 $u_i>5$ V 时，$u_{bc}=u_{ad}<0$ V，二极管 VD_2 和 VD_4 实际处于截止状态；当 $u_i<5$ V 时，$u_{bc}>0$ V，$u_{ad}>0$ V，二极管 VD_2 和 VD_4 实际处于导通状态。



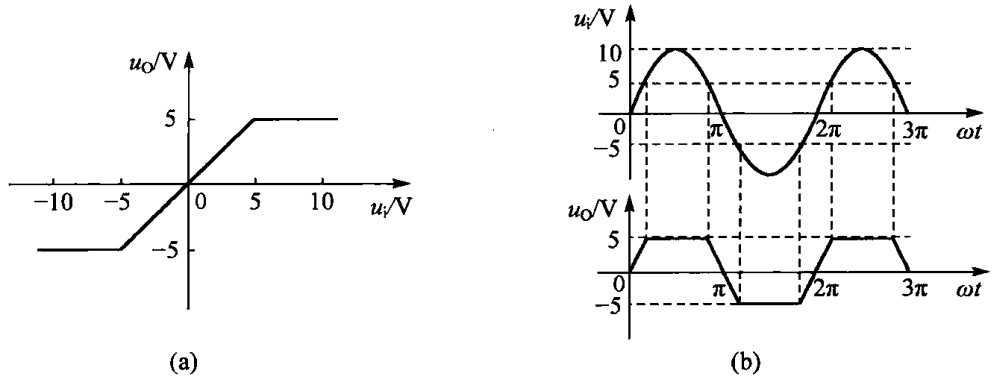
(a) 计算 VD_1，VD_3 开路电压的电路图　　(b) 计算 VD_2，VD_4 开路电压的电路图

图 1.1.12　例 1.1.2 的分析用图

综上所述，当 $u_i<-5$ V 时，VD_1 和 VD_3 截止，VD_2 和 VD_4 导通；当 $-5\text{ V}<u_i<5$ V 时，VD_1，VD_2，VD_3 和 VD_4 均导通；当 $u_i>5$ V 时，VD_1 和 VD_3 导通；VD_2 和 VD_4 截止。所以输出电压 u_O 的大小为

$$u_O=\begin{cases}-5\text{ V} & u_i<-5\text{ V}\\ u_i & -5\text{ V}<u_i<5\text{ V}\\ 5\text{ V} & u_i>5\text{ V}\end{cases}$$

根据上式，可画出该电路的电压传输特性和输入–输出电压波形如图1.1.13所示。



(a)　　(b)

(a) 传输特性图　　(b) 输入- 输出电压波形图

图 1.1.13　例 1.1.2 的结果图

思考题

1.1.1　硅管和锗管的伏安特性(U_{BE}, I_R)有何不同之处?

1.1.2　为什么二极管的反向饱和电流与外加反向电压大小基本无关，而受环境温度的影响比较大？硅管和锗管相比较，哪种二极管的反向电流受温度影响较大?

1.1.3　怎样用万用表来识别二极管的阳极和阴极并判断二极管的好坏?

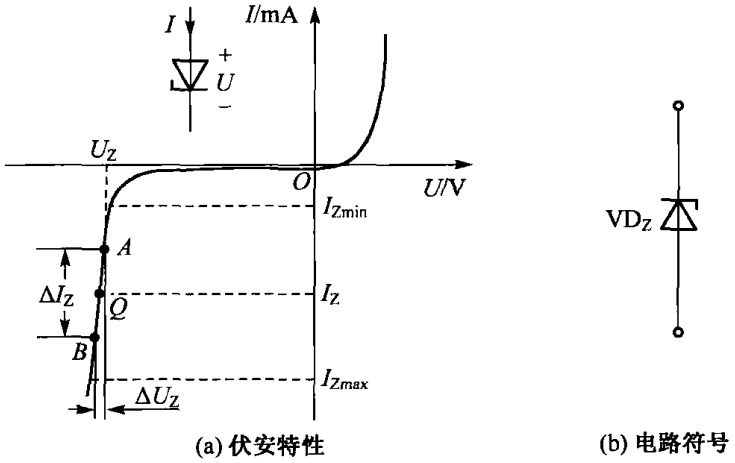
1.1.4　用万用表 $R\times100\ \Omega$ 挡和 $R\times1$ kΩ 挡分别测量某二极管的正向电阻，所测得的阻值是否相同？为什么?

1.1.5　硅二极管的正向压降约为 0.7 V，如果把一节 1.5 V 的电池按正向接法直接接于硅二极管两端，会有什么后果?

1.2　特殊二极管

1.2.1　硅稳压管

硅稳压二极管简称为硅稳压管，也称为齐纳二极管，它是利用二极管的反向击穿特性来稳定电压的，其伏安特性和电路符号如图1.2.1所示。由图可见，其反向击穿特性很陡，当反向电流在较大的范围内变化时，稳压管两端电压几乎不变，近似于恒压特性。因此，在实际工作中，常使稳压管工作在反向击穿区用来稳定电压。为了限制稳压管中的电流，不使 PN 结上功耗过大而发生热击穿损坏稳压管，稳压管在工作时必须串联一个适当的限流电阻。



(a) 伏安特性　　(b) 电路符号

图 1.2.1　稳压管的电路符号和伏安特性

稳压管的主要参数有以下几个。

1．稳定电压 U_Z

当通过稳压管的电流为规定的测试电流 I_Z 时，稳压管两端的电压称为稳定电压 U_Z。由于制造工艺的分散性，同一型号稳压管的稳定电压大小将有所不同，如 2CW12 型稳压管在 I_Z =10 mA 时，U_Z 的可能值在 4.5～5.5 V 之间。

2．稳定电流 I_Z

稳定电流是指稳压管两端电压等于稳定电压 U_Z 时通过稳压管中的电流值，它只是一个参考数值。为了使稳压管工作在稳压区，稳压管中的实际电流必须大于最小稳定电流 I_{Zmin}。I_{Zmin} 的数值在手册中并不给出，一般稳压管的 I_{Zmin} 为几 mA 到十几 mA，比稳压管的稳定电流 I_Z 略小，可认为 I_{Zmin}= I_Z。

3．电压温度系数 α_U

当稳压管中电流等于稳定电流 I_Z 时，环境温度变化 1℃时所引起的稳定电压的相对变化率称为电压温度系数。例如 2CW12 型稳压管的电压温度系数为 0.04%/℃，假如在 25℃时的稳压值是 5 V，那么在 55℃时的稳压值将是 $5+5\times(55-25)\times0.04\%=5.06$ V。一般来说，U_Z 值小于 4 V 的稳压管，其电压温度系数为负值；U_Z 值高于 7 V 的稳压管，其电压温度系数为正值；而 U_Z 值介于 4 V 与 7 V 之间的稳压管，其电压温度系数最小，电压稳定性较好。

在温度稳定性要求较高的场合，可选用具有温度补偿作用的 2CW232 和 2DW232 系列双向稳压管。这种稳压管是把两只性能相同的稳压管反方向串联而成的，如图 1.2.2 所示。使用时无论外加电

压极性如何，总有一只稳压管处于反向工作，具有正电压温度系数；另一只稳压管处于正向工作，具有负电压温度系数，所以两者具有温度补偿作用，电压温度系数很小。

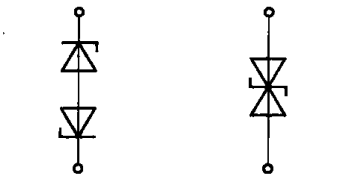


图 1.2.2 双向稳压管

4. 动态电阻 r_Z

动态电阻也称为交流电阻，它等于稳压管两端电压的变化量与相应的电流变化量的比值，即

$$r_Z = \frac{\Delta U_Z}{\Delta I_Z} \tag{1.2.1}$$

r_Z越小，说明稳压管的反向伏安特性越陡，稳压性能越好。r_Z的大小与稳压管中的电流大小有关，I_Z越大，r_Z越小。一般手册上给出的r_Z值是在规定的稳定电流I_Z下的数值。

5. 最大稳定电流 I_{Zmax}和最大允许功率损耗 P_{ZM}

当稳压管反向工作时，PN 结上的功率损耗为

$$P_Z = U_Z I_Z \tag{1.2.2}$$

显然，P_Z过大，将使 PN 结的温度超过允许值而发生热击穿损坏，因此对稳压管的功率损耗应有一定的限制，此限定值即最大功率损耗 P_{ZM}，根据式(1.2.2)由 P_{ZM} 值即可确定稳压管的最大稳定电流 I_{Zmax}。

例 1.2.1 试分析图1.2.3所示电路中稳压管 VD_Z 的偏置是否合理。已知 $U_S=30$ V，$R_1=680\Omega$，$R_2=510\Omega$，稳压管 VD_Z 的参数为：$U_Z=12$ V，$I_{Zmax}=19$ mA，$I_{Zmin}=5$ mA。

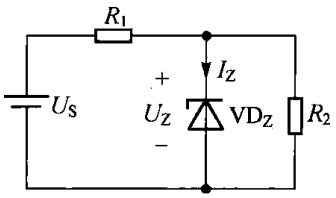


图 1.2.3 例 1.2.1 的图

解：可以从两个方面来分析稳压管的偏置是否合理。一是加在稳压管阴极到阳极之间的开路电压应大于其稳压值；二是流过稳压管中的电流应处于其最小稳定电流 I_{Zmin} 和最大稳定电流 I_{Zmax} 之间，即 $I_{Zmin}<I_Z<I_{Zmax}$。在图1.2.3中，VD_Z 两端的开路电压为

$$U_{ZO} = \frac{R_2}{R_1+R_2}U_S = \frac{510}{680+510}\times 30 = 12.86\ \text{V} > U_Z$$

故 VD_Z 两端电压的大小是合理的。但是 VD_Z 中的电流为

$$I_Z = \frac{U_S - U_Z}{R_1} - \frac{U_Z}{R_2} = \frac{30-12}{0.68} - \frac{12}{0.51} = 2.94\ \text{mA} < I_{Zmin}$$

所以稳压管 VD_Z 中的电流偏小，VD_Z 的偏置是不合理的。可适当减小 R_1 的阻值或增加 R_2 的阻值，以增大 I_Z 使稳压管工作在稳压区。

1.2.2 发光二极管

发光二极管是一种将电能转换为光能的特殊二极管，简记为 LED，通常用元素周期表中Ⅲ,Ⅴ族元素的化合物如砷化镓，磷化镓等制成。这种二极管当通过正向电流时会发出光来，这是由于电子与空穴直接复合释放出多余能量的结果。发光二极管的发光颜色与所用的半导体材料有关，磷砷化镓能发出红色的可见光，磷化镓能发出绿色的可见光，砷化镓能发出人眼不可见的红外光。其电路符号如图 1.2.4 所示。发光二极管



图 1.2.4 发光二极管的电路符号

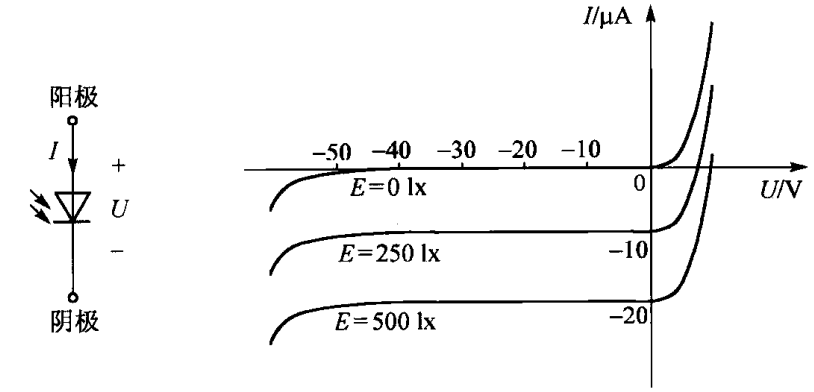
的伏安特性与普通二极管类似，但其正向电压比普通二极管高，红色的在1.6～1.8 V 之间，绿色的在2.2～2.4 V 之间；发光强度与正向电流大小成正比，正向工作电流一般为几个 mA 到几十 mA 之间，典型值为 10 mA。

发光二极管因其驱动电压低、功耗小、寿命长等优点广泛用做显示器件。

1.2.3　光电二极管

光电二极管又称为光敏二极管，是一种将光信号转换成电信号的特殊二极管，其电路符号如图 1.2.5(a)所示。与普通二极管类似，光电二极管的基本结构也是一个 PN 结，它的管壳上有一个玻璃窗口以便光线射入。当有光线照射到 PN 结上时，能像热激发一样使半导体内产生电子空穴对，所以光电二极管的反向电流将随光照强度的增强而增大。

图1.2.5(b)所示为光电二极管 2CU2E 的伏安特性，图中 E 为光的照度，其单位为勒克斯(lx)。无光照时，与普通二极管一样，光电二极管具有单向导电性，此时的反向电流称为暗电流，一般小于 0.2 μA。有光照时，反向特性曲线下移，反向电流增加，这部分由于光照而增加的电流称为光电流，光电流的大小与照度成正比。当光电二极管处于特性曲线的第四象限时，U 与 I 的乘积为负，此时光电二极管向外发出能量，称为光电池。



(a) 电路符号　　(b) 2CU2E 的伏安特性

图 1.2.5　光电二极管的符号与伏安特性

思考题

1.2.1　利用稳压管或普通二极管的正向特性是否也可以稳压?

1.2.2　为什么稳压管的动态电阻越小，其稳压性能越好?

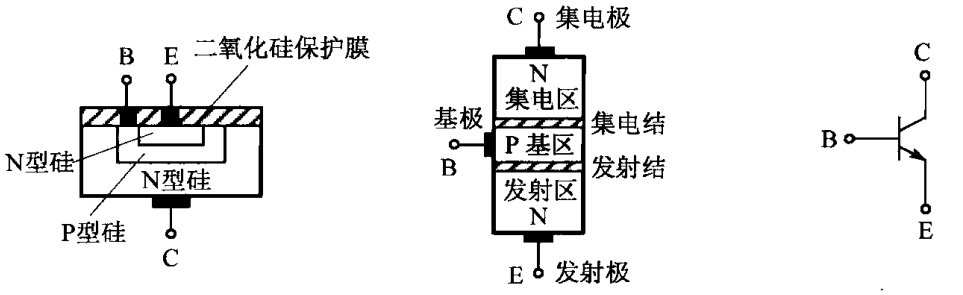
1.3　半导体三极管

1.3.1　半导体三极管的结构和类型

半导体三极管又称为晶体管，由于其内部的空穴和自由电子两种载流子都参与导电过程，所以也称为双极型晶体管(Bipolar Junction Transistor，BJT)。三极管的种类很多，按照工作频率高低可分为高频管和低频管；按照功率的大小可分为小功率管和大功率管；按照半导体材料的不同可分为硅管和锗管；按照制造工艺结构的不同可分为平面型和合金型。不论平面型和合金型结构的三极管，其内部都具有两个 PN 结，所以按两个 PN 结组合方式的不同常把三极管分为 PNP 型和 NPN 型。目前国内生产的硅三极管多为平面结构 NPN 型(3D 系列)；锗三极管多为合金结构 PNP 型(3A 系列)。

图1.3.1(a)所示为平面结构 NPN 型硅三极管的管芯结构，它由三层半导体制成。为了形象直观地表示其内部结构，可把管芯结构示意为图 1.3.1(b)。中间的 P 型半导体很薄且掺杂浓度很低，一般只

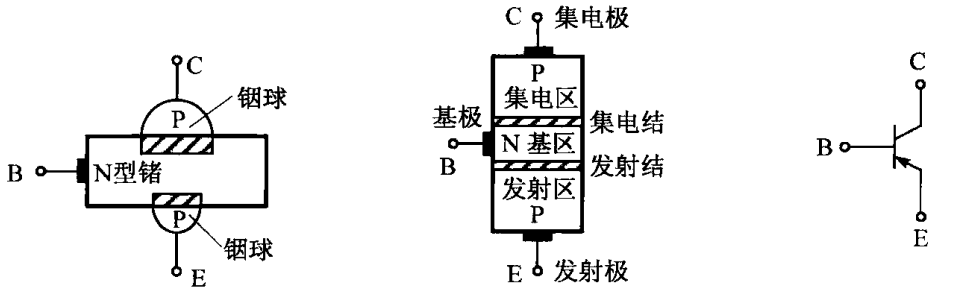
有几μm至几十μm，称为基区；两边的N型半导体分别称为发射区和集电区，集电区的几何尺寸比发射区大，但发射区的掺杂浓度比集电区高，因此三极管的发射区和集电区在结构上并不对称。在两块不同类型半导体的交界处会形成两个PN结，发射区与基区交界处的PN结称为发射结，集电区与基区交界处的PN结称为集电结。从三极管内基区、集电区和发射区向外引出的三个电极，分别称为基极、集电极和发射极。NPN型三极管的电路符号如图1.3.1(c)所示。



(a) 管芯结构　(b) 结构示意图　(c) 电路符号

图 1.3.1　NPN型三极管的结构和电路符号

合金结构PNP型锗三极管的结构和电路符号如图1.3.2所示。



(a) 管芯结构　(b) 结构示意图　(c) 电路符号

图 1.3.2　PNP型三极管的结构和电路符号

1.3.2　半导体三极管的电流放大作用

三极管的主要特性是具有电流控制作用，也就是通常所说的电流放大作用。要使三极管具有电流放大作用，除具有上述结构上的特点之外，还必须具备一定的外部条件，**即发射结正向偏置，集电结反向偏置**。NPN型三极管和PNP型三极管的工作原理基本相同，两者的差别只是偏置电压极性和管子电流方向相反而已。下面以NPN型三极管为例，讨论三极管的电流放大作用和特性曲线。PNP型三极管的电流放大作用和特性曲线读者可参照NPN型三极管自行分析。

1．半导体三极管内部载流子的传输过程

在图1.3.3所示电路中，E_B使三极管的发射结正向偏置，为了使集电结反偏，必须使$E_C > E_B$。R_B称为基极电阻，R_C称为集电极电阻，它们的作用是限制基极电流I_B和集电极电流I_C的大小。三极管的基极B和发射级E所在的回路称为输入回路，三极管的集电极C和发射级E所在的回路称为输出回路，由于发射极E是输入回路和输出回路的公共端，因此将这种偏置电路称为共发射极电路，简称为共射电路。

三极管内部载流子的传输过程可分为以下几个阶段。

(1) 发射区向基区发射电子

由于发射结正偏，发射结的内电场被削弱，有利于结两边半导体中多子的扩散。因此，发射区

的多数载流子电子便越过发射结向基区扩散而形成电子电流 I_{EN}，I_{EN} 的方向与电子运动方向相反，如图 1.3.3 中空心箭头所示。与此同时，基区的多子空穴也要向发射区扩散而形成空穴电流 I_{EP}。由于基区掺杂浓度很低，所以空穴电流很小，与电子电流相比可以忽略不计。电子将由电源负极流入发射区以补充发射区失去的电子，从而形成发射极电流 I_E，可以认为发射极电流 I_E 近似等于电子扩散电流 I_{EN}。

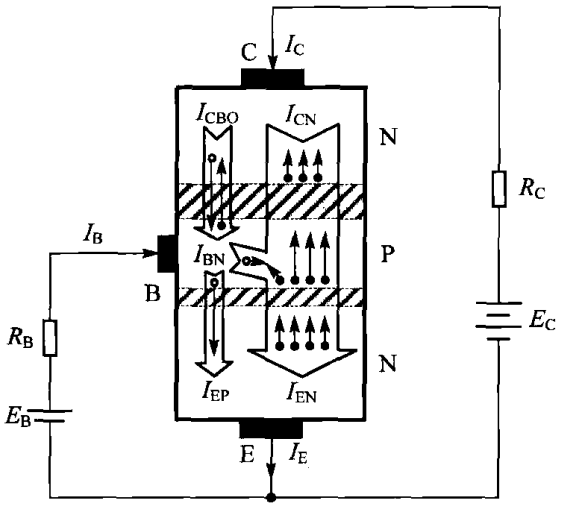


图 1.3.3　三极管内载流子的传输过程

(2) 电子在基区的扩散与复合

从发射区扩散到基区的电子使基区内少子电子的浓度分布发生了变化，靠近发射结一侧的电子浓度比靠近集电结一侧的电子浓度高，于是由发射区扩散到基区的电子将继续向集电结扩散。由于基区做得很薄，且掺杂很少，因而电子在基区扩散过程中只有极小的一部分与基区中的多子空穴相遇复合而形成电流 I_{BN}，绝大部分电子将扩散到达集电结。电源 E_B 将从基区拉走价电子以补充复合掉的空穴，从而形成基极电流 I_B。

(3) 集电区收集从基区扩散过来的电子

因集电结处于反向偏置，其内电场被加强，有利于集电结两边半导体中少子的漂移运动。从发射区扩散到基区的电子在集电结内电场的作用下很快漂移到集电区而形成电流 I_{CN}。

(4) 集电结的反向饱和电流

在反向电压作用下，基区中由本征激发产生的少子电子和集电区的少子空穴将漂移过集电结而形成反向漂移电流 I_{CBO}，称为集电极和基极间的反向饱和电流，它的数值很小，但受温度影响较大。

2. 半导体三极管各极电流之间的关系

由三极管内部载流子的传输过程可知，发射区扩散到基区的电子中只有很小一部分在基区与空穴相遇复合而形成电流 I_{BN}，绝大部分被集电区收集而形成电流 I_{CN}，通常将 I_{CN} 与 I_{BN} 之比称为三极管共发射极直流电流放大系数，用 $\bar{\beta}$ 表示，即

$$\bar{\beta}=\frac{I_{CN}}{I_{BN}} \tag{1.3.1}$$

由于在基区复合的电子数目的多少取决于基区的掺杂浓度和它的宽度，所以对于已经做成的三极管而言，$\bar{\beta}$ 基本上为常数。

将基尔霍夫电流定律应用于图1.3.3，并忽略 I_{EP}，则有 $I_{CN}=I_C-I_{CBO}$，$I_{BN}=I_B+I_{CBO}$，所以

$$\bar{\beta}=\frac{I_C-I_{CBO}}{I_B+I_{CBO}} \tag{1.3.2}$$

从而

$$I_C=\bar{\beta}I_B+(1+\bar{\beta})I_{CBO} \tag{1.3.3}$$

I_E, I_C, I_B 之间的关系为

$$I_E=I_C+I_B \tag{1.3.4}$$

如用 I_{CEO} 表示 $I_B=0$ 时的 I_C，由式(1.3.3)可知

$$I_{CEO}=(1+\bar{\beta})I_{CBO} \tag{1.3.5}$$

I_{CEO}称为集电极发射极间的反向饱和电流。通常I_{CEO}很小，可忽略不计，故

$$I_C\approx\bar{\beta}I_B \tag{1.3.6}$$

$$I_E\approx(1+\bar{\beta})I_B \tag{1.3.7}$$

式(1.3.6)表明，三极管的集电极电流 I_C 受控于其基极电流 I_B，用较小的基极电流可以控制较大的集电极电流，这就是三极管的电流放大作用。

1.3.3 半导体三极管的特性曲线

三极管特性曲线是表示三极管各极间电压和电流之间关系的曲线，是其内部载流子运动规律的外部表现。常用输入特性和输出特性两组曲线来描述三极管的全部特性。

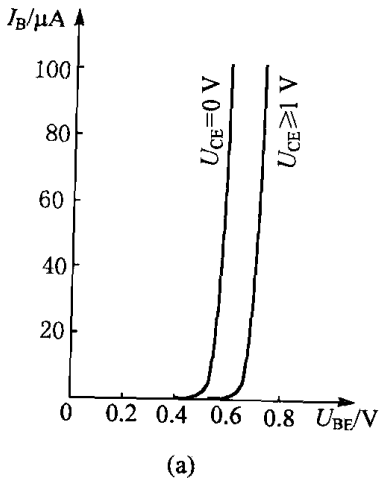
1．输入特性

输入特性是指当三极管集电极与发射极间电压 U_{CE} 保持一定时，基极电流 I_B 与基极发射极之间电压 U_{BE}的关系，即

$$I_B=f(U_{BE})\big|_{U_{CE}=常数} \tag{1.3.8}$$

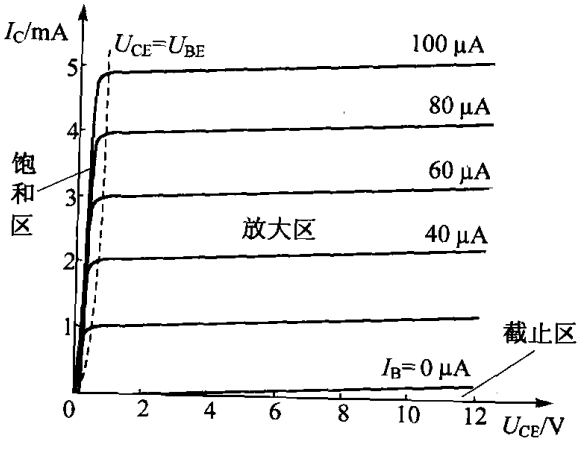
图1.3.4(a)给出了NPN型三极管3DG100的输入特性曲线。当$U_{CE}=0$ V，即三极管的集电极和发射极连在一起时，从三极管输入回路来看，基极和发射极之间等效并联了发射结和集电结两个PN结，所以此时的输入特性曲线与二极管的正向伏安特性曲线相似。三极管输入特性也存在着一段死区，硅管的死区电压约为0.5 V，锗管的死区电压约为0.1 V。只有在发射结外加电压大于死区电压时，三极管才会导通。在正常工作状态下，硅管的发射结电压约为0.7 V，锗管的发射结电压约为0.2 V。

当 $U_{CE}>0$ V 时，随着 U_{CE} 的增加，集电结从正向偏置逐渐转为反向偏置。此时，集电区不仅不再向基区发射电子，而且还要把发射区向基区发射的电子收集到集电极，因此从发射区扩散到基区的电子中只有很小一部分在基区与空穴复合，大部分将在集电结内电场吸引下漂移到集电区。与$U_{CE}=0$ V时相比，在同样的 U_{BE} 下，I_B 将减小很多，表现为输入特性曲线将向右移。但是，当 $U_{CE}\geqslant1$ V 时，集电结的内电场已足够强，可以把绝大部分从发射区发射到基区的电子吸引到集电区，I_B 几乎不再减小。所以 $U_{CE}\geqslant1$ V 以后的输入特性曲线几乎是重合的，在实际应用中，一般都满足 $U_{CE}\geqslant1$ V，因此通常只采用 $U_{CE}\geqslant1$ V 时的输入特性曲线。



(a)

(a) 输入特性曲线



(b)

(b) 输出特性曲线

图 1.3.4 3DG100 三极管的特性曲线

2. 输出特性

输出特性是指在基极电流 I_B 一定的条件下，三极管输出回路集电极电流 I_C 与集电极和发射极之间电压 U_{CE} 的关系，即

$$I_C = f(U_{CE})\big|_{I_B=常数} \tag{1.3.9}$$

图1.3.4(b)给出了 NPN 型三极管 3DG100 的输出特性曲线。在 I_B 一定的条件下，发射区向基区发射的电子数目基本上是一定的，在 U_{CE} 较小时，集电结的内电场也小，集电区收集电子的能力有限。但此时集电结内电场的大小受 U_{CE} 的影响很大，所以当 U_{CE} 略有增加时，I_C 就会急剧增加，表现为在输出特性曲线的起始部分很陡。当 U_{CE} 超过一定数值后，集电结的内电场已足够强，能把绝大部分从发射区发射到基区的电子吸引到集电区，此时 I_C 不再有明显的增加，而是表现出恒流特性，即 I_C 的大小主要取决于 I_B 的大小，而与 U_{CE} 的大小几乎无关。

三极管输出特性可以划分为截止区、放大区和饱和区三个区域。

(1) **放大区**：输出特性曲线近似于水平的区域称为放大区，此时 $|U_{CE}|>|U_{BE}|$，三极管发射结处于正向偏置，集电结处于反向偏置，I_C 的大小几乎与 U_{CE} 无关，但受基极电流 I_B 的控制，$I_C=\bar{\beta}I_B$，三极管表现为受控恒流特性。

(2) **截止区**：把输出特性曲线 $I_B = 0$ A 以下的区域称为截止区。在截止区，三极管的发射结和集电结均处于反向偏置。由于发射结反偏，所以 $I_B = 0$ A，$I_C = I_{CEO}\approx 0$ A。三极管的集电极和发射极之间相当于开路。事实上，当发射结正向偏置电压小于其死区电压时三极管就已进入截止状态。

(3) **饱和区**：各条输出特性曲线的起始上升部分称为饱和区。在饱和区，不同 I_B 值的各条特性曲线几乎重叠在一起，三极管的集电极电流 I_C 的大小基本上不随基极电流 I_B 而变化，三极管失去电流放大作用。此时，三极管发射结和集电结均处于正向偏置。

一般认为，当 $U_{CE}=U_{BE}$，即 $U_{CB}=0$ V 时，集电结偏置电压为零，三极管处于临界饱和状态。当 $|U_{CE}|<|U_{BE}|$，即集电结正向偏置时，三极管处于过饱和状态。饱和时的管压降 U_{CE} 记为 U_{CES}。对于硅管，$|U_{CES}|\leqslant 0.7$ V，典型值为 0.3 V；对于锗管，$|U_{CES}|\leqslant 0.2$ V；典型值为 0.1 V。饱和时，三极管集电极和发射极间近似于短路。

对于图1.3.3，当三极管处于临界饱和状态时，集电极临界饱和电流 I_{CS} 和基极临界饱和电流 I_{BS} 分别为

$$I_{CS}=\frac{E_C-U_{CES}}{R_C}\approx\frac{E_C}{R_C} \tag{1.3.10}$$

$$I_{BS}=\frac{I_{CS}}{\bar{\beta}}\approx\frac{E_C}{\bar{\beta}R_C} \tag{1.3.11}$$

实际流入三极管的基极电流 I_B 为

$$I_B=\frac{E_B-U_{BE}}{R_B} \tag{1.3.12}$$

如果 $I_B>I_{BS}$，则三极管工作于饱和状态；如果 $I_B<I_{BS}$，则三极管工作于放大状态。

例 1.3.1　在图 1.3.5所示电路中，三极管的电流放大系数 $\bar{\beta}=50$，$U_{BE}=0.7$ V，$E_C=12$ V，$R_C=6$ kΩ，$R_B=50$ kΩ。当 $U_I=-2$ V，6 V 和 2 V 时，试判断三极管的工作状态。

解：当 $U_I=-2$ V 时，发射结处于反向偏置，三极管处于截止状态，$I_B=0$ A，$I_C\approx 0$ A，$U_{CE}\approx E_C$。

当 $U_I=6$ V 时，发射结正向导通，此时三极管的实际基极电流为

$$I_B=\frac{U_I-U_{BE}}{R_B}=\frac{6-0.7}{50}=0.106\ \text{mA}$$

基极临界饱和电流为

$$I_{BS}=\frac{E_C-U_{CES}}{\bar{\beta}R_C}=\frac{12-0.7}{50\times 6}=0.038\ \text{mA}$$

可见 $I_B>I_{BS}$，所以三极管处于饱和状态。

当 $U_I=2$ V 时，

$$I_B=\frac{U_I-U_{BE}}{R_B}=\frac{2-0.7}{50}=0.026\ \text{mA}<I_{BS}$$

所以三极管处于放大状态。

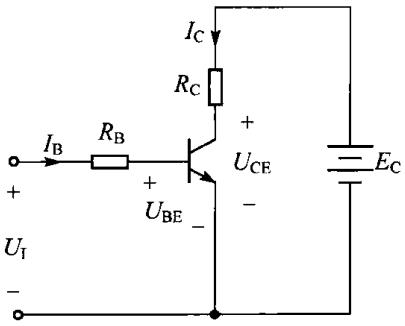


图 1.3.5 例 1.3.1 的图

1.3.4 半导体三极管的主要参数

三极管的参数是用来评价三极管质量优劣和选用三极管的依据。三极管的参数很多，这里只介绍几个主要参数。

1. 电流放大系数

三极管在接成共发射极接法时集电极直流电流 I_C 与基极直流电流 I_B 的比值，称为共发射极直流电流放大系数，用 $\bar{\beta}$ 表示。由式(1.3.2)可知

$$\bar{\beta}=\left.\frac{I_C-I_{CBO}}{I_B+I_{CBO}}\right|_{U_{CE}=\text{常数}}\approx\left.\frac{I_C}{I_B}\right|_{U_{CE}=\text{常数}}\tag{1.3.13}$$

实际中三极管常工作在有交流信号输入的情况下，此时基极电流和集电极电流都产生了变化量。集电极电流变化量 ΔI_C 与基极电流变化量 ΔI_B 之比定义为三极管共发射极交流电流放大系数，用 β 表示，即

$$\beta=\left.\frac{\Delta I_C}{\Delta I_B}\right|_{U_{CE}=\text{常数}}\tag{1.3.14}$$

在三极管参数手册中，常用 h_{fe} 表示 β。

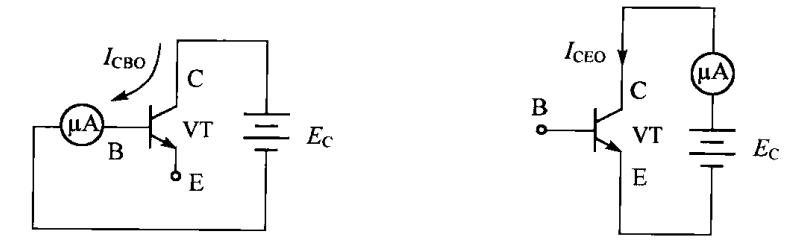
显然 β 与 $\bar{\beta}$ 的含义不同，$\bar{\beta}$ 反映的是静态(直流工作状态)时的电流放大能力，而 β 反映的是动态(交流工作状态)时的电流放大能力。但两者在数值上差别不大，可以认为 $\beta\approx\bar{\beta}$，因此工程计算中对两者不做严格区别而混用。

由于三极管输出特性的非线性，β 值的大小与三极管的工作点有关。一般 I_C 值较大或较小时，特性曲线密，β 值小，只有在特性曲线间距均匀的区域内，β 值才基本上为常数。此外，由于制造工艺的分散性，即使同一型号的三极管，β 值也会有相当大的差别，常用小功率三极管的 β 值在 20～200 之间。

2. 极间反向电流

(1) 集电极基极间反向饱和电流 I_{CBO}

I_{CBO} 是当三极管发射极开路时，集电极与基极间的反向电流，如图 1.3.6(a)所示，它与单个 PN 结的反向电流一样，取决于少子的浓度，受温度影响较大。小功率锗管的 I_{CBO} 约为几 μA 到几十 μA，而硅管的 I_{CBO} 则小于 1 μA。硅管的温度稳定性比锗管好，在环境温度变化较大的场合下宜采用硅管。



(a) 集电极基极间反向饱和电流　　(b) 集电极发射极间反向饱和电流

图 1.3.6　三极管极间反向饱和电流

(2) 集电极发射极间反向饱和电流 I_{CEO}

I_{CEO} 是当三极管基极开路时，集电极和发射极间的反向电流，如图 1.3.6(b) 所示。由于这一电流是从集电极贯穿基区流至发射极，所以也称为集电极发射极穿透电流。由式 (1.3.5) 可知，$I_{CEO} = (1+\beta)I_{CBO}$，所以 I_{CEO} 受温度的影响更为严重。在放大电路中，应选用 I_{CBO} 和 I_{CEO} 较小的三极管，而且 β 值也不宜选得过大，否则会使电路的工作状态不稳定，受温度变化的影响大，一般选用 β 值在 40～120 之间为宜。

3. 极限参数

(1) 集电极最大允许电流 I_{CM}

当三极管集电极电流 I_C 超过一定数值后，其 β 值将会随着 I_C 的增加而明显地下降，电流放大能力下降，I_{CM} 就是当 β 值下降到额定值的 2/3 时所对应的集电极电流。当 I_C 超过 I_{CM} 时，三极管不一定会损坏，但其电流放大能力将大大下降。

(2) 集电极最大允许功率损耗 P_{CM}

三极管工作时，集电结和发射结都会消耗功率，但在一般情况下，集电结上的电压降远大于发射结上的电压降，因此与发射结相比，集电结消耗的功率要大得多。集电结消耗的功率将使集电结发热，结温升高。当结温超过半导体材料的最高温度(硅管为 150℃，锗管为 75℃)时，三极管将被烧坏。因此对集电结的功率损耗要加以限制，不得超过最大允许功率损耗 P_{CM} 值。

P_{CM} 的大小与三极管允许的最高结温、环境温度以及散热条件有关。由给定的 P_{CM} 值可在三极管的输出特性曲线上画出最大允许功率损耗曲线，如图1.3.7 所示，该曲线的方程是

$$U_{CE}I_C = P_{CM} \tag{1.3.15}$$

最大允许功率损耗曲线的右上方为过损耗区。当三极管工作于此区域时，将会因功率损耗过大而烧坏。

(3) 反向击穿电压

如果加在三极管两个 PN 结上的反向电压过大，将会导致 PN 结被击穿。三极管的击穿电压不仅与三极管的特性有关，而且还与外电路的接法有关，常用的有以下几种反向击穿电压。

$U_{(BR)EBO}$：集电极开路时，发射极–基极间反向击穿电压，其值一般只有几伏。在放大状态下，发射结是正偏的，不存在击穿的可能。但当三极管工作在大信号或开关状态时，发射结有可能承受较大的反向电压，此时就要考虑发射结有被击穿的可能。

$U_{(BR)CBO}$：发射极开路时，集电极–基极间反向击穿电压。

$U_{(BR)CEO}$：基极开路时，集电极–发射极间的反向击穿电压。

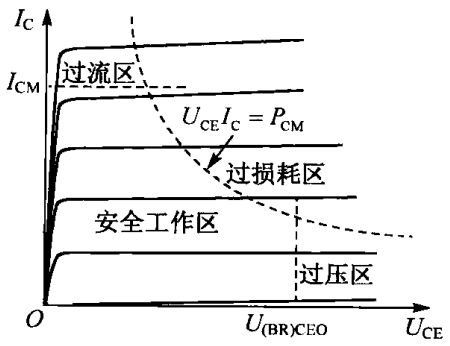


图 1.3.7　三极管的安全工作区

在实际电路中，三极管的基极和发射极之间常接有基极电阻 R_B，这时集电极–基极间的击穿电压用 $U_{(BR)CER}$ 表示，一般有 $U_{(BR)CBO}>U_{(BR)CER}>U_{(BR)CEO}$。放大电路中的电源电压 E_C 数值过大，则会导致三极管集电极–发射极间电压 U_{CE} 大于 $U_{(BR)CEO}$，因此，E_C 的数值必须小于 $U_{(BR)CEO}$，一般取 $E_C \leqslant \left(\frac{1}{2}\sim\frac{2}{3}\right)U_{(BR)CEO}$。

由 I_{CM}，$U_{(BR)CEO}$ 和 P_{CM} 三者可确定出三极管的安全工作区，如图1.3.7所示。

4．温度对三极管参数的影响

由于半导体材料的导电性能与温度有关，所以温度对三极管的下列参数有较大的影响。

(1) 温度对 I_{CBO} 和 I_{CEO} 的影响

集电极基极间反向饱和电流 I_{CBO} 对温度的变化十分敏感。当温度升高时，基区和集电区的少子浓度增加，由少子形成的反向饱和电流也随之增大，通常温度每升高 10℃，三极管的 I_{CBO} 约增加 1 倍。由于三极管的穿透电流 I_{CEO} 为 I_{CBO} 的 $(1+\beta)$ 倍，所以 I_{CEO} 也随着温度的增加而增大。

(2) 温度对 β 的影响

三极管的电流放大系数 β 会随温度的升高而增大，这是因为温度升高后，载流子在基区的扩散速度加快，复合的机率相对减小，因而 β 增大。一般温度升高 1℃，β 约增加(0.5～1.0)%。

(3) 温度对 U_{BE} 的影响

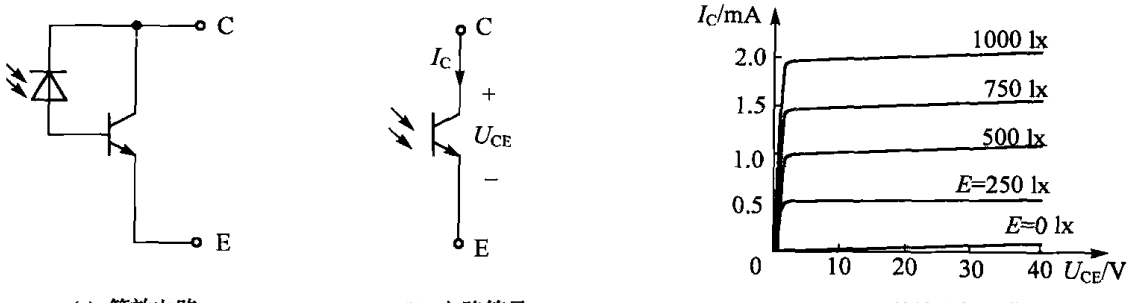
当温度升高时，三极管内载流子运动加剧，发射区发射到基区的载流子数将增加，基极电流 I_B 和发射极电流 I_E 都将增加。如果对应同样的 I_B，温度升高后，发射结正向压降将减小，其温度系数约为–(2～2.5)mV/℃，即温度每升高 1℃，$|U_{BE}|$ 将下降 2～2.5 mV。

1.3.5 光电三极管和光电耦合器件

1．光电三极管

光电三极管也称为光敏三极管，它的基本结构是一只没有引出基极的硅 NPN 型三极管，只是基区面积做得较大，并开有玻璃窗口以便接受光照。当有光线照射在基区时，与光电二极管一样，入射光在基区中激发出电子与空穴，在集电结内电场作用下，电子被拉向集电区，而空穴与发射区扩散到基区的电子相复合而形成电流 I_{BN}，由三极管内部载流子的传输规律(参见图 1.3.3)可知，三极管的集电极电流 $I_C=I_E\approx I_{BN}+I_{CN}=(1+\beta)I_{BN}$，可见 I_C 的大小受外部光照强度的控制。

光电三极管从原理上可等效为一只光电二极管接在一只三极管的基极回路，对外只引出三极管的集电极和发射极，如图1.3.8(a)所示，其电路符号如图1.3.8(b)所示。



(a) 等效电路　(b) 电路符号　(c) 3DU33 的输出特性曲线

图 1.3.8　光电三极管的符号与输出特性曲线

光电三极管的输出特性与普通三极管的输出特性相似，只是用入射光的照度 E 替代参变量 I_B 而已，图1.3.8(c)给出了 3DU33 的输出特性曲线。无光照时的集电极电流 I_{CEO} 称为暗电流，比光电二极管的暗电流大，而且受温度影响较大。有光照时的集电极电流称为光电流，当 U_{CE} 足够大时，I_C 几乎只取决于入射光的照度 E。

2. 光电耦合器件

光电耦合器件由发光二极管和光电二极管或光电三极管组合而成，如图1.3.9所示。输入电信号由发光二极管转换为光信号，再经光电二极管或光电三极管转换为电信号输出，实现了电—光—电的转换。由于输入和输出之间没有直接的电连接，可实现输入与输出之间的电隔离，提高了抗干扰能力。



(a) 光电二极管型　　(b) 光电三极管型

图 1.3.9　光电耦合器

思考题

1.3.1　三极管的发射极和集电极是否可以互换？为什么？

1.3.2　三极管工作在饱和区时，是否还具有电流放大能力？

1.3.3　为什么三极管基区掺杂浓度小而且做得很薄？

1.3.4　如何构成 PNP 型三极管的共发射极放大电路？分析其内部载流子的运动过程。画出其输入特性曲线和输出特性曲线。

1.3.5　何谓三极管的安全工作区？当三极管的集电极电流 I_C、集电极耗散功率 P_C 和集电极–发射极间电压 U_{CE} 三个参数中某一项超过其极限值后，三极管是否一定损坏？

1.3.6　测得某三极管的 $I_B = 10\ \mu A$，$I_C = 1\ mA$，能否确定它的电流放大系数？为什么？

1.3.7　测得某放大电路中的三极管，当 $I_B = 10\ \mu A$ 时，$I_C = 1\ mA$；当 $I_B = 20\ \mu A$ 时，$I_C = 1.8\ mA$。该三极管的电流放大系数为多大？

1.3.8　有两个三极管，其中一个三极管的 $\beta = 50$，$I_{CBO} = 0.5\ \mu A$，另一个三极管的 $\beta = 150$，$I_{CBO} = 2\ \mu A$。如果它们的其他参数相同，在用做放大时，选用哪个三极管较合适？为什么？

1.3.9　如何用万用表判断三极管的三个电极？

1.4　绝缘栅场效应管

场效应管(Field Effect Transistor, FET)的工作原理与普通三极管不同。普通三极管是一种电流控制器件，工作时必须从信号源取用一定的电流，输入电阻较低，约 $10^2 \sim 10^4\ \Omega$。场效应管利用电场效应对其内部多数载流子的运动进行控制，是一种电压控制器件，基本上不需要信号源提供电流，输入电阻很高，可高达 $10^{14}\ \Omega$，这是它的突出特点。

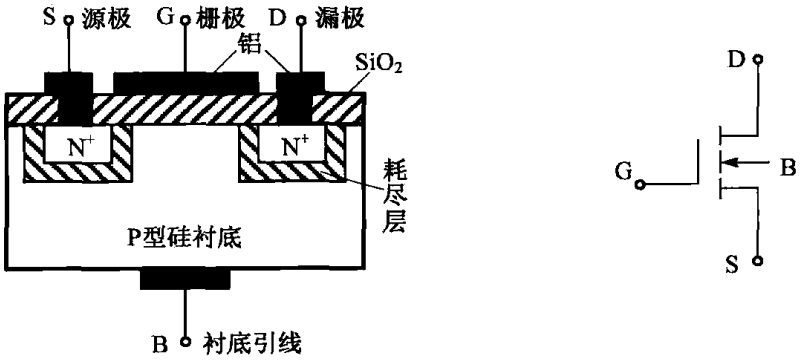
场效应管按其结构可分为结型场效应管(Junction Type FET, JFET)和绝缘栅场效应管(Insulated Gate FET，IGFET)两大类。由于绝缘栅场效应管制造工艺简单，便于集成化，且性能优于结型场效应管，因而在集成电路及其他场合获得了广泛的应用，本节只介绍绝缘栅场效应管。绝缘栅场效应管

在结构上包括有金属电极、二氧化硅绝缘层和半导体材料，所以又称为金属-氧化物-半导体场效应管(Metal-Oxide-Semiconductor FET，MOSFET)。根据其内部结构的不同，MOS 管又有 N 型沟道和 P 型沟道之分，前者称为 NMOS，后者称为 PMOS。每一种 MOS 管又有增强型和耗尽型之分，所以 MOS 管共有 4 种类型，即增强型 NMOS、耗尽型 NMOS、增强型 PMOS 和耗尽型 PMOS。NMOS 和 PMOS 的工作原理基本相同，两者的差别只是工作时外加电源极性和电流方向不同而已。所以下面以 NMOS 管为例讨论 MOS 管的工作原理和特性曲线，PMOS 管的工作原理和特性曲线读者可参照 NMOS 管的有关概念自行分析。

1.4.1 N 沟道增强型绝缘栅场效应管

1. 结构

N 沟道增强型 MOS 管的结构如图1.4.1(a)所示，它以一块掺杂浓度较低的 P 型硅片作为衬底，通过扩散工艺在硅衬底的上表面左右两侧形成两个高掺杂的 N^+型区，分别引出源极 S 和漏极 D，并在硅衬底的上表面覆盖一层二氧化硅(SiO_2)绝缘层，然后在源极和漏极之间的 SiO_2 表面制作一层金属铝作为栅极 G，从衬底下表面引出一个电极 B 作为衬底引线。一般衬底引线在管内与源极连在一起。由于栅极和其他电极之间是绝缘的，因此称这种 MOS 管为绝缘栅场效应管，它的电路符号如图1.4.1(b)所示，箭头方向由 P 型衬底指向 N 型沟道。



(a) 结构图　　(b) 电路符号

图 1.4.1　增强型 NMOS 管的结构及电路符号

2. 工作原理

由图1.4.1(a)可以看出，当 U_{GS}=0 V 时，漏区和源区被 P 型衬底隔开，形成两个背靠背的 PN 结，所以，无论漏极和源极之间电压 U_{DS} 的极性如何，漏极和源极之间总有一个 PN 结处于反向偏置，不会产生漏极电流。

(1) *栅源电压 U_{GS} 对导电沟道的控制作用*

在正常工作时，MOS 管的衬底和源极通常是连在一起的。当 U_{DS} = 0 V 且 U_{GS}>0 V 时，在栅极和衬底之间的 SiO_2 绝缘层中便产生了由栅极指向衬底的电场。这个电场使靠近 SiO_2 一侧的 P 型半导体中多子空穴受到排斥而向衬极方向移动，从而留下不能移动的负离子，形成耗尽层。随着电压 U_{GS} 的进一步加大，耗尽层也随着加宽，同时电场将把 P 型半导体中的少子电子吸引到 P 型半导体材料表面。当 U_{GS} 增大到一定程度后，在耗尽层和 SiO_2 绝缘层之间便形成一个可移动的 N 型表面电荷层，称之为反型层，如图 1.4.2 所示。反型层成为连接漏极和源极之间的 N 型导电沟道。通常将开始形成反型层所需栅源电压 U_{GS} 的值称为开启电压，用 $U_{GS(th)}$ 表示。显然，栅源电压 U_{GS} 值越大，作用于半导体表面的电场越强，被吸引到反型层中的电子数就越多，导电沟道越厚，相应的沟道电阻就越小。

这种在 $U_{GS}>U_{GS(th)}$后才开始形成导电沟道，并且随着 U_{GS} 的增加导电沟道电阻在不断减小的场效应管称为增强型场效应管。

根据上述导电沟道形成过程的讨论可知，场效应管中只有一种载流子参与导电，所以称之为单极型晶体管。而普通三极管中空穴和电子两种载流子均参与导电，称之为双极型晶体管。在 MOS 管中参与导电的载流子是漏区和源区的多数载流子，其温度稳定性比普通三极管要好得多。

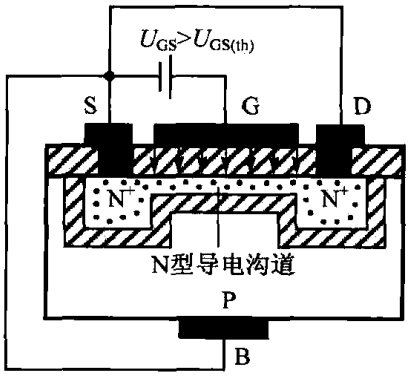


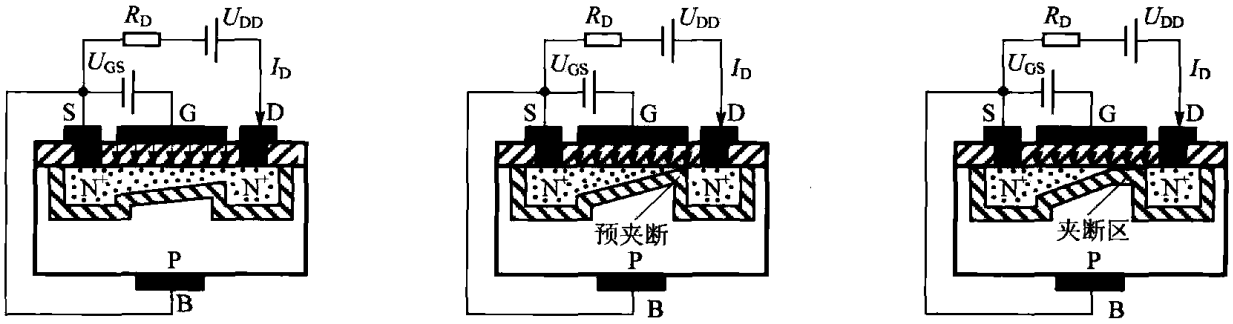
图 1.4.2　增强 NMOS 导电沟道的形成

(2) 漏源电压 U_{DS} 对导电沟道的影响

当 $U_{GS}>U_{GS(th)}$并且为某一定值时，如果在漏极和源极之间加上正向电压 U_{DS}，将产生漏极电流 I_D。由于沟道电阻的存在，I_D 流过导电沟道时将产生电压降，这使得沟道内的各点电位不再相等，所以栅极与沟道中各点的电压也将不再相等，在靠近源区的地方栅极与沟道间的电压最大，其值为 U_{GS}，导电沟道最厚，而在靠近漏区的地方，栅极与沟道间的电压最小，其值为 $U_{GD}=U_{GS}-U_{DS}$，导电沟道最薄，这使得沟道从源区到漏区逐渐变窄呈楔形分布，如图 1.4.3(a)所示。当 U_{DS} 增大到使栅极和漏极间电压 $U_{GD}=U_{GS}-U_{DS}=U_{GS(th)}$时，靠近漏区的导电沟道开始消失，这种情况称为预夹断，如图1.4.3(b)所示，此时

$$U_{DS}=U_{GS}-U_{GS(th)} \tag{1.4.1}$$

如果进一步增大 U_{DS}使 $U_{GD}=U_{GS}-U_{DS}<U_{GS(th)}$，则靠近漏区一侧的导电沟道将被夹断，并且随着 U_{DS} 的增加，夹断区不断向源区扩展，如图 1.4.3(c)所示。导电沟道出现夹断以后，由于夹断区的电阻远远大于未夹断区的电阻，所以外加电压几乎全部降落在夹断区上，在夹断区内形成了非常强的电场，其方向由漏区指向源区。在此电场的作用下，电子将被拉过夹断区而达到漏极形成漏极电流 I_D。显然，随着 U_{DS}的增加，夹断区不断扩大，沟道电阻也不断增加，所以漏极电流 I_D几乎保持不变，表现为恒流特性。



(a) $U_{DS}<U_{GS}-U_{GS(th)}$　　(b) $U_{DS}=U_{GS}-U_{GS(th)}$　　(c) $U_{DS}>U_{GS}-U_{GS(th)}$

图 1.4.3　U_{DS}对导电沟道的影响

3. 特性曲线

场效应管的特性曲线有输出特性和转移特性两种。

(1) 输出特性

输出特性是指在 U_{GS}一定时，漏极电流 I_D与漏源电压 U_{DS}之间的关系，即

$$I_D = f(U_{DS})\big|_{U_{GS}=常数} \tag{1.4.2}$$

图1.4.4(a)为增强型NMOS管的输出特性曲线，可划分为三个不同的区域。

① 可变电阻区：可变电阻区位于输出特性曲线的起始部分，此时 $U_{DS}<U_{GS}-U_{GS(th)}$，其特点是 U_{DS} 数值较小，对导电沟道影响不大，在 U_{GS} 一定时，导电沟道电阻基本为常数，I_D 与 U_{DS} 近似成线性关系。改变 U_{GS} 的值，可以改变沟道电阻的大小，故称为可变电阻区。

② 恒流区(也称为饱和区或线形放大区)：当 $U_{DS}>U_{GS}-U_{GS(th)}$ 后，靠近漏区一端的导电沟道被夹断，随着 U_{DS} 的增加，夹断区不断向源区方向扩展，沟道电阻也随之增加，因此 I_D 基本上保持恒定，故称为恒流区或饱和区，这时 I_D 主要受 U_{GS} 的控制。当场效应管用做放大时，就工作在此区域，所以也称为线性放大区。

③ 截止区：当 $U_{GS}<U_{GS(th)}$ 时，漏极与源极间无导电沟道，此时 $I_D=0$ A，MOS管截止。

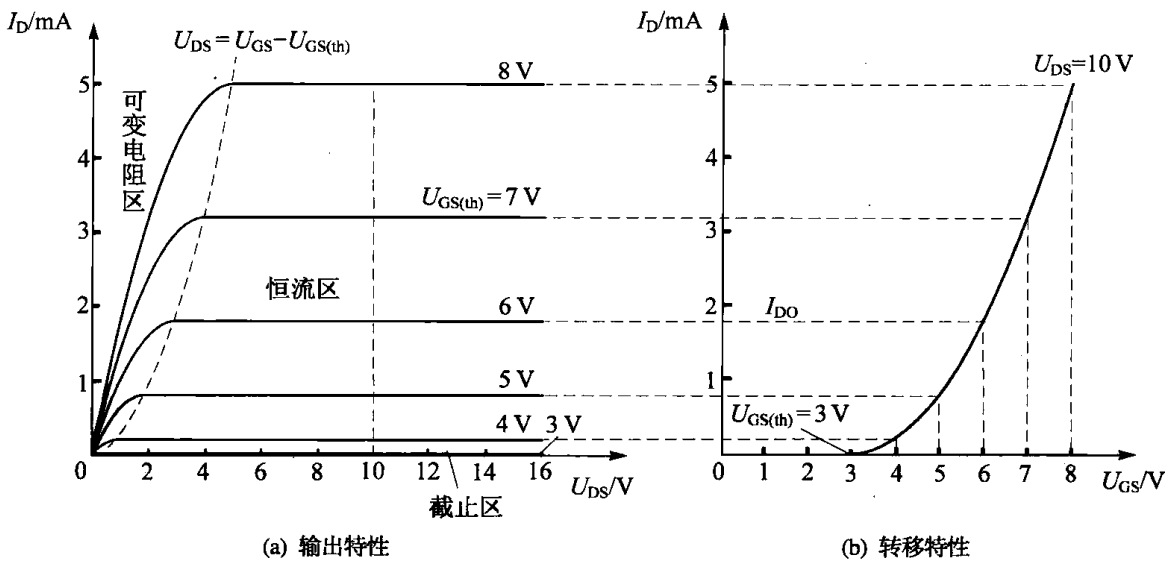


图 1.4.4 N沟道增强型MOS管特性曲线

(2) 转移特性

转移特性是指工作于恒流区时，在一定的 U_{DS} 下 I_D 与 U_{GS} 之间的关系，即

$$I_D = f(U_{GS})\big|_{U_{DS}=常数} \tag{1.4.3}$$

显然，转移特性曲线可由输出特性曲线求得。如在图1.4.4(a)中取 $U_{DS}=10$ V，则所对应的 I_D 与 U_{GS} 的关系曲线如图1.4.4(b)所示。由于在恒流区内，输出特性曲线近似与横轴平行，所以 I_D 与 U_{DS} 的关系不大，不同 U_{DS} 下的转移特性曲线基本重合。增强型NMOS管的转移特性可近似表示为

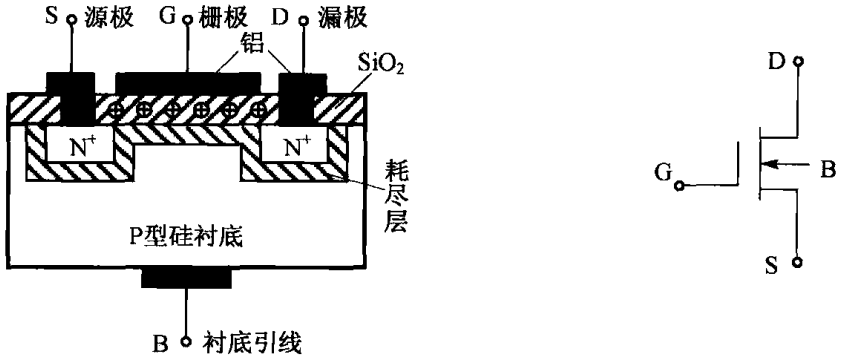
$$I_D = I_{DO}\left(\frac{U_{GS}}{U_{GS(th)}}-1\right)^2 \qquad U_{GS}\geqslant U_{GS(th)} \tag{1.4.4}$$

式中，I_{DO} 是 $U_{GS}=2U_{GS(th)}$ 时的 I_D 值。

1.4.2 N沟道耗尽型绝缘栅场效应管

N沟道耗尽型MOS管的结构如图1.4.5(a)所示，其电路符号如图1.4.5(b)所示。耗尽型NMOS管与增强型NMOS管的结构基本相同，所不同的是，耗尽型管子在制造时已预先在二氧化硅绝缘层中埋入了大量的正离子。这样在 $U_{GS}=0$ V 时，这些正离子已使P型衬底表面感应出N型导电沟道来，

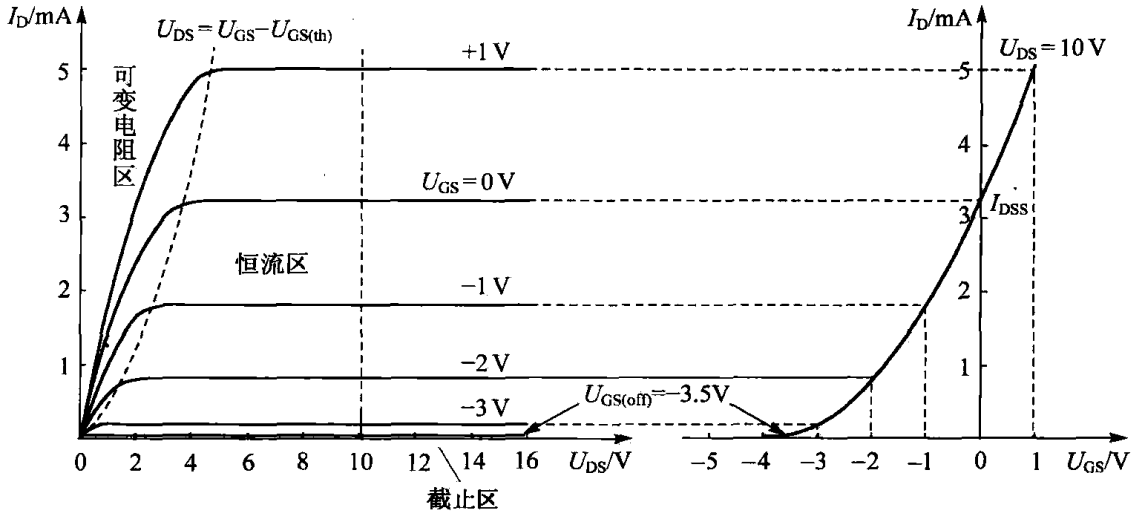
因而在 U_{DS} 作用下可以形成电流 I_D。当 U_{GS} 由零增大时，导电沟道变厚，导电能力增强，I_D 增大；当 U_{GS} 由零变为负值时，导电沟道变薄，I_D 减小。U_{GS} 反向增大到一定值时，导电沟道将消失，$I_D=0$ A，这时栅源电压 U_{GS} 的值称为夹断电压，用 $U_{GS(off)}$ 表示。



(a) 结构图　　(b) 电路符号

图 1.4.5　耗尽型 NMOS 管结构及电路符号

耗尽型 NMOS 管的输出特性曲线和转移特性曲线分别示于图 1.4.6(a)和(b)中。由图可见，耗尽型 NMOS 管的 U_{GS} 可正可负，当 $U_{GS}>0$ V 时，I_D 增加；当 $U_{GS}<0$ V 时，I_D 减小。



(a) 输出特性　　(b) 转移特性

图 1.4.6　N 沟道耗尽型 MOS 管特性曲线

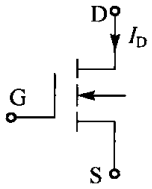
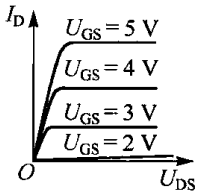
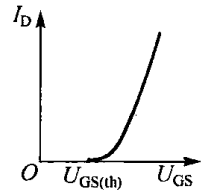
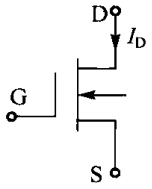
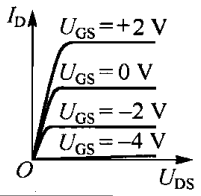
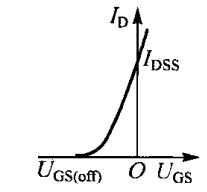
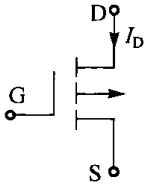
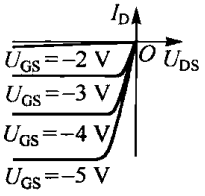
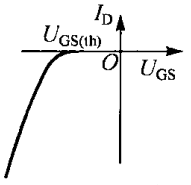
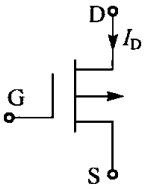
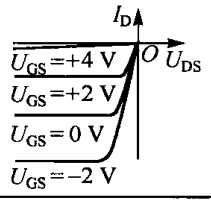
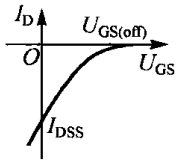
耗尽型 NMOS 管的转移特性可近似表示为

$$I_D = I_{DSS}\left(1-\frac{U_{GS}}{U_{GS(off)}}\right)^2 \qquad U_{GS} \geqslant U_{GS(off)} \tag{1.4.5}$$

式中，I_{DSS} 是 $U_{GS}=0$ V 时的 I_D 值，称为饱和漏极电流。

如果将衬底改为 N 型半导体，漏区和源区改为 P 型半导体，则构成了 P 沟道绝缘栅场效应管。P 沟道 MOS 管的工作原理与 N 沟道 MOS 管类似，只是 U_{GS}，U_{DS} 的极性和电流 I_D 的方向与 N 沟道 MOS 管相反。它们的符号也与 N 沟道 MOS 管相似，但衬底箭头方向与 NMOS 管相反。为便于比较，将 4 种绝缘栅场效应管的符号和特性曲线列于表 1.4.1 中，以供参考。

表 1.4.1 各种绝缘栅场效应管的符号和特性曲线

类 型	电路符号	输出特性	转移特性
增强型 NMOS			
耗尽型 NMOS			
增强型 PMOS			
耗尽型 PMOS			

1.4.3 场效应管的主要参数

1. 直流参数

(1) 开启电压 $U_{GS(th)}$和夹断电压 $U_{GS(off)}$

开启电压$U_{GS(th)}$是在U_{DS}一定(例如10 V)的条件下,使$|I_D|$增大到某一规定的微小电流(一般为50 μA)时的$|U_{GS}|$值，它是增强型 MOS 管的参数。夹断电压 $U_{GS(off)}$是在 U_{DS} 一定(例如 10 V)的条件下，使$|I_D|$减小到某一规定的微小电流(一般为 50 μA)时的$|U_{GS}|$值，它是耗尽型 MOS 管的参数。

(2) 饱和漏极电流 I_{DSS}

饱和漏极电流 I_{DSS} 是在 $U_{GS}=0$ V 的情况下，当$|U_{DS}|>|U_{GS(off)}|$时的漏极电流值，它是耗尽型 MOS 管的参数。

(3) 直流输入电阻 R_{GS}

直流输入电阻 R_{GS} 是在漏源之间短路的条件下，栅源电压 U_{GS} 与栅极电流 I_G 的比值。MOS 管的 R_{GS} 可达 $10^9 \sim 10^{15}$ Ω 。

2. 交流低频跨导

交流低频跨导 g_m 反映了 MOS 管工作在恒流区时栅源电压 U_{GS} 对漏极电流 I_D 的控制能力。定义为在 U_{DS} 为某一定值时，漏极电流变化量 ΔI_D 与栅源电压变化量 ΔU_{GS} 的比值，即

$$g_m = \left.\frac{\Delta I_D}{\Delta U_{GS}}\right|_{U_{DS}=常数} \tag{1.4.6}$$

g_m 的单位是西门子(S)或毫西门子(mS)，它是转移特性曲线的斜率。因为转移特性曲线上各点斜率不尽相同，所以 g_m 与场效应管的直流工作电流 I_D 的大小有关。

3．极限参数

场效应管的极限参数有漏极最大电流 I_{DM}、栅源击穿电压 $U_{(BR)GS}$、漏源击穿电压 $U_{(BR)DS}$ 和漏极最大允许功率损耗 P_{DM}。这些参数的含义与三极管极限参数的含义相同，此处不再赘述。

使用 MOS 管时，除注意不要超过其极限参数外，还要注意可能出现的栅极感应电压过高而造成栅极击穿的问题。这是由于 MOS 管的输入电阻很高，栅极上的感应电荷不易泄放，而且栅极与衬底之间的电容量很小(几个 pF)，所以栅极上只要感应出少量电荷就会产生很高的电压，以致引起栅极和衬底之间 SiO_2 绝缘层击穿而损坏管子。为此，要采取一定的保护措施。例如，在存放 MOS 管时需将各电极引线短路，在电路中栅源极间要有直流通路，以防止栅极悬空；焊接时，电烙铁外壳要有可靠的接地线以防烙铁漏电，最好在焊接时将电烙铁的电源插头拔下。目前生产的 MOS 管在制造时，其内部已接有图1.4.7所示的栅极过压保护电路。正常工作时，稳压管 VD_{Z1} 和 VD_{Z2} 都截止，对 MOS 管工作无影响。当栅极上出现过电压时，稳压管 VD_{Z1} 和 VD_{Z2} 中将有一只击穿导通，从而限制了栅源间的电压，保护了场效应管。

从原理上看，MOS 管的源极和漏极在结构上是对称的，可以互换使用。但大部分产品在内部已将源极与衬底连接在一起，这时源极与漏极不能对换，使用时必须注意。

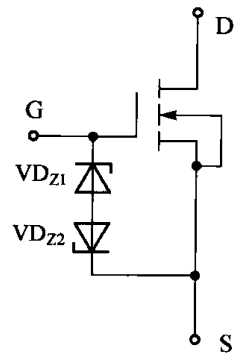


图 1.4.7　栅极过压保护电路

思考题

1.4.1　MOS 管和双极性晶体管比较有何特点？

1.4.2　开启电压和夹断电压有何不同？哪类 MOS 管具有开启电压？哪类 MOS 管具有夹断电压？

1.4.3　MOS 管有哪几种类型？根据 NMOS 与 PMOS 在结构上的对应关系，分析 PMOS 的工作原理并画出其输出特性曲线和转移特性曲线。比较两者有何不同？

1.4.4　MOS 管的栅极为什么不能开路？

1.4.5　MOS 管的源极和漏极能否对换使用？什么情况下可以？什么情况下不可以？

1.4.6　对于 NMOS 管，衬底电位能不能比源极电位高？为什么？

1.5　PSice 例题分析

例 1.5.1　利用 PSpice 分析例 1.1.2。

解：调用 OrCAD9.1/Capture CIS 软件绘制图1.1.11中电路的 PSpice 仿真电路如图 1.5.1 所示。二极管选用 1N4148，为了能同时进行直流特性扫描分析和瞬态特性分析，需将输入激励信号 V_{in} 设置为调幅正弦信号，其参数设置如下：峰值振幅 VAMPL 为 10 V，频率为 50 Hz，相位 PHASE 为 0，偏置量 VOFF、阻尼因子 TD 和延迟因子 DF 均为 0，这样设置后激励信号实际上就变为正弦信号。V_{in} 的设置界面如图1.5.2所示，注意在进行 V_{in} 的设置时要在 Filter 的下拉式选项中选择 Orcad-PSpice。

为了仿真电压传输特性，应采用 PSpice 的直流特性扫描分析(DC Sweep)功能，其参数设置如

图1.5.3所示。为了在分析后能自动显示传输特性，应在 Simulation Settings 窗口中打开 Windows Probe 标签，并按图1.5.4所示设置选项。

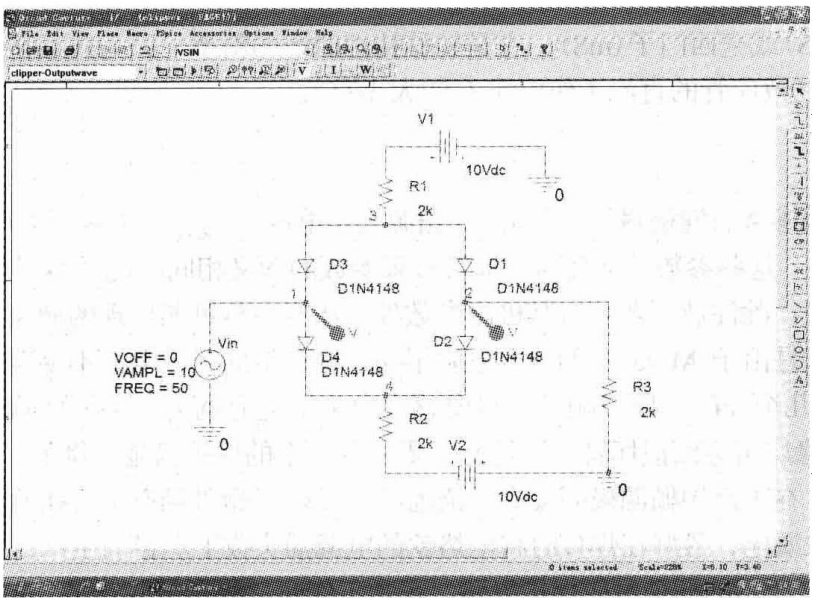


图 1.5.1　图 1.1.11 中电路的 PSpice 仿真电路

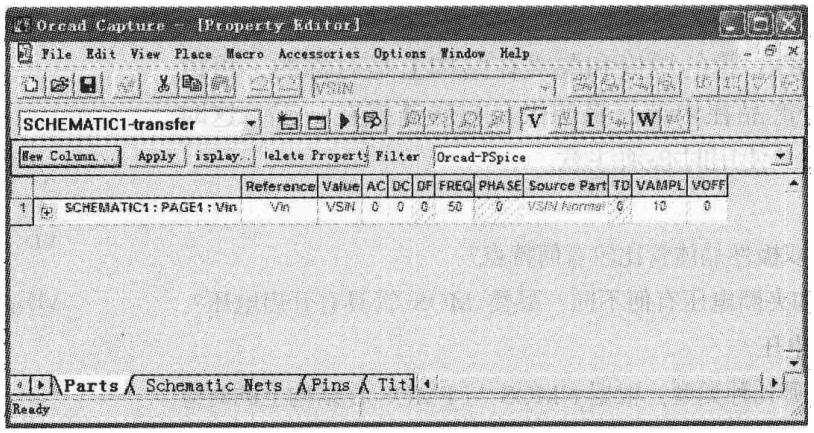


图 1.5.2　激励信号 V_{in} 的设置窗口

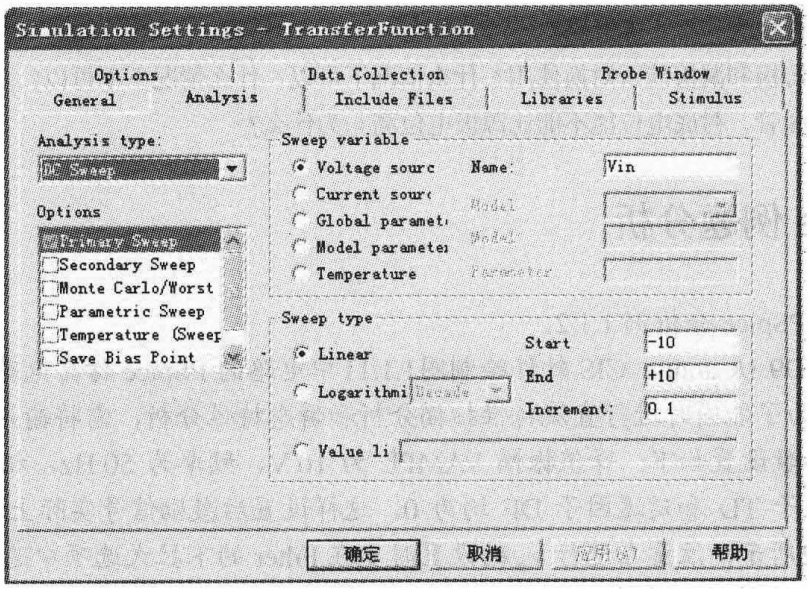


图 1.5.3　DC Sweep 仿真自变量 V_{in} 参数设置窗口

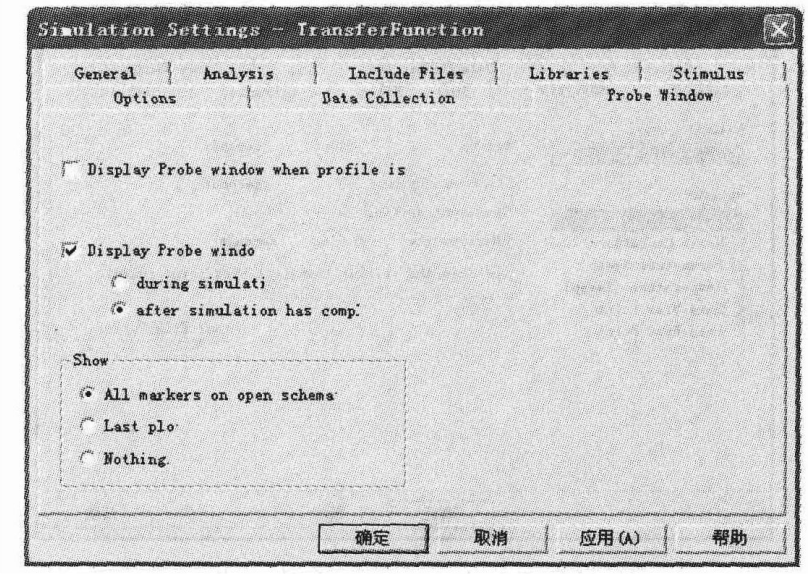


图 1.5.4　Probe Window 设置窗口

执行 RUN 命令后，将自动调用(或在绘图软件 Orcad Capture 的 PSpice 命令菜单中选择执行 View Simulation Results 子命令即可调用) Probe 模块显示仿真结果，如图1.5.5 所示，仿真结果与例 1.1.2 中分析的传输特性基本一致。

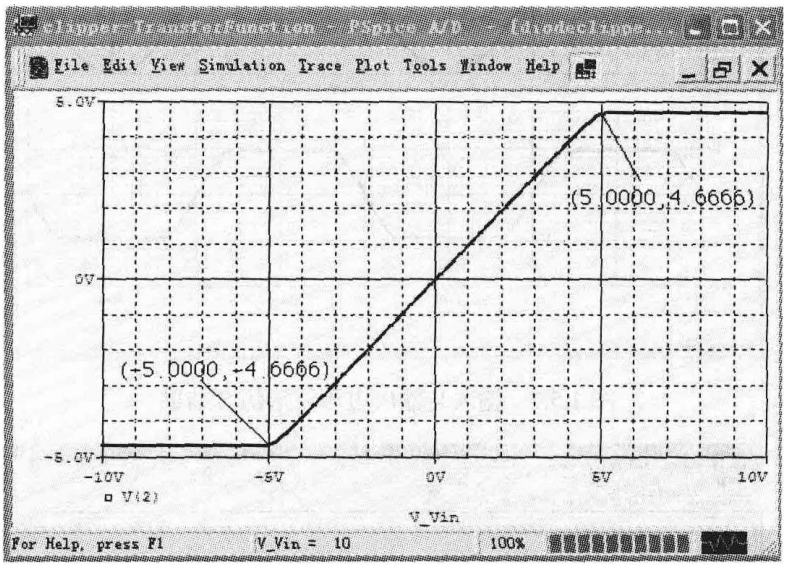


图 1.5.5　传输特性仿真结果

为了仿真输出电压波形，应采用 PSpice 的瞬态特性分析(Transient Analysis)功能，其参数设置如图1.5.6所示，输出电压波形的仿真结果如图1.5.7所示。

例 1.5.2　利用 PSpice 测试三极管 2N2222 的输出特性曲线。

解：调用 OrCAD9.1/Capture CIS 软件绘制测试 2N2222 输出特性的仿真电路如图1.5.8所示。

应采用直流特性扫描分析(DC Sweep)功能仿真三极管的输出特性。由于三极管的集电极电流 I_C 不仅与集射极间电压 V_{CC} 有关，而且与基极电流 I_B 有关，所以有两个仿真变量。仿真自变量 V_{CC} 的参数设置如图1.5.9所示，仿真参变量 I_B 的参数设置如图1.5.10所示。

输出特性的仿真结果如图1.5.11所示。

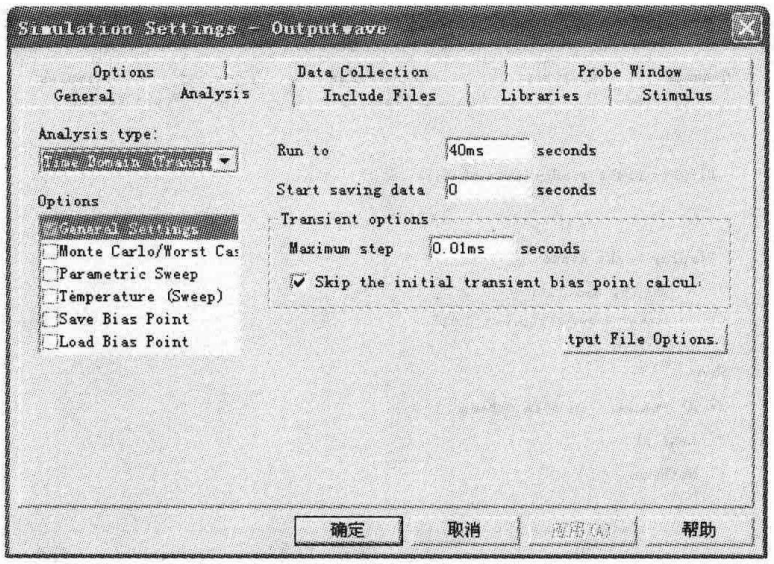


图 1.5.6 Transient Analysis 参数设置窗口

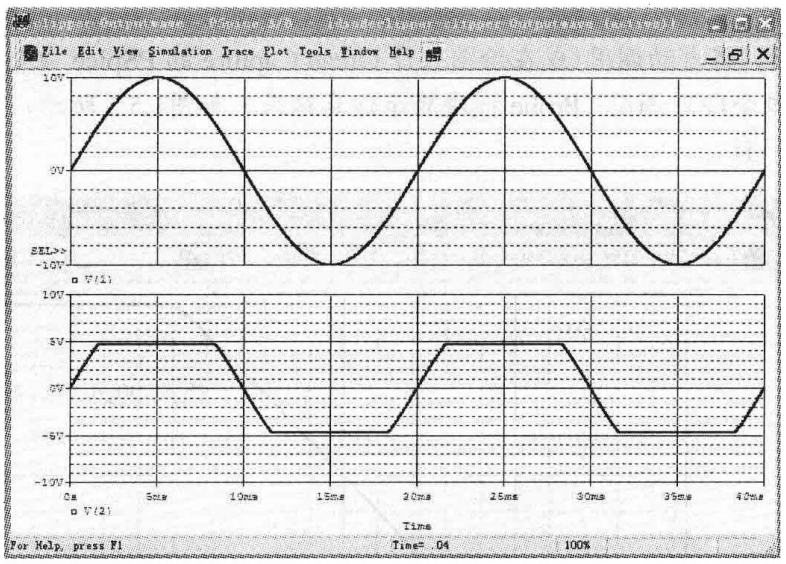


图 1.5.7 输入与输出电压波形仿真结果

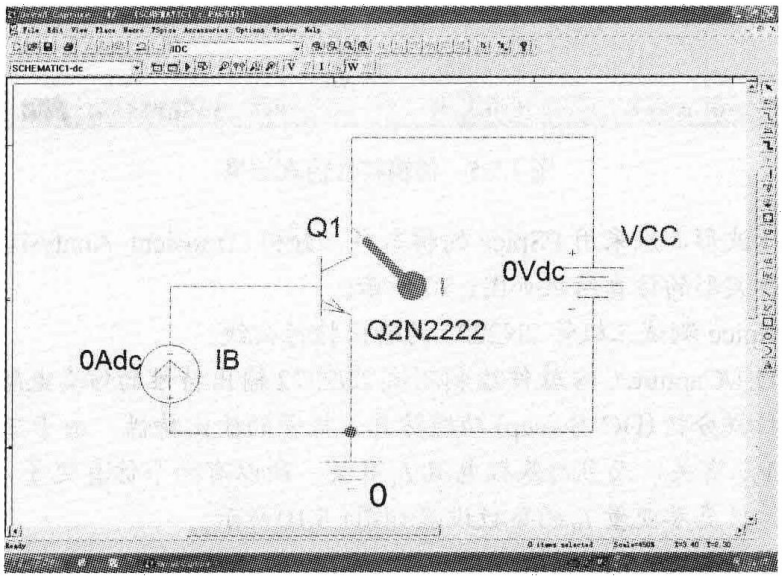


图 1.5.8 例 1.5.2 的 PSpice 仿真电路

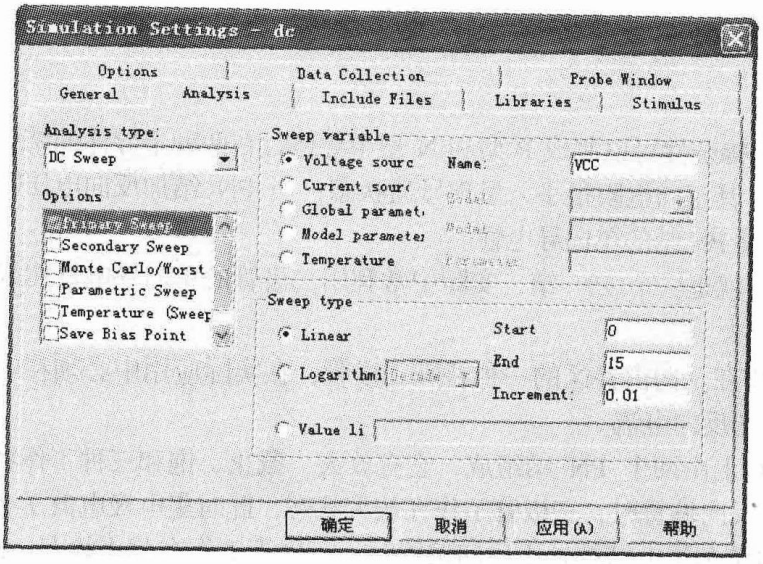


图 1.5.9　DC Sweep 仿真自变量 V_{CC} 参数设置窗口

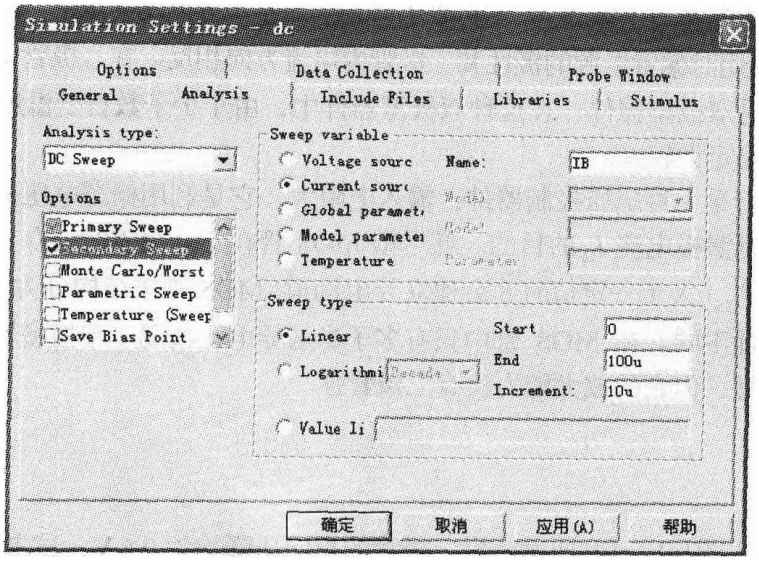


图 1.5.10　DC Sweep 仿真参变量 I_B 参数设置窗口

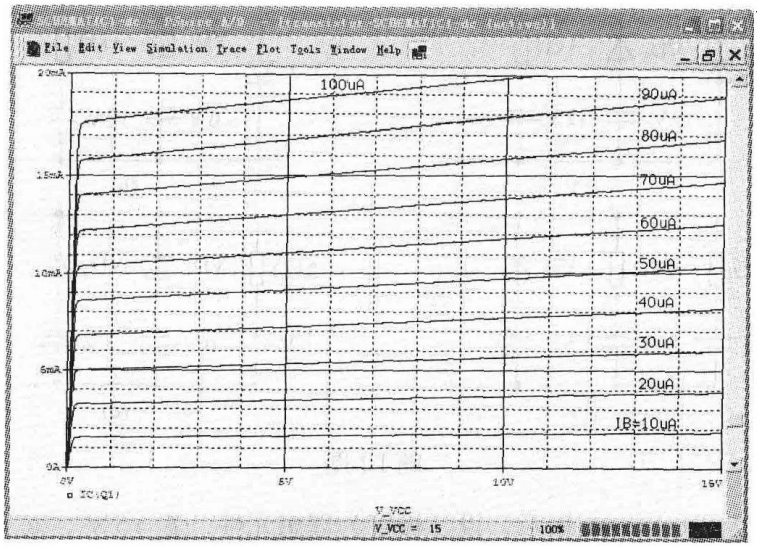


图 1.5.11　2N2222 输出特性仿真结果

本章小结

1．利用半导体的掺杂性可以制成 P 型和 N 型半导体，在两种半导体的结合处将形成 PN 结。当 PN 结加正向电压时，其正向电阻很小，呈现导通状态；当 PN 结加反向电压时，其反向电阻很大，呈现截止状态，这就是 PN 结的单向导电性。

2．二极管本质上就是一个 PN 结，实际中常利用二极管的单向导电性构成整流、限幅、钳位等电路。

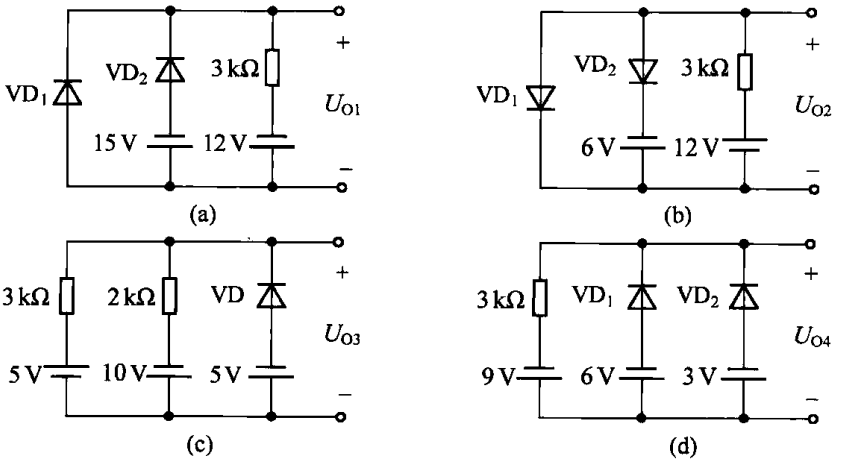
3．稳压管是工作在反向击穿区的一种特殊二极管，在实际应用中必须在电路中串联一限流电阻以限制流过稳压管中的反向电流。

4．三极管在结构上由两个 PN 结组成，它有放大、截止、饱和三种工作状态。当发射结处于正向偏置，集电结处于反向偏置时，三极管工作在放大状态，此时集电极电流 I_C 受基极电流 I_B 的控制，即 $I_C \approx \beta I_B$；当发射结和集电结都处于反向偏置时，三极管工作在截止状态，此时 $I_C \approx 0$ A，集电极和发射极之间相当于开路；当发射结和集电结均处于正向偏置时，三极管工作在饱和状态，此时 $U_{CE} \approx 0$ V，集电极和发射极之间相当于短路，I_C 不再受 I_B 控制，而是由外电路来决定。三极管按结构分为 NPN 型和 PNP 型，两者使用时偏置电源的极性和三极管内电流方向相反。在三极管中，空穴和电子两种载流子都参与了导电，是双极型器件，在这种双极型器件中，由于少子数目受温度影响较大，其参数往往与温度关系较大，稳定性较差。

5．MOS 场效应管是一种电压控制器件，输入电阻大。它是利用栅源电压 U_{GS} 的大小来改变感生沟道的电阻以达到控制漏极电流 I_D 的目的。耗尽型 MOS 管在 U_{GS} 为零时已存在原始导电沟道，而增强型 MOS 管只有在 $|U_{GS}|$ 大于一定值时才会建立导电沟道。MOS 管按结构分为 P 沟道和 N 沟道两类，两者使用时的电源极性不同。在 MOS 管中只有多子参与导电，故属于单极型器件，其参数几乎不受温度影响，稳定性较好，但它的放大能力没有三极管强。

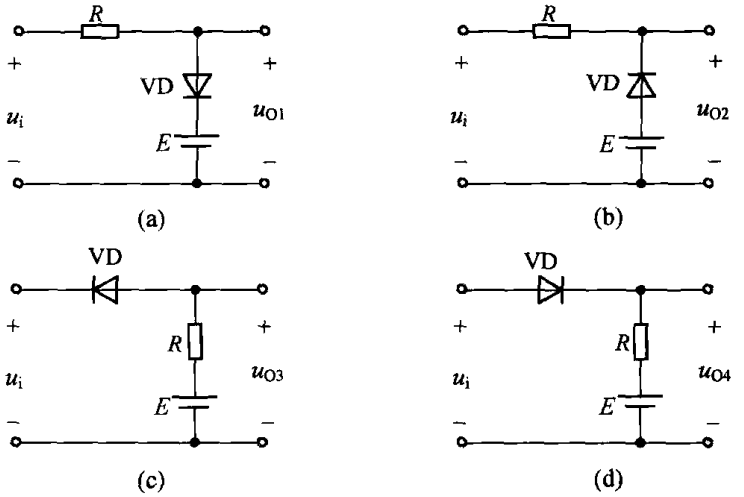
习题 1

1.1　电路如题 1.1 图(a)～(d)所示，设二极管的正向压降均为 0.6 V，试求出电压 U_{O1}，U_{O2}，U_{O3} 和 U_{O4} 的大小。



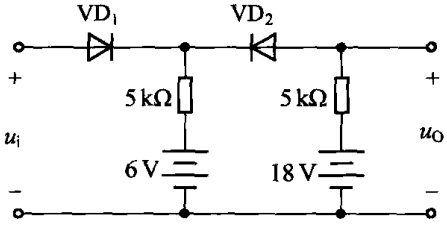
题 1.1 图

1.2　电路如题 1.2 图(a)～(d)所示，设二极管为理想元件，$E = 5$ V，$u_i = 10\sin\omega t$ V，试画出输出电压 u_{O1}，u_{O2}，u_{O3} 和 u_{O4} 的波形。



题 1.2 图

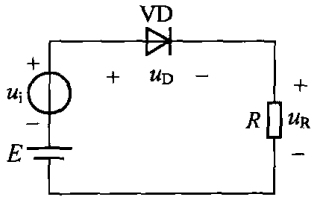
1.3　一双向限幅电路如题 1.3 图所示，设二极管为理想元件，$u_i = 30\sin\omega t$ V，试画出输出电压 u_O 的波形。



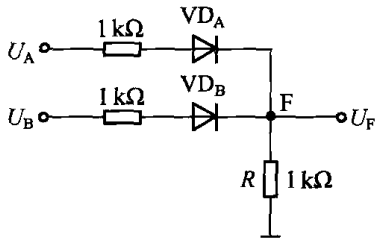
题 1.3 图

1.4　电路如题 1.4 图所示，设二极管为理想元件，$E = 10$ V，$u_i = 20\sin\omega t$ V，试画出二极管两端电压 u_D 和电阻两端电压 u_R 的波形。

1.5　电路如题 1.5 图所示，设二极管为理想元件，试计算在下列几种情况下输出端 F 的电位 U_F 及各元件(VD_A, VD_B, R)中通过的电流。(1) $U_A = 10$ V，$U_B = 0$ V；(2) $U_A = 10$ V，$U_B = 8$ V；(3) $U_A = 10$ V，$U_B = 10$ V。

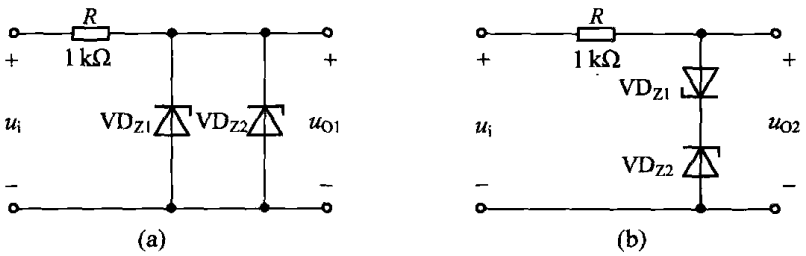


题 1.4 图



题 1.5 图

1.6　稳压管电路如题 1.6 图(a)和(b)所示，稳压管 VD_{Z1} 的稳定电压为 6 V，稳压管 VD_{Z2} 的稳定电压为 4 V，它们的正向压降可忽略不计，设 $u_i = 15\sin\omega t$ V，试画出 u_{O1} 和 u_{O2} 的波形。



题 1.6 图

1.7 两个稳压管的稳定电压分别为 5.5 V 和 8.5 V，正向压降均为 0.5 V。如果要得到 0.5 V，3 V，6 V，9 V 和 14 V 几种稳定电压，这两个稳压管应如何连接？请画出电路图。

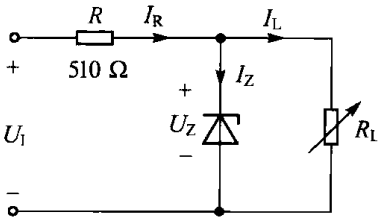
1.8 电路如题1.8图所示，已知U_I= 20 V，稳压管的参数为：稳定电压9 V，最大耗散功率 250 mW，最小稳定电流 5 mA。

(1) 当R_L= 1 kΩ时，计算电流I_R，I_Z，I_L的大小。

(2) 如果U_I的变化范围不超过±10%，R_L可任意变化，请问在U_I和R_L变化到何值时，稳压管的功耗最大？其值是否已超过允许值？

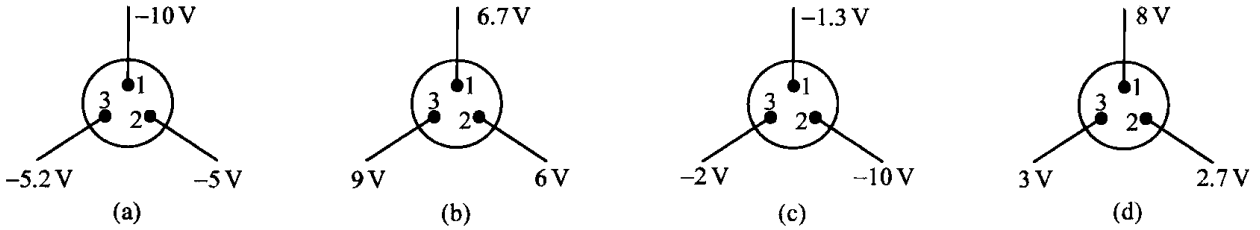
(3) 如果U_I保持不变，在I_L高于何值时电路将失去稳压能力？

(4) 如果R_L保持不变，在U_I低于何值时电路将失去稳压能力？



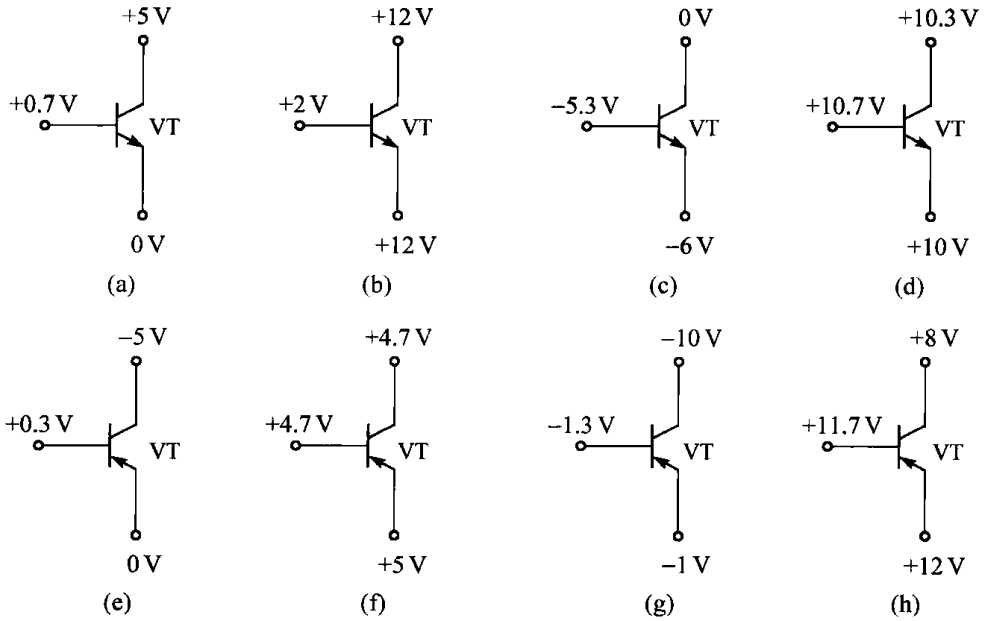
题 1.8 图

1.9 分别测得 4 个放大电路中三极管的各极对参考点的电位如题1.9 图(a)～(d)所示，试判断三个引脚 1，2 和 3 各是什么电极？各三极管分别是硅管还是锗管？是 PNP 型还是 NPN 型？



题 1.9 图

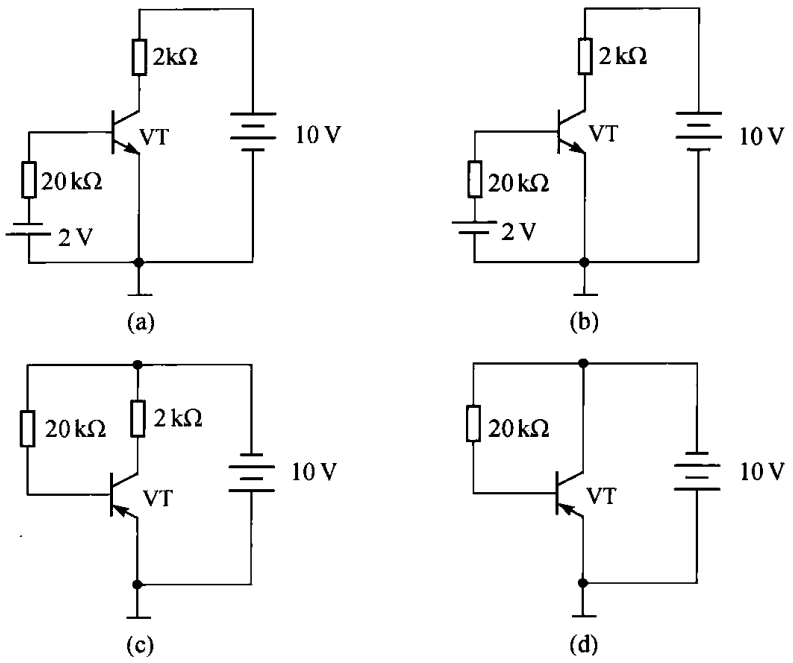
1.10 测得电子电路中三极管各极对参考点的电位如题 1.10 图(a)～(h)所示，试判断各三极管的工作状态。



题 1.10 图

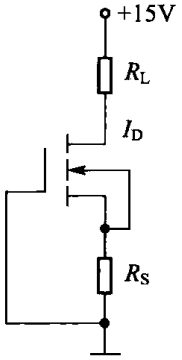
1.11 题1.11图(a)～(d)中各三极管的β均为 50，$U_{BE} \approx$ 0.7 V，试判断各三极管的工作状态，并估算I_C和U_{CE}的值。

1.12 有一三极管的极限参数为：P_{CM} = 100 mW，I_{CM} = 20 mA，$U_{(BR)CEO}$ = 15 V。试问在下列 3 种情况下三极管能否正常工作？(1) U_{CE} = 6 V，I_C = 15 mA；(2) U_{CE} = 2 V，I_C = 40 mA；(3) U_{CE} = 10 V，I_C = 15 mA。



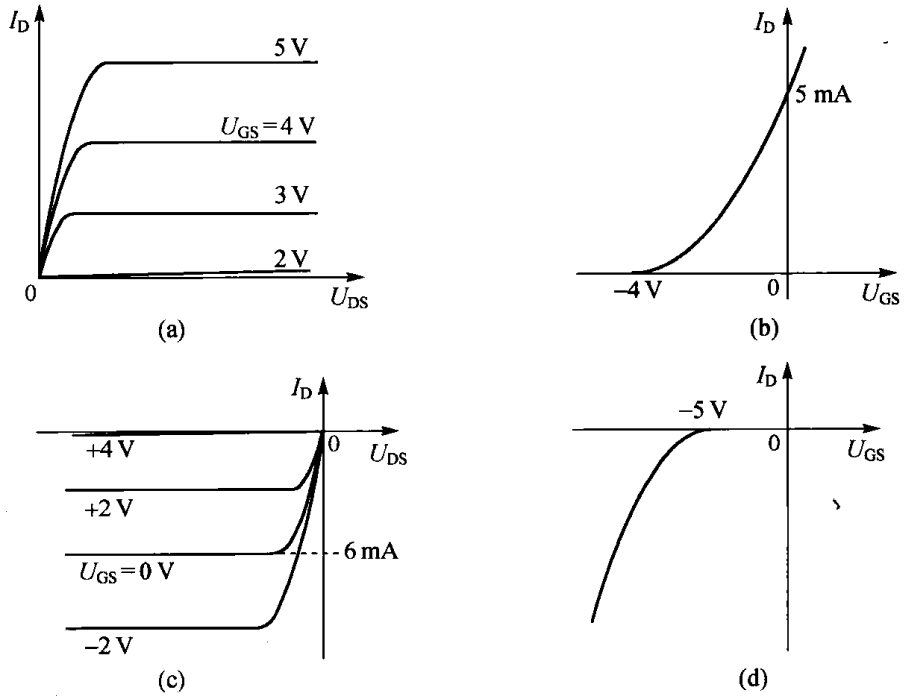
题 1.11 图

1.13　将一只 N 沟道耗尽型 MOS 管接成题 1.13 图所示的恒流源电路，该 MOS 管的 $U_{GS(off)}=-4$ V，$I_{DSS}=8$ mA。如所需的恒流值 $I_D=2$ mA，则应接入的源极电阻 R_S 的值为多大?



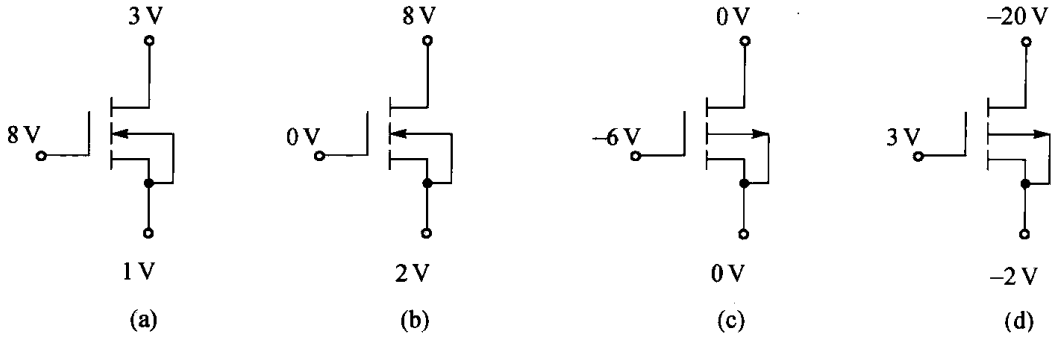
题 1.13 图

1.14　试根据题 1.14 图(a)～(d)所示的绝缘栅场效应管的特性曲线，分别判断各相应场效应管的类型，并画出其电路符号。如为增强型场效应管，指出其开启电压的数值；如为耗尽型场效应管，指出其夹断电压和饱和漏极电流的数值。



题 1.14 图

1.15　测得电子电路中绝缘栅场效应管各极对“地”的电位如题 1.15 图(a)～(d)所示。设增强型场效应管的开启电压和耗尽型场效应管的夹断电压的绝对值大小均为 4 V，试判断各场效应管的工作状态。



题 1.15 图

1.16 用 PSpice 测试二极管 1N4148 的正向伏安特性曲线。

1.17 用 PSpice 仿真分析题 1.3，其中二极管选用 1N4148。

1.18 用 PSpice 测试场效应管 2SK2222 的输出特性曲线。

第 2 章　基本放大电路

放大电路也称为放大器，是模拟电子电路中最基本的单元电路，主要用于对微弱电信号的放大。例如，扩音机中的放大电路用于把麦克风转换来的微弱电信号放大以驱动喇叭发出较大的声音。放大电路在信号传输与处理、自动控制、测量仪器等领域都有着广泛的应用，是电子仪器和设备中最常见的基本单元电路。本章将介绍由分立元件构成的常见基本放大电路的组成、工作原理、分析方法以及特点和应用。

2.1　放大电路的基本概念及其性能指标

2.1.1　放大电路的基本概念

所谓“放大”，是指将能量较小的输入信号通过三极管、场效应管等具有能量控制作用的有源器件控制直流电源，使其按照输入信号的变化规律输出能量较大的信号给负载。放大电路输出信号的变化规律是由输入信号控制的，两者随时间变化的波形要完全一致，不能“失真”，即要求输出信号与输入信号成比例，实现线性放大。而负载得到的能量却是由直流电源转换而来的，并非由输入的交流信号源提供，所以放大的本质就是小能量对大能量的控制作用。

放大电路的一般表示如图 2.1.1 所示，图中 $\dot{U}_s$ 为信号源开路电压，R_S 为信号源内阻，$\dot{U}_i$ 和 $\dot{I}_i$ 分别为放大电路的输入电压和输入电流，$\dot{U}_o$ 和 $\dot{I}_o$ 分别为放大电路的输出电压和输出电流，R_L 为负载电阻。由于常用正弦波作为分析和测试放大电路的标准信号，所以在图 2.1.1 中电压和电流采用正弦量的相量形式表示。

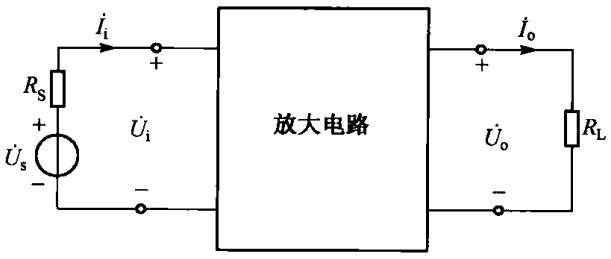


图 2.1.1　放大电路的一般表示

根据输入信号和输出信号的不同，放大电路有不同的类型。如果只考虑输出电压 $\dot{U}_o$ 与输入电压 $\dot{U}_i$ 的关系，则可表示为

$$\dot{U}_o = A_u \dot{U}_i \tag{2.1.1}$$

式中，A_u 称为放大电路的电压放大倍数，也称为电压增益，无量纲。这种只考虑电压增益的放大电路称为电压放大电路。

如果只考虑输出电流 $\dot{I}_o$ 与输入电流 $\dot{I}_i$ 的关系，则可表示为

$$\dot{I}_o = A_i \dot{I}_i \tag{2.1.2}$$

式中，A_i 称为放大电路的电流放大倍数，也称为电流增益，无量纲。这种只考虑电流增益的放大电路称为电流放大电路。

当需要把电流信号转换为电压信号时，则只需考虑输出电压 $\dot{U}_o$ 与输入电流 $\dot{I}_i$ 的关系，则可表示为

$$\dot{U}_o = A_r \dot{I}_i \tag{2.1.3}$$

式中，A_r 称为放大电路的互阻放大倍数，也称为互阻增益，具有电阻量纲Ω。与电压放大倍数和电流放大倍数不同，这是一种广义的放大倍数，这种放大电路称为互阻放大电路。

当需要把电压信号转换为电流信号时，则只需考虑输出电流 $\dot{I}_o$ 与输入电压 $\dot{U}_i$ 的关系，则可表示为

$$\dot{I}_o = A_g \dot{U}_i \tag{2.1.4}$$

式中，A_g 称为放大电路的互导放大倍数，也称为互导增益，具有电导量纲 S。这种只考虑互导增益的放大电路称为互导放大电路。

以上讨论的 A_u, A_i, A_r, A_g 都是复数，其模表示输出信号与输入信号的有效值之比，其辐角表示输出信号与输入信号之间的相位差。

虽然放大电路有电压放大、电流放大、互阻放大和互导放大四种不同的类型，但这种分类只是考虑问题的侧重点不同而已，并无本质上的区别。事实上，同一个放大电路可以分别按照四种不同的类型来考虑，而且不同类型的放大倍数之间也可以互相转换。一般来说，电压放大电路应用最为普遍，所以后面将重点讨论电压放大电路。

2.1.2 放大电路的主要性能指标

为了衡量一个放大电路性能的优劣，常采用若干技术指标来进行评价。放大电路的性能指标很多，这里只讨论几个主要的性能指标。

对于不同用途的放大电路，其技术指标也应各有侧重。对于小信号工作条件下的电压放大电路，主要侧重于电压放大倍数等指标，而对于效率，一般不予考虑。对于大信号工作条件下的功率放大电路，主要考虑的是它的效率和最大不失真输出功率。

放大电路的等效电路如图 2.1.2 所示。对于信号源而言，放大电路相当于其负载，所以从放大电路的输入端11′可将其等效为一个电阻 r_i；对于负载而言，放大电路相当于其供电电源，所以根据戴维南定理从放大电路输出端22′可将其等效为一个理想电压源与一个电阻的串联组合。

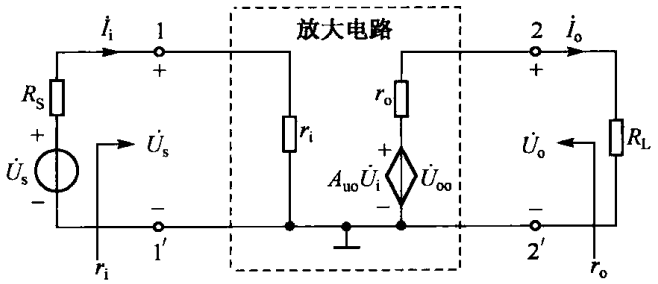


图 2.1.2 放大电路的等效电路

1. 电压放大倍数

电压放大倍数是描述放大电路电压放大能力的指标，定义为输出电压与输入电压之比，即

$$A_u = \frac{\dot{U}_o}{\dot{U}_i} \tag{2.1.5}$$

式中，$\dot{U}_o$ 和 $\dot{U}_i$ 分别表示放大电路输出电压 u_o 与输入电压 u_i 的相量。

有时电压放大倍数也用输出电压 u_o 与输入电压 u_i 的有效值之比来表示，即

$$|A_u| = \frac{U_o}{U_i} \tag{2.1.6}$$

在工程上，电压放大倍数也常用以 10 为底的对数表示，其单位为 dB(分贝)。这种表示法称为放大倍数的分贝表示法，可写为

$$|A_u| = 20\lg\frac{U_o}{U_i}\ \text{dB} \tag{2.1.7}$$

2. 输入电阻 r_i

放大电路的输入电阻 r_i 是指从放大电路输入端看进去的等效电阻，定义为放大电路输入电压和输入电流的比值，即

$$r_i = \frac{\dot{U}_i}{\dot{I}_i} \tag{2.1.8}$$

输入电阻 r_i 是衡量放大电路对信号源衰减大小的指标，它的大小将直接影响放大电路输入电压 $\dot{U}_i$ 和输入电流 $\dot{I}_i$ 的大小。由于输入电流 $\dot{I}_i$ 通过信号源内阻 R_S 时会产生电压降，所以放大电路得到的输入电压 $\dot{U}_i$ 将小于信号源的开路电压 $\dot{U}_s$。由图 2.1.2 可知，$\dot{U}_i$ 与 $\dot{U}_s$ 的关系为

$$\dot{U}_i = \frac{r_i}{r_i + R_S}\dot{U}_s \tag{2.1.9}$$

显然，r_i 越大，$\dot{U}_i$ 越接近于 $\dot{U}_s$，放大电路从信号源取用的电流 $\dot{I}_i$ 也越小。因此，放大电路的输入电阻 r_i 越大越好。

3. 输出电阻 r_o

放大电路的输出电阻 r_o 就是根据戴维南定理把放大电路从输出端等效为一个理想电压源与一个电阻串联时的等效电阻。

输出电阻 r_o 是衡量放大电路带负载能力大小的指标，它的大小将直接影响放大电路带负载以后输出电压 $\dot{U}_o$ 的大小。由于输出电流 $\dot{I}_o$ 通过输出电阻 r_o 时会产生电压降，所以负载 R_L 得到的输出电压 $\dot{U}_o$ 将小于放大电路的开路输出电压 $\dot{U}_{oo}$。由图 2.1.2 可知，$\dot{U}_o$ 与 $\dot{U}_{oo}$ 的关系为

$$\dot{U}_o = \frac{R_L}{r_o + R_L}\dot{U}_{oo} \tag{2.1.10}$$

显然，r_o 越小，$\dot{U}_o$ 越接近于 $\dot{U}_{oo}$ 且越稳定，放大电路的带负载能力也越强。因此，放大电路的输出电阻 r_o 越小越好。

由于放大电路的等效电路中一般含有受控电源，所以要用外加电源法计算放大电路的输出电阻 r_o，如图 2.1.3 所示。即令电路中独立电压源短路，独立电流源开路，在输出端断开负载并施加一电压源 $\dot{U}$，然后求出流入输出端的电流 $\dot{I}$，则

$$r_o = \left.\frac{\dot{U}}{\dot{I}}\right|_{\substack{\dot{U}_S=0\\ R_L=\infty}} \tag{2.1.11}$$

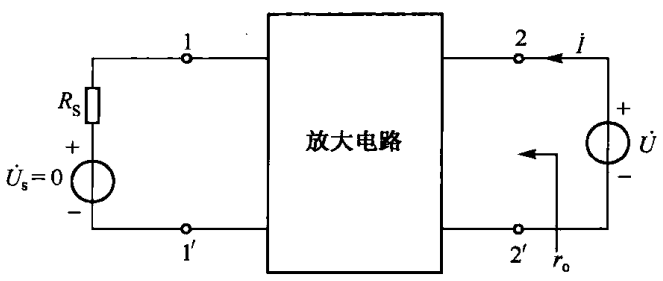


图 2.1.3　外加电源法求放大电路的输出电阻

例 2.1.1 有一放大电路，测得其开路输出电压的有效值 $U_{oo}=4\text{ V}$，当接上 6 kΩ的负载时，输出电压下降为 $U_o=3\text{ V}$，试求该放大电路的输出电阻。

解： 由式(2.1.10)可得

$$r_o=\left(\frac{U_{oo}}{U_o}-1\right)R_L=\left(\frac{4}{3}-1\right)\times 6=2\text{ k}\Omega$$

4. 最大输出功率 P_{omax} 和效率 η

放大电路的最大输出功率 P_{omax} 是指在输出电压基本不失真的条件下，放大电路能够向负载提供的最大输出功率。

放大电路在本质上是一个能量控制与转换的电路，负载上得到的能量实际上是由直流电源转换而来的，因此就存在一个能量转换的效率问题。放大电路的效率定义为负载得到的输出功率 P_o 与直流电源向放大电路提供的功率 P_E 之比，即

$$\eta=\frac{P_o}{P_E} \tag{2.1.12}$$

思考题

2.1.1 放大电路的本质是什么？在放大电路中，负载得到的能量是由信号源提供的还是由直流电源提供的？

2.1.2 放大电路的放大倍数有哪几种形式？

2.1.3 放大电路的主要参数有哪些？对其输入电阻和输出电阻都有哪些要求？

2.2 共发射极放大电路

2.2.1 共发射极放大电路的组成及工作原理

构成放大电路的两条原则是：一要保证三极管工作在放大状态，所以在放大电路中必须给三极管施加合适的直流偏置电压，使其满足发射极正偏，集电结反偏的条件；二要保证放大的对象——交流信号能畅通无阻地传送给负载，也就是输入交流信号能顺利到达三极管的发射结，放大后的交流信号能顺利地输出给负载。

1. 放大电路的组成

图2.2.1是一共发射极基本放大电路，图中 VT 是 NPN 型三极管，起电流放大作用，是整个放大电路的核心元件。由于三极管的发射极是输入回路和输出回路的公共端，所以称此电路为共发射极放大电路。

基极直流电源 E_B 和基极电阻 R_B 为三极管的发射结提供适当的偏置电压，使其处于正向偏置。此外，R_B 能保证交流信号有效地输入到三极管的发射结。由于 E_B 和 R_B 确定后，三极管的基极电流 I_B(称为偏流)的大小是固定不变的，所以该电路也常被称为固定偏置放大电路。集电极直流电源 E_C 和集电极电阻 R_C 为三极管的集电结提供反向偏置电压，同时提供输出信号所需要的能量。此外，R_C 把集电极电流的变化量转化为集电极电压 u_{CE} 的变化量输出给负载。

电容 C_1 和 C_2 称为耦合电容，通常采用大容量的电解电容。对于交流信号而言，C_1 和 C_2 的容抗足够小，可视为短路。输入交流信号几乎无损耗地加到三极管的发射结进行放大，放大后的交流信号也几乎无损耗地输出到负载上。对于直流信号而言，C_1 和 C_2 相当于开路，可以阻断放大电路与信号源以及负载之间的直流通路，使它们的直流工作状态互不影响，所以 C_1 和 C_2 具有“通交隔直”的作用。

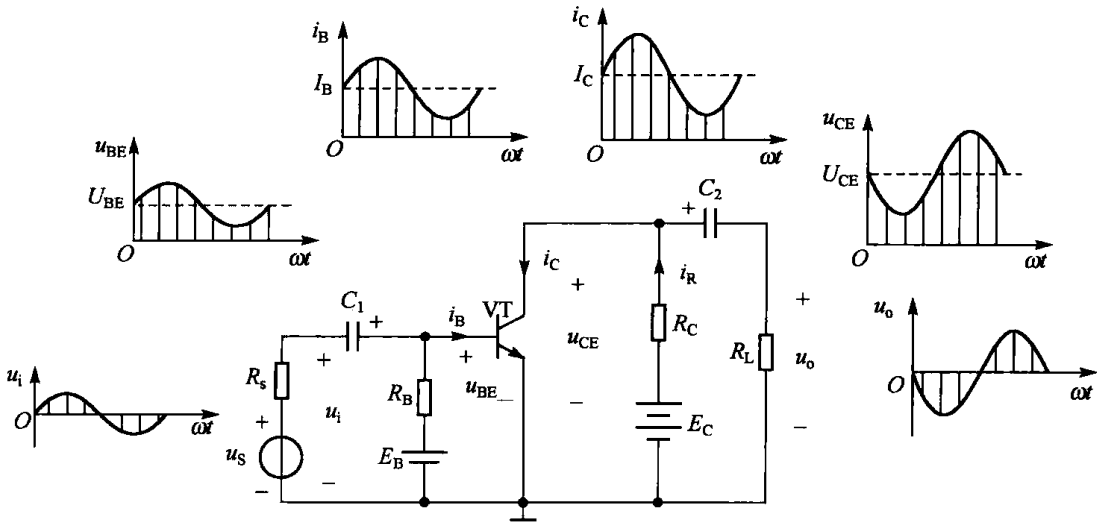


图 2.2.1　共发射极基本放大电路

2. 电压放大原理

在放大电路中，由于同时存在着直流偏置电源和交流信号源，所以电路中的电压和电流既有直流偏置电源产生的直流分量又有交流信号源产生的交流分量，将是直流分量和交流分量的叠加。为了区分这些量，对所采用的符号规定如下：大写变量、大写下标表示直流分量，如 U_{BE} 表示三极管发射结电压的直流分量；小写变量、小写下标表示交流分量的瞬时值，如 u_{be} 表示三极管发射结电压的交流瞬时值；小写变量、大写下标表示交流分量与直流分量叠加后的总量，如 u_{BE} 表示三极管发射结的总电压；大写变量、小写下标表示正弦交流分量的有效值，如 U_{be} 表示三极管发射结正弦电压 u_{be} 的有效值。图 2.2.2 中以三极管发射结电压为例示出了各种符号的含义和它们之间的相互关系，用数学表达式可写为

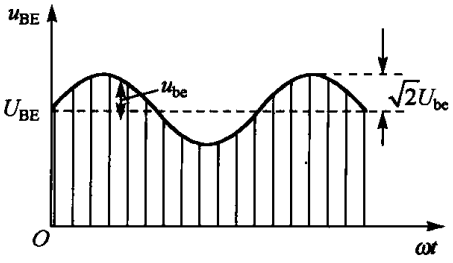


图 2.2.2　交、直流分量与总量的关系

$$u_{BE} = U_{BE} + U_{bem}\sin\omega t = U_{BE} + \sqrt{2}U_{be}\sin\omega t \tag{2.2.1}$$

当没有加入交流信号($u_i = 0$ V)时，放大电路在直流电源 E_B 和 E_C 的作用下，各支路电压、电流都是不随时间变化的直流量，这称之为放大电路的直流工作状态或静止状态，简称静态。静态时 U_{BE}, I_B, I_C 和 U_{CE} 这 4 个量的数值称为放大电路的静态值，由于静态值与三极管输入和输出特性曲线上的一个点相对应，所以也称为静态工作点。静态值应能保证三极管工作在放大状态。

当交流输入信号 u_i 加入放大电路后，放大电路中各支路电压、电流将随时间发生变化，这称之为放大电路的交流工作状态，简称动态。动态时，由于电容 C_1 对交流近似为短路，u_i 相当于直接加在三极管的发射结上，所以在交、直流电源共同作用下，三极管的发射结总电压 u_{BE} 是直流分量与交流分量叠加的结果，其数学表达式如式(2.2.1)所示，随时间变化的波形如图2.2.2所示。在 u_{BE} 的作用下，三极管的基极电流 i_B 是直流分量与交流分量的叠加，集电极电流 i_C 是 i_B 的 β 倍，实现了电流放大，i_C 也是直流分量与交流分量的叠加。由于电容 C_2 的隔直作用，R_C 中电流 i_R 的直流分量 I_R 与 i_C 的直流分量 I_C 相等，C_2 和 E_C 对于交流分量可视为短路，i_R 的交流分量 i_r 与 i_C 的交流分量 i_c 的关系为

$$i_r = \frac{R_L}{R_C + R_L} i_c \tag{2.2.2}$$

因此，三极管集电极与发射极间的电压 u_{CE} 为

$$u_{CE}=E_C-R_Ci_R=E_C-R_C\left(I_C+\frac{R_L}{R_C+R_L}i_c\right)=U_{CE}-R'_Li_c \tag{2.2.3}$$

式中，$U_{CE}=E_C-R_CI_C$，是 u_{CE} 的直流分量；$R'_L=R_CR_L/(R_C+R_L)=R_C/\!/R_L$，称为放大电路的交流等效负载电阻；$-R'_Li_c$ 是 u_{CE} 的交流分量，也就是经过电容隔直后负载上得到的输出电压，即

$$u_o=-R'_Li_c \tag{2.2.4}$$

由于 i_c 比 i_b 大β倍，所以只要选择合适的 R_C 与 R_L，就可使 u_o 的幅值比 u_i 的幅值大得多，也就是实现了电压放大。放大电路中电压和电流随时间变化的波形参见图2.2.1中的波形图。

由图2.2.1中的波形可见，为了放大交流信号，必须给放大电路施加直流偏置，也就是必须给放大电路设置合适的静态工作点。如果无直流偏置，那么在信号电压小于三极管发射结死区电压时，三极管将因发射结偏置电压过小或反偏而截止，失去放大能力，从而无法完成对交流信号的放大。对共发射极放大电路而言，输出交流电压 u_o 与输入交流电压 u_i 的相位是相反的。

在实际中，常把基极偏置电源 E_B 与集电极偏置电源 E_C 合二为一，并且由于电源的一端与公共端(参考点)相连，所以习惯上通常不画电源符号，只标出电源的另一端对参考点的电位值，这就是放大电路的习惯画法，如图2.2.3所示。

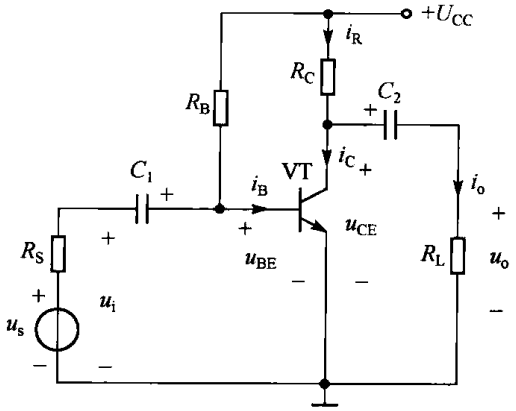


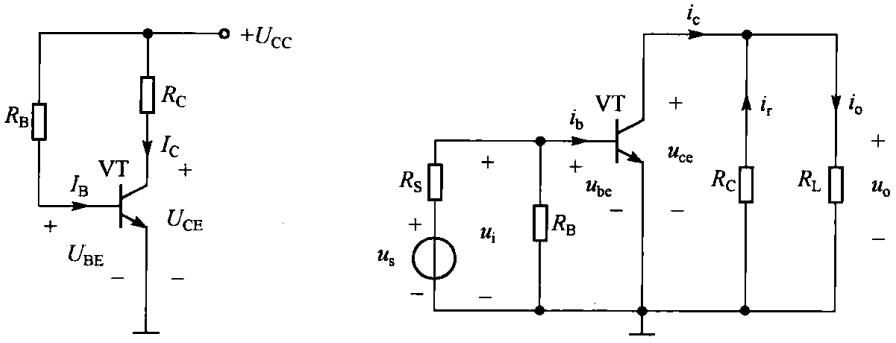
图 2.2.3 共发射极基本放大电路的习惯画法

3. 放大电路的交直流通路

放大电路中既有直流电源产生的直流分量，又有交流输入信号产生的交流分量，是一个交直流共存的电路，同时电路中也存在着电容等电抗性元件，所以直流分量和交流分量的传输路径是不一样的。在直流电源作用下，直流电流流通的路径称为直流通路；在输入交流信号作用下，交流电流流通的路径称为交流通路。

在放大电路中把电容开路、电感短路，令交流电压源短路、交流电流源开路，即可得到放大电路的直流通路，如图2.2.4(a)所示。

在放大电路中把容量较大的电容(如耦合电容 C_1 和 C_2)近似短路，直流电压源短路，直流电流源开路，即可得到放大电路的交流通路，如图2.2.4(b)所示。



(a) 直流通路　　(b) 交流通路

图 2.2.4 共射放大电路的交、直流通路

根据叠加原理，对放大电路的分析分为静态和动态两种情况。分析的过程一般是先进行静态分析，在求得静态工作点的基础上再进行动态分析。静态分析应采用直流通路，动态分析应采用交流通路，两者不可混淆。

2.2.2　放大电路的静态分析

所谓静态分析，就是由放大电路的直流通路求出其静态值，也就是 U_{BE}，I_B，U_{CE} 和 I_C 的值。求静态值有图解法和估算法两种方法。

1．静态图解法

在三极管的输入、输出特性曲线上，采用作图的方法求出静态工作点就是所谓的图解法。图解法能直接反映出三极管静态工作点的位置及其与三极管三个工作区的关系。

在直流通路的输入回路中，U_{BE} 和 I_B 的值不仅要满足三极管的输入特性，同时也要受到输入偏置回路的约束。所以 U_{BE} 和 I_B 的值是下述方程组的解：

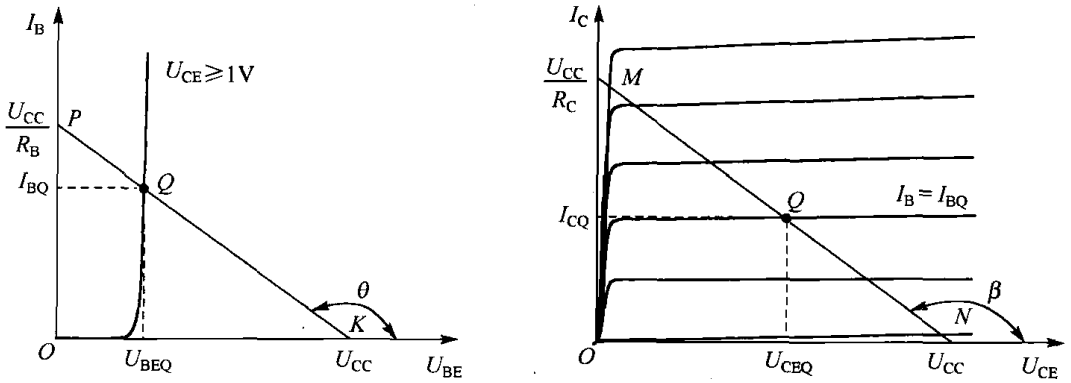
$$\begin{cases} I_B = f(U_{BE})\big|_{U_{CE}\geqslant 1\,V} \\ U_{BE} = U_{CC} - R_B I_B \end{cases} \tag{2.2.5}$$

方程 $U_{BE} = U_{CC} - R_B I_B$ 是输入偏置回路对 U_{BE} 和 I_B 的约束方程，称为输入直流负载线，在 U_{BE}-I_B 坐标系中是一直线方程。它与横轴交点 K 的坐标为 $(U_{CC},\ 0)$，与纵轴交点 P 的坐标为 $(0,\ U_{CC}/R_B)$，它的斜率为 $\tan\alpha = -1/R_B$，连接 P, K 两点所得的直线 PK 就是输入直流负载线。直流负载线 PK 与三极管输入特性曲线的交点即为输入回路的静态工作点 Q，如图2.2.5(a)所示。由 Q 点的坐标即可求得 U_{BE} 和 I_B 的值，即 $U_{BE} = U_{BEQ}$，$I_B = I_{BQ}$。

在直流通路的输出回路中，U_{CE} 和 I_C 的值不仅要满足三极管的输出特性，同时也要受到输出偏置回路的约束。所以 U_{CE} 和 I_C 的值是下述方程组的解：

$$\begin{cases} I_C = f(U_{CE})\big|_{I_B = I_{BQ}} \\ U_{CE} = U_{CC} - R_C I_C \end{cases} \tag{2.2.6}$$

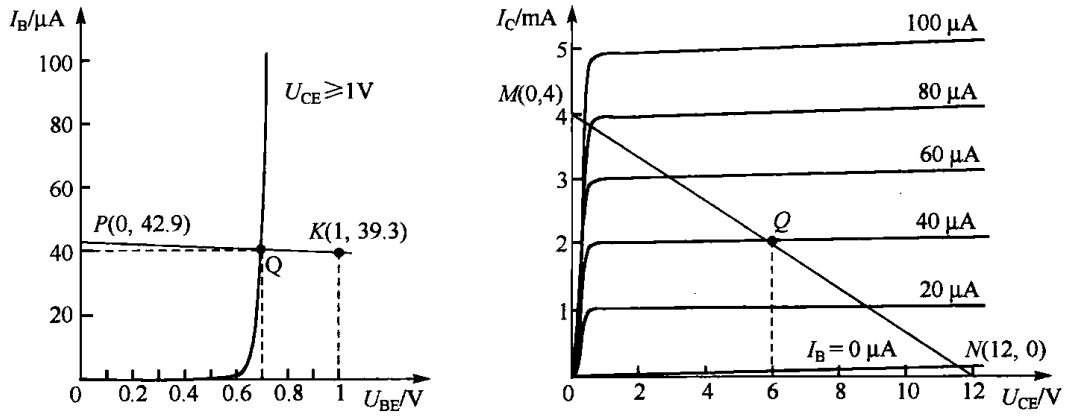
方程 $U_{CE} = U_{CC} - R_C I_C$ 是输出偏置回路对 U_{CE} 和 I_C 的约束方程，称为输出直流负载线。在 U_{CE}-I_C 坐标系中是一直线方程，它与横轴交点 N 的坐标为 $(U_{CC},\ 0)$，与纵轴交点 M 的坐标为 $(0,\ U_{CC}/R_C)$，斜率 $\tan\beta = -1/R_C$。连接 M 和 N 两点所得的直线 MN 就是输出直流负载线。输出直流负载线 MN 与 $I_B = I_{BQ}$ 的输出特性曲线的交点即为输出回路的静态工作点 Q，如图 2.2.5(b)所示。由 Q 点的坐标即可求得 U_{CE} 和 I_C 的值，即 $U_{CE} = U_{CEQ}$，$I_C = I_{CQ}$。



(a) 输入回路静态图解分析　　(b) 输出回路静态图解分析

图 2.2.5　静态工作点的图解分析

例 2.2.1　在图2.2.3所示放大电路中，已知 $R_B = 280\ k\Omega$，$R_C = 3\ k\Omega$，$U_{CC} = 12\ V$。三极管的输入、输出特性曲线如图2.2.6所示，试用图解法确定其静态工作点。



(a) 三极管输入特性曲线　　(b) 三极管输出特性曲线

图 2.2.6　例 2.2.1 的图

解：写出输入直流负载线方程：

$$U_{BE}=12-280I_B$$

当 $U_{BE}=0$ V 时，$I_B=42.9$ μA；当 $U_{BE}=1$ V 时，$I_B=39.3$ μA。在图2.2.6(a)中连接这两点，即可画出输入直流负载线 PK，直线 PK 与输入特性曲线的交点即为输入静态工作点 Q，由 Q 点的坐标可得 $I_B=40$ μA，$U_{BE}=0.7$ V。

写出输出回路的直流负载线方程：

$$U_{CE}=12-3I_C$$

当 $U_{CE}=0$ V 时，$I_C=4$ mA；当 $I_C=0$ A 时，$U_{CE}=12$ V。在图2.2.6(b)中连接这两点，即可画出输出直流负载线 MN，直线 MN 与 $I_B=40$ μA 的输出特性曲线的交点即为输出静态工作点 Q，由 Q 点的坐标可得 $I_C=2$ mA，$U_{CE}=6$ V。

2. 静态估算法

由图解法求静态工作点的前提条件是必须知道三极管的特性曲线，这在实际中往往难以办到，而且作图也比较麻烦。所以在实际中，常把三极管在放大区的特性曲线近似线性化后用解析的方法计算放大电路的静态工作点，这就是所谓的静态估算法。

当三极管工作在放大区时，其发射结的正向导通压降 U_{BE} 通常变化不大，可以近似认为三极管的 U_{BE} 为常数，把输入特性曲线近似为一条与纵轴平行的直线。对于硅管 $|U_{BE}|$ 的数值约为 0.6～0.8 V，常取 0.7 V 进行估算；对于锗管 $|U_{BE}|$ 的数值约为 0.1～0.3 V，常取 0.2 V 进行估算。在放大区，可近似认为输出电流 I_C 只受输入电流 I_B 控制，把输出特性近似为 $I_C=\beta I_B$。

由放大电路的直流通路可列出如下方程组：

$$\begin{cases}U_{CC}=R_BI_B+U_{BE}\\U_{CC}=R_CI_C+U_{CE}\\I_C=\beta I_B\end{cases}\tag{2.2.7}$$

由方程组(2.2.7)可推出静态工作点的估算公式为

$$\begin{cases}I_B=\dfrac{U_{CC}-U_{BE}}{R_B}\\U_{CE}=U_{CC}-R_CI_C\\I_C=\beta I_B\end{cases}\tag{2.2.8}$$

若$U_{BE} \ll U_{CC}$，则常将其忽略不计，这时$I_B \approx U_{CC}/R_B$。

例 2.2.2　在图2.2.3所示放大电路中，已知 $U_{BE}=0.7\ \text{V}$，$\beta=50$，$R_B=280\ \text{k}\Omega$，$R_C=3\ \text{k}\Omega$，$U_{CC}=12\ \text{V}$，试用估算法确定其静态工作点。

解：由式(2.2.8)可得

$$I_B=\frac{U_{CC}-U_{BE}}{R_B}=\frac{12-0.7}{280}\approx 0.040\ \text{mA}=40\ \mu\text{A}$$

$$I_C=\beta I_B=50\times 40=2\ \text{mA}$$

$$U_{CE}=U_{CC}-R_C I_C=12-3\times 2=6\ \text{V}$$

所得结果与例 2.2.1 基本一致。

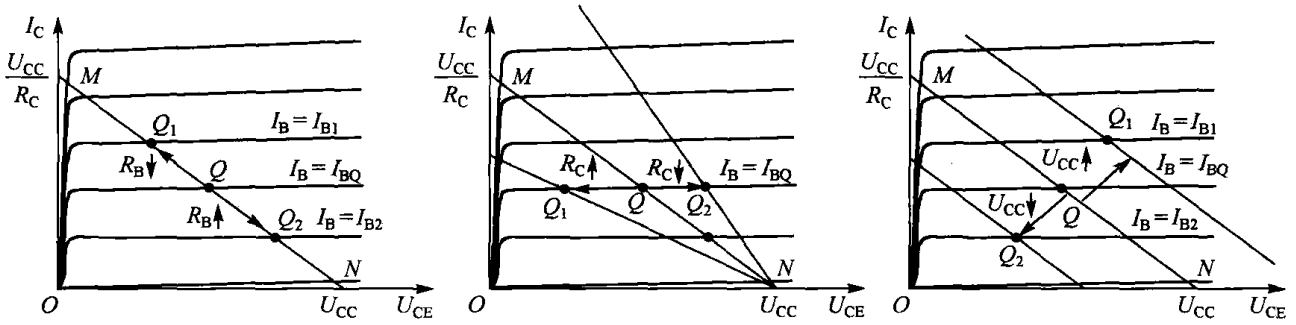
3. 电路参数对静态工作点的影响

静态工作点的位置与电路参数有着密切的关系，下面将分析电路参数 R_B, R_C 和 U_{CC} 对输出静态工作点的影响。

R_B 变化时仅对基极电流 I_B 的大小有影响，而对输出直流负载线无影响。R_B 增加，I_B 减小，Q 点沿直流负载线下移；R_B 减小，I_B 增加，Q 点沿直流负载线上移，如图2.2.7(a)所示。

R_C 变化时仅对输出直流负载线与纵轴的交点 M 产生影响，即影响直流负载线的斜率，基极电流 I_B 的大小不受 R_C 的影响。R_C 增加，M 点下移，Q 点沿 $I_B=I_{BQ}$ 的输出特性曲线向左移动；R_C 减小，M 点上移，Q 点沿 $I_B=I_{BQ}$ 的输出特性曲线向右移动，如图2.2.7(b)所示。

U_{CC} 的变化不仅影响 I_B 的大小，同时也对直流负载线产生影响，因此，U_{CC} 对 Q 点的影响比较复杂。U_{CC} 增加，I_B 增加，同时输出直流负载线 MN 的纵截距和横截距都将增大，但其斜率保持不变，直流负载线向右平移，所以静态工作点将向右上方平移；U_{CC} 减小，I_B 减小，同时输出直流负载线 MN 向左平移，所以静态工作点将向左下方平移，如图2.2.7(c)所示。



(a) R_B对 Q 点的影响　　(b) R_C 对 Q 点的影响　　(c) U_{CC} 对 Q 点的影响

图 2.2.7　电路参数对 Q 点的影响

2.2.3　放大电路的动态分析

所谓动态分析，就是在直流分析的基础上讨论当放大电路有交流输入信号后的工作情况。对放大电路的动态分析也有图解法和微变等效电路法(即动态估算法)两种方法。图解法具有概念清楚、直观明了的优点，但作图麻烦，而且由于三极管特性的分散性，实际三极管的准确特性曲线不易获得，所以一般只用图解法分析放大电路在大信号工作状态下的非线性失真、最大不失真输出电压、最大输出功率等。微变等效电路法具有分析简单的优点，常用来估算放大电路的动态技术指标，如电压放大倍数、输入电阻、输出电阻等。

1. 动态图解法

(1) 输入回路动态图解

在图2.2.3中，设放大电路的输入电压 $u_i = U_{im}\sin\omega t$。由于耦合电容 C_1 对交流可近视为短路，所以发射结电压的交流分量 u_{be} 就近似等于输入电压 u_i。根据叠加定理，三极管发射结总电压 u_{BE} 应为其直流静态分量 U_{BE} 与交流动态分量 u_{be} 之和，即

$$u_{BE} = U_{BE} + u_{be} = U_{BE} + U_{im}\sin\omega t \tag{2.2.9}$$

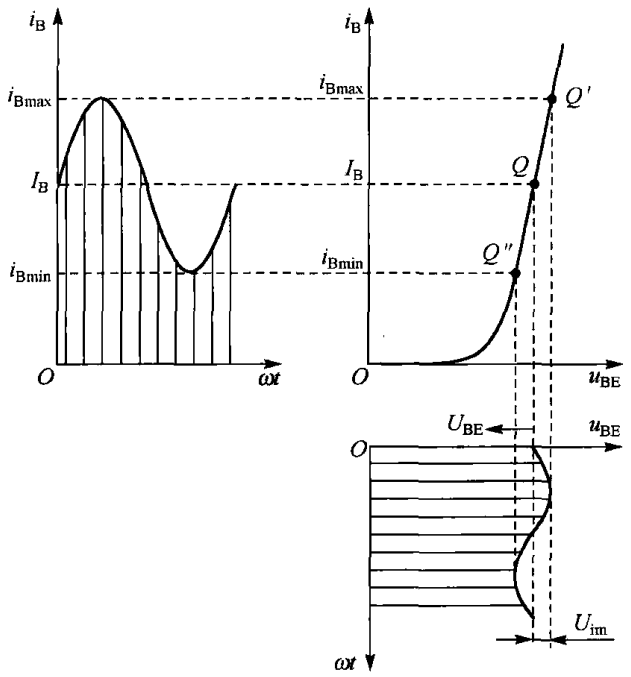


图 2.2.8 放大电路输入回路动态图解

根据 u_{BE} 随时间变化的规律，就可以由三极管的输入特性曲线用逐点作图的方法求出 i_B 随时间的变化规律。作图过程为：先由 u_{BE} 的波形找出某时刻的 u_{BE} 值，然后在输入特性曲线上再找出对应的点，该点的纵坐标即为此时刻的 i_B 值，如此反复，即可画出 i_B 随时间的变化规律，如图2.2.8所示。

由图2.2.8可见，随着输入电压 u_i 的变化，动态工作点将围绕着静态工作点 Q 在 $Q'\sim Q''$ 之间变化。由于输入电压 u_i 的幅值较小，动态工作点的变化范围 $Q'\sim Q''$ 基本上在输入特性的线性区，所以基极电流 i_B 的交流分量 i_b 也近似为正弦波。基极总电流 i_B 也是直流分量与正弦交流分量的叠加，其值在 i_{Bmin} 和 i_{Bmax} 之间变化，i_B 的数学表达式可表示为

$$i_B = I_B + (i_{Bmax} - I_B)\sin\omega t \tag{2.2.10}$$

(2) 输出回路动态图解

由于耦合电容 C_2 具有通交流、隔直流的作用，所以输出回路对动态 u_{CE} 和 i_C 的约束方程与对静态 U_{CE} 和 I_C 的约束方程是不同的。图 2.2.3 的输出回路实际上与图 2.2.1 的输出回路是相同的，所以由图 2.2.1 推出的 u_{CE} 表达式也适合于图2.2.3。由式(2.2.3)可知，在动态情况下 $u_{CE} = U_{CE} - R'_L i_c$，而 $i_C = I_C + i_c$，因此

$$u_{CE} = U_{CE} - R'_L(i_C - I_C) \tag{2.2.11}$$

式(2.2.11)是动态情况下输出回路对 u_{CE} 和 i_C 的约束方程，称为输出交流负载线，在 u_{CE}-i_C 坐标系中是一直线方程。由于输出回路的静态工作点 Q 的坐标(U_{CE}, I_C)满足式(2.2.11)，所以交流负载线通过 Q；交流负载线的斜率 $\tan\alpha = -1/R'_L$，比直流负载线的斜率 $\tan\beta = -1/R_C$ 要小，因而 $\alpha < \beta$，交流负载线比直流负载线陡；交流负载线与横轴的交点 N' 的坐标为 $(U_{CE} + R'_L I_C, 0)$。知道了交流负载线的这些特点，就可以通过 Q 点作一条斜率为 $-1/R'_L$ 的直线，或者通过 Q 和 N' 两点作一直线，即为交流负载线，如图 2.2.9 中的直线 $M'N'$。

当负载电阻 R_L 开路时，$R'_L = R_C$，这时交流负载线将与直流负载线重合。当负载电阻 $R_L = 0$ 时，$R'_L = 0$，交流负载线将变为通过 Q 点的一条垂线。

与静态时的情况相同，动态时，u_{CE} 和 i_C 的值不仅要满足三极管的输出特性曲线，同时也要受输出回路的约束，所以 u_{CE} 和 i_C 是下述方程组的解：

$$\begin{cases} i_C = f(u_{CE})\big|_{i_B = I_B + (i_{Bmax} - I_B)\sin\omega t} \\ u_{CE} = U_{CE} - R'_L(i_C - I_C) \end{cases} \tag{2.2.12}$$

可以用图解法求解方程组（2.2.12），作图时应注意三极管的特性曲线是以 i_B 为参变量的，对应不同的 i_B 值要采用不同的特性曲线。当 i_B 在 i_{Bmin} 与 i_{Bmax} 之间变化时，输出特性与交流负载线的交点（即动态工作点）将围绕着静态工作点 Q 在 Q' 与 Q'' 之间变化，如图 2.2.9 所示。在输入信号电压 u_i 的一个周期内，动态工作点的轨迹为 $Q \rightarrow Q' \rightarrow Q \rightarrow Q'' \rightarrow Q$。不同时刻动态工作点 Q 的纵、横坐标值就是该时刻的 i_C 和 u_{CE} 值，经耦合电容 C_2 隔直后，u_{CE} 中的交流分量输出给负载。

根据共发射极放大电路的动态图解工作过程，可以得出如下结论：

① 放大电路中的总电流 i_B，i_C 和总电压 u_{CE}，u_{BE} 在任何时刻都只有大小的变化，方向不会改变，是单方向的脉动量，该脉动量包含静态（即直流）和动态（即交流）两个分量。静态分量的大小和方向不变，动态值分量的大小和方向时刻在变化。

② u_{CE} 中的动态分量就是输出电压 u_o，u_o 与 u_i 的频率相同，但相位相反，且 u_o 的幅值比 u_i 大得多，实现了电压放大。

③ 放大电路接上负载后的交流负载线比负载开路时的交流负载线陡，输出电压 u_o 的幅值将随负载电阻值的减小而减小。

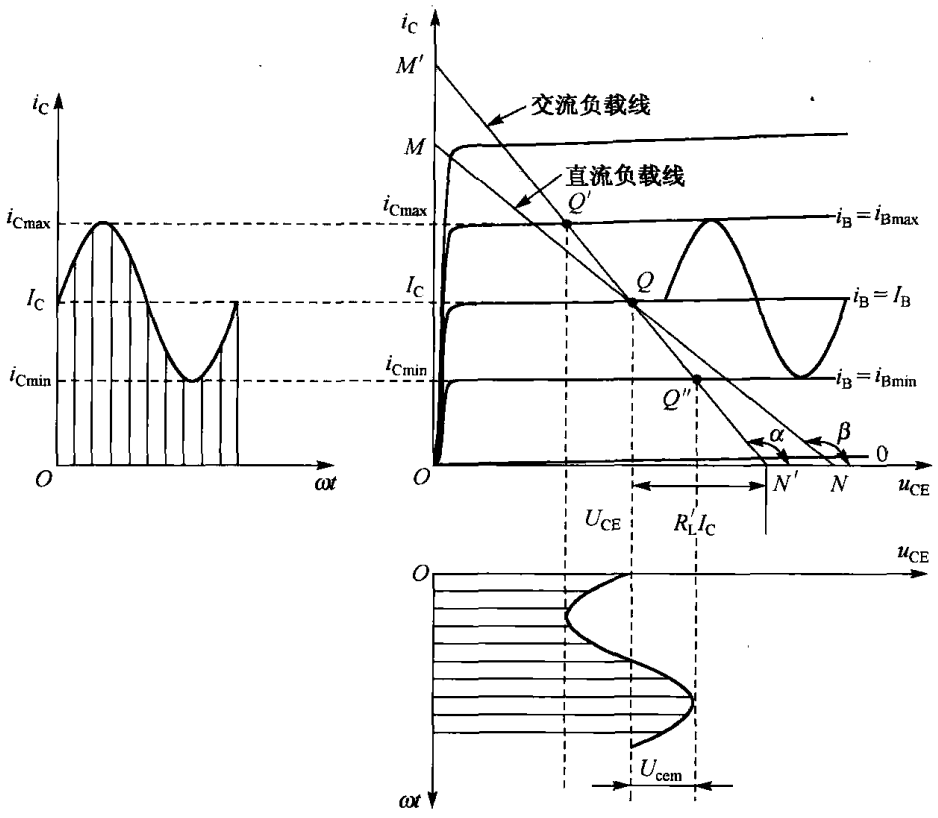


图 2.2.9　放大电路输出回路动态图解

(3) 非线性失真

对放大电路的一个基本要求就是输出信号不能失真。所谓失真，是指输出信号与输入信号在波形上没有相似性。由放大电路的图解分析可知，静态工作点的位置对于放大电路能否不失真地放大交流信号是十分重要的。如果静态工作点选择得不合适或者输入信号过大，使放大电路的动态工作范围超出了三极管特性的线性范围，就会使输出信号产生失真。

静态工作点 Q 设置过低，如图2.2.10所示，在输入信号负半周峰值附近的部分时间内动态工作点将进入截止区，从而引起 i_b 和 i_c 的负半周、u_o 的正半周相应的一部分被限幅而发生失真。这种因三极管在一段时间内进入截止区而引起的失真称为截止失真。

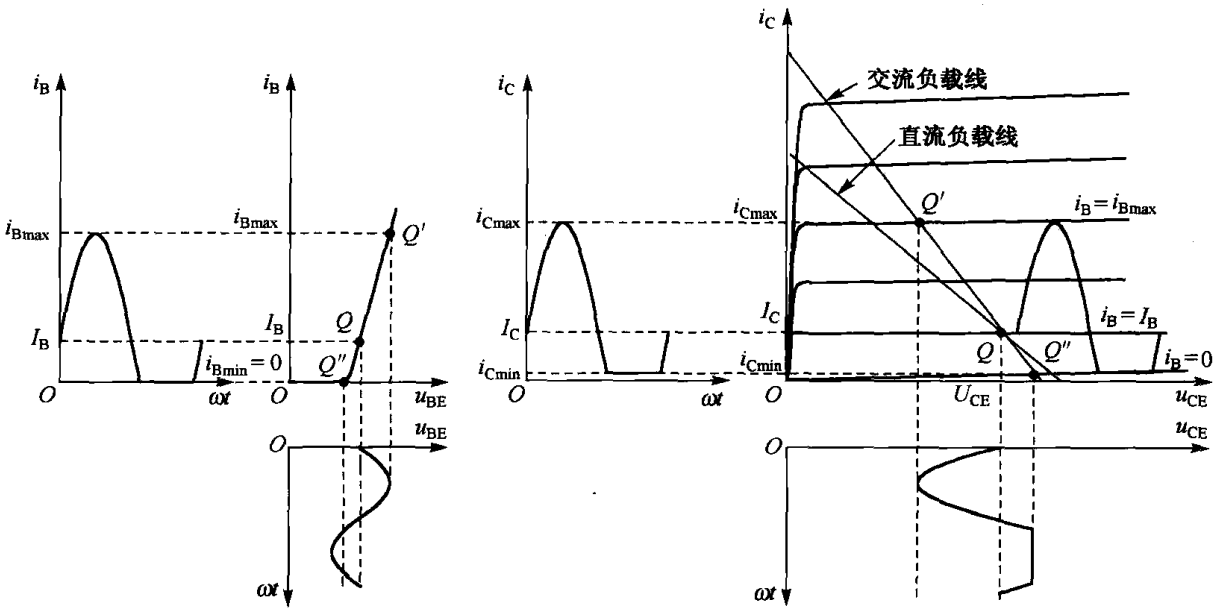


图 2.2.10 静态工作点偏低引起的截止失真

如果 Q 点设置过高，如图2.2.11所示，在输入信号的正半周峰值附近的部分时间内输出特性的动态工作点将进入饱和区，尽管此时 i_b 波形不失真，但由于三极管进入饱和区，i_B 增大时，i_C 不随之增大，结果 i_c 的正半周、u_o 的负半周相应的一部分被限幅而发生失真。这种因三极管在一段时间内进入饱和区而引起的失真称为饱和失真。

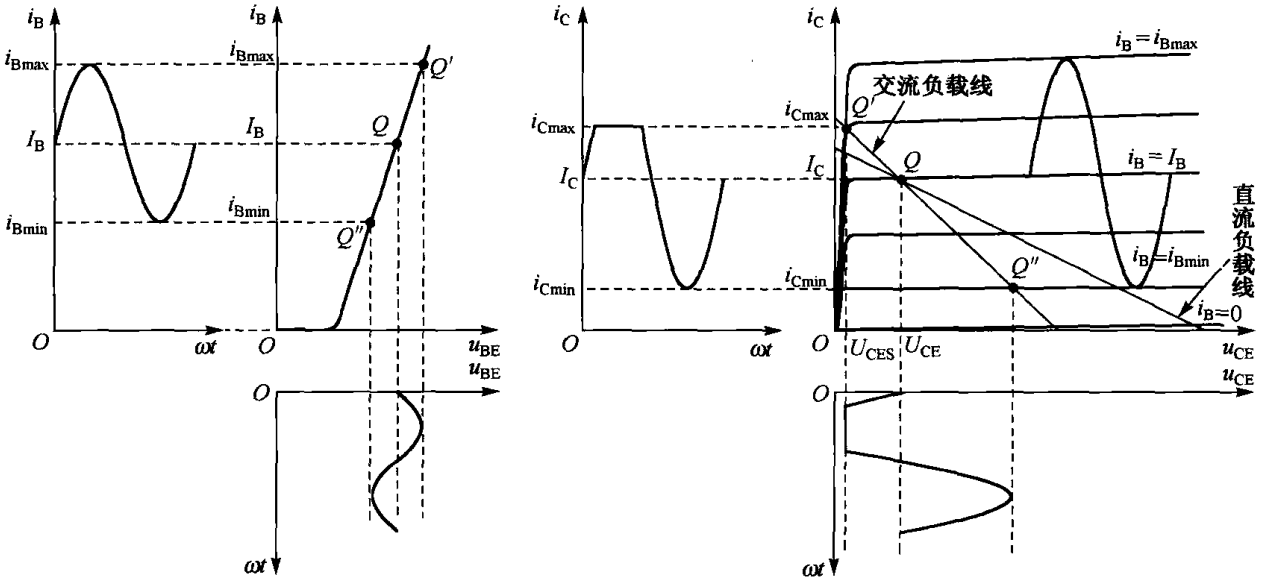


图 2.2.11 静态工作点偏高引起的饱和失真

以上关于波形失真的结论只适合于 NPN 型三极管共发射极放大电路。如果 u_i 和 u_o 的参考方向一致，则 PNP 型三极管共发射极放大电路波形失真的类型刚好与 NPN 型三极管共发射极放大电路的相反。

截止失真和饱和失真都是由于三极管工作在非线区而引起的，统称为非线性失真。

(4) 最大不失真输出电压

在输出电压没有明显失真的情况下，放大电路能够输出的最大电压(有效值)称为最大不失真输出电压。由图 2.2.12 可见，当动态工作点沿交流负载线上移超过 A 点时将进入饱和区，所以受饱和失真的限制，最大输出电压的幅值为 $U_{CE}-U_{CES}$；当动态工作点沿交流负载线下移超过 B 点时将进入截止区，所以受截止失真的限制，最大输出电压的幅值为 $R'_L I_C$。在输出电压为正弦波的条件下，最大不失真输出电压幅值应为 $U_{CE}-U_{CES}$ 与 $R'_L I_C$ 中数值较小者，所以最大不失真输出电压(有效值)为

$$U_{omax}=\frac{\min\{U_{CE}-U_{CES},\ R'_L I_C\}}{\sqrt{2}} \tag{2.2.13}$$

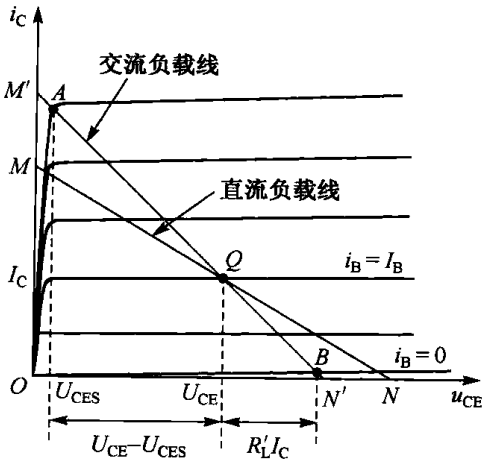


图 2.2.12　最大不失真输出电压

由以上分析可见，为了避免非线性失真，必须合理地设置放大电路的静态工作点，并适当地限制输入信号的幅度。一般来说，为了获得尽可能大的不失真输出电压，应把静态工作点设置在交流负载线的中点。如果输入信号较小，为了减小三极管的功耗，在不产生截止失真的前提下，可把静态工作点设置得低一些。

例 2.2.3　在图 2.2.3 所示放大电路中，已知 $U_{BE}=0.7\ \text{V}$，$\beta=50$，$U_{CES}=0.3\ \text{V}$，$R_B=280\ \text{k}\Omega$，$R_C=3\ \text{k}\Omega$，$R_L=3\ \text{k}\Omega$。三极管的输出特性曲线如图2.2.6(b)所示。

① 画出交流负载线，并求出其最大不失真输出电压。

② 为了使该电路能输出尽可能大的最大不失真输出电压，应把 R_B 调节到多大？并求出此时的最大不失真输出电压值。

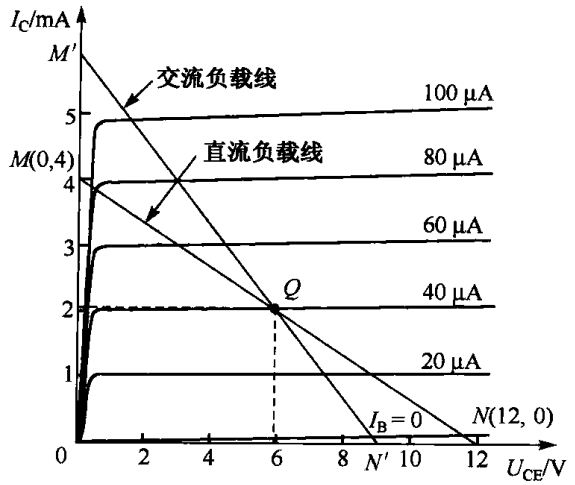


图 2.2.13　例 2.2.3 的结果图

解：① 由例 2.2.1 可知静态工作点为

$$U_{CE}=6\ \text{V},\qquad I_C=2\ \text{mA}$$

交流等效电阻为

$$R'_L=R_C/\!/R_L=3/\!/3=1.5\ \text{k}\Omega$$

交流负载线与横轴交点 N' 的横坐标为

$$u_{CE}=U_{CE}+R'_L I_C=6+1.5\times2=9\ \text{V}$$

连接静态工作点 Q 和 N' 两点，即可画出交流负载线 $M'N'$，如图2.2.13所示。

由式(2.2.13)可求出最大不失真电压为

$$U_{omax}=\frac{\min\{U_{CE}-U_{CES},\ R'_L I_C\}}{\sqrt{2}}=\frac{\min\{6-0.3,\ 1.5\times2\}}{\sqrt{2}}=2.12\ \text{V}$$

② 为了获得尽可能大的最大不失真输出电压，应使放大电路受到截止失真限制的最大不失真输出电压幅值 $R'_L I_C$ 与受到饱和失真限制的最大不失真输出电压幅值 $U_{CE}-U_{CES}$ 两者相等，即

$$R'_L I_C=U_{CE}-U_{CES}=U_{CC}-R_C I_C-U_{CES}$$

所以，静态工作点应调整为

$$I_C = \frac{U_{CC} - U_{CES}}{R_C + R'_L} = \frac{12-0.3}{3+1.5} = 2.6\ \text{mA}$$

$$U_{CE} = U_{CC} - R_C I_C = 12 - 3\times 2.6 = 4.2\ \text{V}$$

$$I_B = \frac{I_C}{\beta} = \frac{2.6}{50} = 0.052\ \text{mA} = 52\ \mu\text{A}$$

$$R_B = \frac{U_{CC} - U_{BE}}{I_B} = \frac{12-0.7}{0.052} = 217.3\ \text{k}\Omega$$

此时最大不失真电压为

$$U_{omax} = \frac{\min\{U_{CE} - U_{CES},\ R'_L I_C\}}{\sqrt{2}} = \frac{\min\{4.2-0.3,\ 1.5\times 2.6\}}{\sqrt{2}} = 2.76\ \text{V}$$

2. 微变等效电路法

(1) 三极管的微变等效模型

三极管是一种非线性元件，但在小信号条件下，动态工作点只在静态工作点附近的微小范围内变动，处于输入、输出特性的线性区，可以用一个线性电路来等效模拟三极管交流分量之间的关系，这样的等效电路称为三极管的微变等效模型。

三极管的输入特性如图2.2.14(a)所示，在放大状态下，三极管的输入特性几乎与集射极间电压 u_{CE} 无关，i_B 只是 u_{BE} 的函数。用过静态工作点 Q 的切线来代替输入特性曲线，这样就可以用一等效电阻 r_{be} 来表示三极管输入电压和输入电流交流分量之间的关系，即

$$r_{be} = \frac{\mathrm{d}u_{BE}}{\mathrm{d}i_B} \approx \frac{\Delta u_{BE}}{\Delta i_B} = \frac{u_{be}}{i_b} \tag{2.2.14}$$

在小信号状态下，总量的变化量就是其中的交流分量，即 $\Delta u_{BE} = u_{be}$，$\Delta i_B = i_b$。

r_{be} 称为三极管的交流输入电阻，它是一个动态等效电阻，其几何意义表示输入特性曲线在 Q 点处的切线斜率的倒数。显然，r_{be} 的大小与静态工作点 Q 的位置有关。可以证明，在常温下，低频小功率三极管的输入电阻 r_{be} 可用下式估算：

$$r_{be} = 200(\Omega) + (1+\beta)\frac{26(\text{mV})}{I_E(\text{mA})} \tag{2.2.15}$$

三极管的输出特性曲线如图2.2.14(b)所示，可以看出 i_C 是 i_B 和 u_{CE} 的二元函数。当 u_{CE} 固定不变时，由 i_B 的变化量 Δi_B 引起的 i_C 变化量为 $\Delta i'_C$。在静态工作点 Q 附近，输出特性曲线基本上平行且间距相等，所以 $\Delta i'_C$ 与 Δi_B 近似为比例关系，即

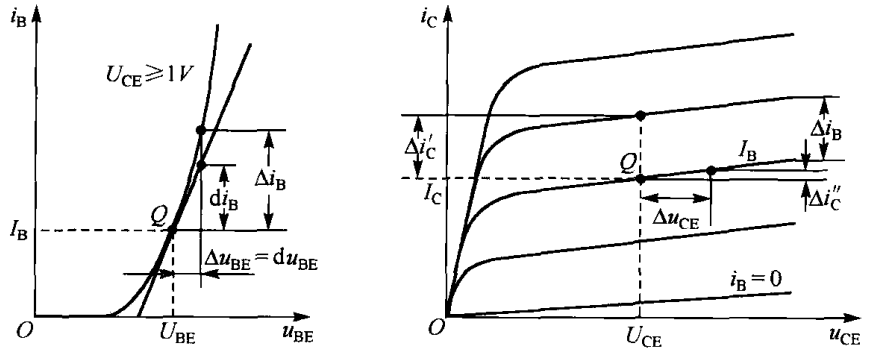
$$\beta = \left.\frac{\partial i_C}{\partial i_B}\right|_{u_{CE}=U_{CE}} \approx \frac{\Delta i'_C}{\Delta i_B} \tag{2.2.16}$$

β 是三极管的电流放大系数，在小信号状态下，β 可视为常数。

当 i_B 固定不变时，由 u_{CE} 的变化量引起的 i_C 变化量为 $\Delta i''_C$，在 Q 点附近输出特性曲线近似为直线，所以 $\Delta i''_C$ 与 Δu_{CE} 之间成比例关系，可用一等效电阻 r_{ce} 来表示 Δu_{CE} 与 $\Delta i''_C$ 之间的关系，即

$$r_{ce}=\left.\frac{\partial u_{CE}}{\partial i_C}\right|_{i_C=I_C}\approx\frac{\Delta u_{CE}}{\Delta i_C''} \tag{2.2.17}$$

r_{ce}称为三极管的输出电阻，在小信号状态下，r_{ce}也可视为常数。



(a) r_{be} 的物理意义　　(b) β 和 r_{ce} 的物理意义

图 2.2.14　三极管微变等效参数的物理意义

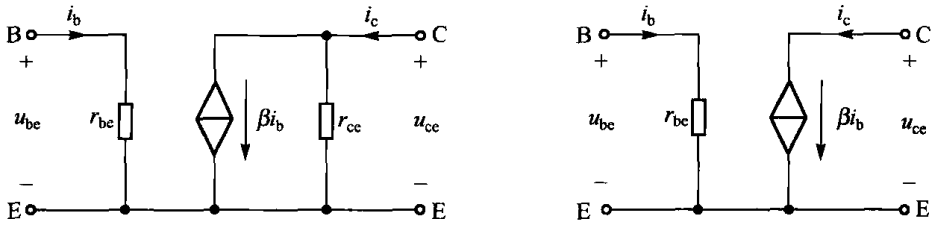
实际放大电路中，i_B和u_{CE}均处于变化状态，这时i_C的总变化量为

$$\Delta i_C=\Delta i_C'+\Delta i_C''=\beta\Delta i_B+\frac{\Delta u_{CE}}{r_{ce}} \tag{2.2.18}$$

若用交流分量代替总量的变化量，则可得

$$i_c=\beta i_b+\frac{u_{ce}}{r_{ce}} \tag{2.2.19}$$

根据式(2.2.14)和式(2.2.19)即可画出三极管的微变等效模型，如图2.2.15(a)所示。由于三极管的输出特性曲线在放大区近似与横轴平行，所以r_{ce}的阻值很大，约为几十 kΩ到几百 kΩ，实用中常将r_{ce}忽略不计而采用图2.2.15(b)所示的简化模型。



(a) 等效模型　　(b) 简化等效模型

图 2.2.15　三极管低频微变等效电路模型

需要指出的是：

① 等效模型是对低频交流小信号而言的，不适用于高频或大信号状态下的三极管，也不能用来求解放大电路的静态工作点，但微变等效模型的参数大小却与静态工作点有关。

② 等效模型中的电流源 βi_b 是受控电流源，其大小和方向都取决于基极电流的交流分量 i_b，i_b 的参考方向可以任意假定，但 βi_b 的参考方向与 i_b 的参考方向有关，不可随意假定。如果假设 i_b 的参考方向为流入基极，则 βi_b 的参考方向应从集电极流向发射极；反之，若 i_b 的参考方向为流出基极，则 βi_b 的参考方向必定从发射极流向集电极。

③ 微变等效模型既适用于 NPN 型三极管，也适用于 PNP 型三极管。

(2) 放大电路的微变等效电路分析法

把放大电路交流通路中的三极管用其微变等效模型替代就可得到放大电路的微变等效电路，然后利用线性电路的理论去分析计算放大电路的交流性能指标，这种分析放大电路的方法就称为微变等效电路法。图 2.2.3 所示共射基本放大电路的微变等效电路如图 2.2.16 所示，图中电压、电流采用其相量形式表示，由该等效电路可以方便地计算出放大电路的交流性能指标。

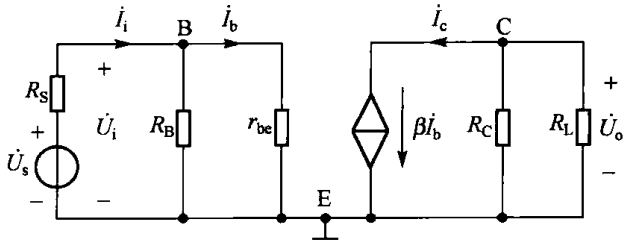


图 2.2.16 共发射极基本放大电路的微变等效电路

① 计算电压放大倍数

由微变等效电路可知输入电压 $\dot{U}_i = r_{be}\dot{I}_b$，输出电压 $\dot{U}_o = -(R_C // R_L)\dot{I}_c = -\beta R'_L \dot{I}_b$，因此电压放大倍数为

$$A_u = \frac{\dot{U}_o}{\dot{U}_i} = \frac{-\beta R'_L \dot{I}_b}{r_{be}\dot{I}_b} = -\frac{\beta R'_L}{r_{be}} \tag{2.2.20}$$

式中，$R'_L = R_C // R_L$，为放大电路的交流等效负载电阻；负号表示输出电压与输入电压反相。

当放大电路输出端开路，即 $R_L = \infty$ 时，

$$A_{uo} = -\frac{\beta R_C}{r_{be}} \tag{2.2.21}$$

式中，A_{uo} 称为放大电路的空载电压放大倍数。显然 $|A_u| < |A_{uo}|$，可见接上负载后，电压放大倍数将下降。电压放大倍数不仅与负载电阻 R_L 有关，还与三极管的 β 和 r_{be} 有关，而 r_{be} 的大小受静态工作点的影响，所以电压放大倍数也受静态工作点变化的影响。

② 输入电阻

由微变等效电路可以看出该电路的输入电阻为

$$r_i = R_B // r_{be} \approx r_{be} \tag{2.2.22}$$

一般 R_B 的阻值有数百 kΩ，而 r_{be} 的阻值只有数 kΩ，所以这种放大电路的输入电阻近似等于三极管的输入电阻，其值偏小。

③ 输出电阻

对于图2.2.16所示的微变等效电路，令 $\dot{U}_s = 0$，则引起 $\dot{I}_b = 0$，$\dot{I}_c = 0$。断开负载 R_L 后，从输出端看进去的等效电阻，即输出电阻 r_o 为

$$r_o = R_C \tag{2.2.23}$$

R_C 的数值一般在数 kΩ到数十 kΩ，所以这种放大电路的输出电阻偏大。

例 2.2.4 在图 2.2.3 所示放大电路中，已知 $U_{BE} = 0.7\ \text{V}$，$\beta = 50$，$R_S = 1\ \text{k}\Omega$，$R_B = 280\ \text{k}\Omega$，$R_C = 3\ \text{k}\Omega$，$R_L = 3\ \text{k}\Omega$。试用微变等效电路法计算放大电路的电压放大倍数、源电压放大倍数、输入电阻和输出电阻。

解：放大电路的微变等效电路如图2.2.16所示，其静态工作点已在例 2.2.1 中求出，$I_C = 2\ \text{mA}$。由式(2.2.15)可得

$$r_{be} = 200 + (1+\beta)\frac{26}{I_E} \approx 200 + (1+50)\times\frac{26}{2} = 863\ \Omega$$

由式(2.2.10)可求得电压放大倍数为

$$A_u = -\frac{\beta R_L'}{r_{be}} = -\frac{50\times(3//3)}{0.863} \approx -87$$

由式(2.2.22)可求得输入电阻为

$$r_i = R_B // r_{be} \approx r_{be} = 0.863\,\text{k}\Omega$$

求出输入电阻和电压放大倍数后，就可以根据式(2.1.9)推出源电压放大倍数的计算公式为

$$A_{us} = \frac{\dot{U}_o}{\dot{U}_s} = \frac{\dot{U}_o}{\dot{U}_i}\frac{\dot{U}_i}{\dot{U}_s} = A_u \frac{r_i}{r_i + R_S} = -87\times\frac{0.863}{1+0.863} \approx -40$$

由式(2.2.23)可求得输出电阻为

$$r_o = R_C = 3\,\text{k}\Omega$$

2.2.4　静态工作点的稳定

对于放大电路，只有设置合适的静态工作点才能使其正常工作。如果放大电路的静态工作点因为环境温度的变化、电源电压的波动以及更换三极管等因素而发生变化，那么就有可能引起放大电路不能正常工作，因此对放大电路不仅要设置合适的静态工作点，而且要保持其稳定。

引起静态工作点不稳定的主要原因是三极管的参数 β，U_{BE} 和 I_{CEO} 随着环境温度的变化而改变。温度升高，三极管的 U_{BE} 将减小，β 和 I_{CEO} 会增大。这样，对于图 2.3.3 所示的固定偏置放大电路而言，由于

$$I_B = \frac{U_{CC} - U_{BE}}{R_B}, \qquad I_C = \beta I_B + I_{CEO}$$

当温度升高时，β，U_{BE} 和 I_{CEO} 都将使 I_C 增大。在 R_C 和 U_{CC} 一定的条件下，U_{CE} 将减小，静态工作点向饱和区移动，有可能引起饱和失真；反之，若温度减小，则有可能引起截止失真。所以固定偏置放大电路的静态工作点是不稳定的，只适合于环境温度变化不大的场合。

由三极管集电极电流表达式可以看出，当温度增加时，如果能使三极管的基极电流 I_B 适当地减小，则有可能使三极管的集电极电流 I_C 保持不变，或者至少可以减小 I_C 的变化量，从而达到稳定静态工作点的目的，这就是分压式射极偏置放大电路的工作原理。

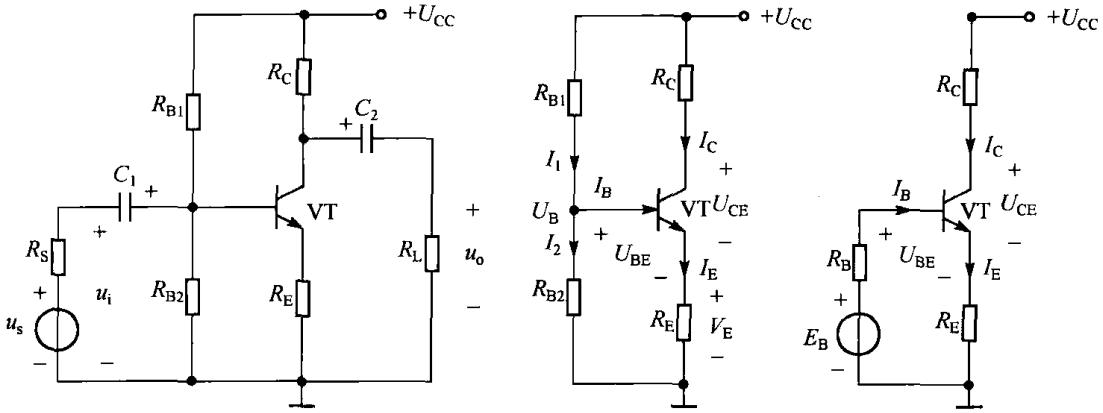
1．电路结构

分压式射极偏置放大电路如图2.2.17(a)所示，在基本放大电路的基础上进行了两点改进：一是采用由 R_{B1} 和 R_{B2} 构成的分压式基极偏置电路替代固定偏置电路；二是增加发射极电阻 R_E。

分压式射极偏置电路的直流通路如图 2.2.17(b) 所示。如果选择合适的 R_{B1} 和 R_{B2} 的值使得 $(I_1 \approx I_2) \gg I_B$，那么就可近似认为 R_{B1} 与 R_{B2} 串联，三极管的基极电位为

$$U_B \approx \frac{R_{B2}}{R_{B1} + R_{B2}} U_{CC} \tag{2.2.24}$$

式(2.2.24)说明三极管基极电位是一个定值，与三极管的参数无关，不受环境温度的影响。



(a) 放大电路 (b) 直流通路 (c) 直流通路的戴维南等效电路

图 2.2.17 分压式射极偏置放大电路

如果$U_B \gg U_{BE}$，则集电极电流为

$$I_C \approx I_E = \frac{U_B - U_{BE}}{R_E} \approx \frac{U_B}{R_E} \tag{2.2.25}$$

所以，可以认为I_C不受温度影响，达到了稳定静态工作点的目的。

分压式射极偏置电路稳定静态工作点的物理过程如下：当温度升高时，I_C和I_E增加，发射极对地电位$U_E = R_E I_E$也增加。由于$U_{BE} = U_B - U_E$，所以三极管发射结电压U_{BE}减小，由三极管的输入特性曲线可知，U_{BE}减小，相应的I_B也减小，从而引起I_C减小。结果是温度升高引起的I_C增加量几乎被由于I_B减小而引起的I_C减小量相抵消，最终使I_C基本保持不变，这就是分压式射极偏置放大电路稳定静态工作点的原理。这一物理过程可表示为

$$\text{温度升高} \rightarrow I_C \uparrow \rightarrow I_E \uparrow \rightarrow U_E \uparrow \rightarrow U_{BE} \downarrow (= U_B - U_E) \rightarrow I_B \downarrow \rightarrow I_C \downarrow$$

在上述稳定静态工作点的过程中，通过R_E把输出电流I_C转换成电压U_E后再反馈回输入回路与给定电压U_B相比较，利用比较所得的差值电压U_{BE}再去控制输出电流I_C，所以输出电流I_C不仅与输入给定量U_B有关，而且还与本身大小有关，这样I_C就可以根据自身的大小进行自动调整，电路中的这种自动调节过程就称为反馈。由于该反馈能使输出电流I_C趋于稳定，所以称为负反馈。以上分析的是电路中的直流分量的反馈过程，事实上交流电流i_c通过R_E也要产生交流电压u_e，从而使u_{be}减小，这将导致交流电压放大倍数下降。所以R_E引起的反馈既是直流反馈，也是交流反馈。关于反馈将在第 3 章进行详细地讨论。

2. 静态分析

对分压式射极偏置放大电路的静态工作点一般采用估算法确定，即认为$(I_1 \approx I_2) \gg I_B$，由其直流通路图2.2.17(b)可得

$$\begin{cases} U_B \approx \dfrac{R_{B2}}{R_{B1} + R_{B2}} U_{CC} \\ I_C \approx I_E = \dfrac{U_B - U_{BE}}{R_E} \\ U_{CE} \approx U_{CC} - (R_C + R_E) I_E \\ I_B = \dfrac{I_C}{\beta} \end{cases} \tag{2.2.26}$$

为了提高精度，也可以用戴维南定理估算静态工作点，这时需先把分压式射极偏置放大电路的直流通路图2.2.17(b)根据戴维南定理等效为图2.2.17(c)，图中 $E_B=\dfrac{R_{B2}}{R_{B1}+R_{B2}}U_{CC}$，$R_B=R_{B1}//R_{B2}$。根据图2.2.17(c)可求得

$$\begin{cases} I_B=\dfrac{E_B-U_{BE}}{R_B+(1+\beta)R_E} \\ I_C=\beta I_B \\ U_{CE}\approx U_{CC}-(R_C+R_E)I_C \end{cases} \tag{2.2.27}$$

3. 动态分析

分压式偏置放大电路的交流微变等效电路如图2.2.18所示。

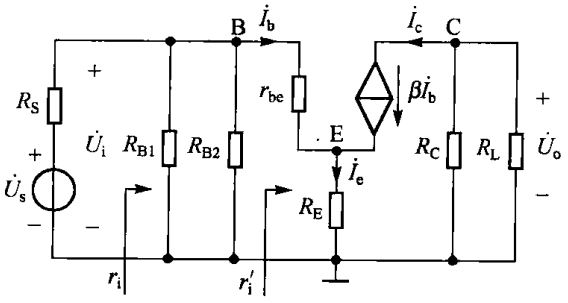


图 2.2.18　分压式射极偏置放大电路的交流微变等效电路

(1) 电压放大倍数

由图2.2.18可知

$$\dot{U}_i=r_{be}\dot{I}_b+(1+\beta)R_E\dot{I}_b \tag{2.2.28}$$

$$\dot{U}_o=-\beta\dot{I}_b(R_C//R_L) \tag{2.2.29}$$

所以

$$A_u=\frac{\dot{U}_o}{\dot{U}_i}=-\frac{\beta(R_C//R_L)}{r_{be}+(1+\beta)R_E} \tag{2.2.30}$$

(2) 输入电阻

由图2.2.18可知

$$r_i'=\frac{\dot{U}_i}{\dot{I}_b}=r_{be}+(1+\beta)R_E \tag{2.2.31}$$

式中，$(1+\beta)R_E$ 可理解为发射极电阻 R_E 折算到基极回路的等效电阻。由于 $\dot{I}_e=(1+\beta)\dot{I}_b$，如果把发射极电阻等效地看成是接在基极回路，为了维持发射极电位不变，则基极等效电阻应为原发射极电阻的 $1+\beta$ 倍。考虑偏置电阻后，放大电路的输入电阻为

$$r_i=R_{B1}//R_{B2}//r_i'=R_{B1}//R_{B2}//[r_{be}+(1+\beta)R_E] \tag{2.2.32}$$

(3) 输出电阻

在图2.2.18中令 $\dot{U}_s=0$，断开 R_L，并在输出端外加电压 $\dot{U}$ 就得到用外加电源法求输出电阻 r_o 的等效电路，如图2.2.19所示。

$$[(R_S//R_{B1}//R_{B2})+r_{be}+(1+\beta)R_E]\dot{I}_b'=0$$

所以 $\dot{I}_b'=0$，$\beta\dot{I}_b'=0$，输出电阻为

$$r_o=\frac{\dot{U}}{\dot{I}}=R_C \tag{2.2.33}$$

4. 电路改进

为了稳定静态工作点，在分压式射极偏置电路中接入了射极电阻 R_E。由式(2.2.30)和式(2.2.32)可以看出，R_E 的接入虽然可以提高放大电路的输入电阻，但同时也会使电压放大倍数明显下降。为了在稳定静态工作点的同时又不降低电压放大倍数，常在射极电阻 R_E 两端并联一个大容量的旁路电容 C_E，如图2.2.20(a)所示。旁路电容 C_E 接入后，对电路的静态工作没有影响，而对动态可视其为短路，相当于短接了射极电阻 R_E，电路动态指标的计算只需在式(2.2.30)和式(2.2.32)中令 $R_E = 0$ 即可。有时为了在提高输入电阻和降低电压放大倍数两者之间取得平衡，常把 R_E 分为两部分，只将其中的一部分电阻并联旁路电容，这样电压放大倍数不至于下降太多，同时又能适当提高电路的输入电阻，如图2.2.20(b)所示。

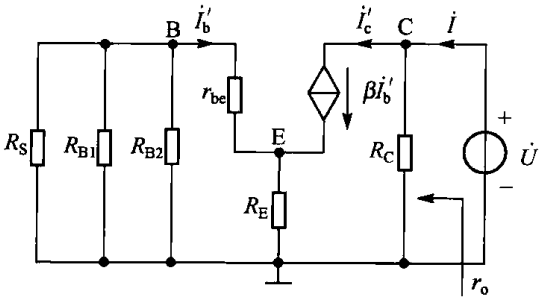
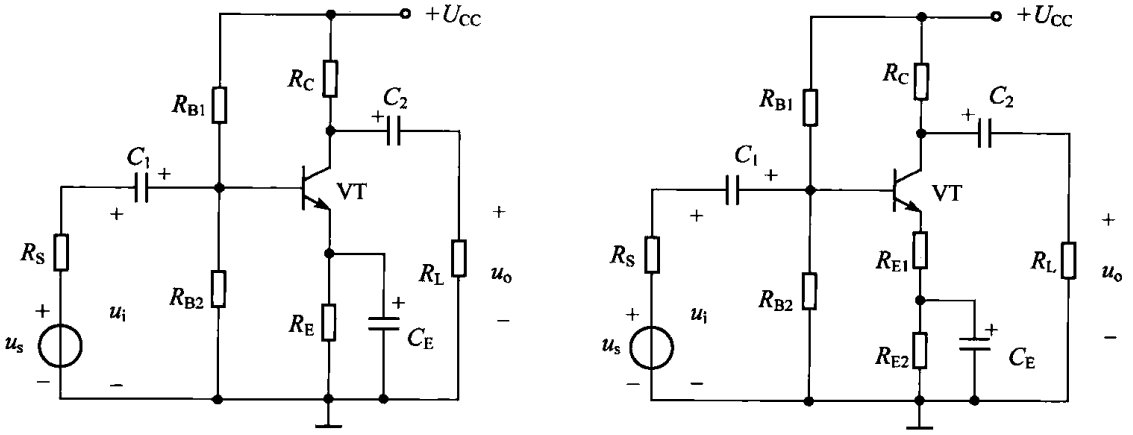


图 2.2.19 计算分压式射极偏置放大电路输出电阻 r_o 的等效电路



(a) 射极电阻并联旁路电容　　(b) 部分射极电阻并联旁路电容

图 2.2.20 分压式射极偏置放大电路的改进

例 2.2.5 在图 2.2.20(b)所示的改进型分压式射极偏置放大电路中，已知 $R_{B1} = 20\ \text{k}\Omega$，$R_{B2} = 10\ \text{k}\Omega$，$R_C = 2\ \text{k}\Omega$，$R_{E1} = 200\ \Omega$，$R_{E2} = 1.8\ \text{k}\Omega$，$R_L = 5.1\ \text{k}\Omega$，$U_{CC} = 12\ \text{V}$；三极管的 $\beta = 50$，$U_{BE} = 0.7\ \text{V}$。

① 确定放大电路的静态工作点；

② 计算放大电路的电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。

解：① 计算静态工作点。

用估算法可求得

$$U_B = \frac{R_{B2}}{R_{B1}+R_{B2}}U_{CC} = \frac{10}{20+10}\times 12 = 4\ \text{V}$$

$$I_C \approx I_E = \frac{U_B - U_{BE}}{R_{E1}+R_{E2}} = \frac{4-0.7}{0.2+1.8} = 1.65\ \text{mA}$$

$$\begin{aligned} U_{CE} &\approx U_{CC} - (R_C + R_{E1} + R_{E2})I_E \\ &= 12 - (2+0.2+1.8)\times 1.65 = 5.4\ \text{V} \end{aligned}$$

用戴维南定理可求得

$$I_B = \frac{E_B - U_{BE}}{(R_{B1} // R_{B2}) + (1+\beta)(R_{E1}+R_{E2})}$$
$$= \frac{4-0.7}{(20//10)+51\times(0.2+1.8)} \approx 0.03\ \text{mA} = 30\ \mu\text{A}$$

$$I_C = \beta I_B = 50\times 0.03 = 1.5\ \text{mA}$$

$$U_{CE} \approx U_{CC} - (R_C + R_{E1} + R_{E2}) I_C$$
$$= 12 - (2+0.2+1.8)\times 1.5 = 6\ \text{V}$$

② 计算 A_u，r_i 和 r_o。

$$r_{be} = 200 + (1+\beta)\frac{26}{I_E} = 200 + 51\times\frac{26}{1.65} \approx 1\ \text{k}\Omega$$

$$A_u = -\frac{\beta(R_C // R_L)}{r_{be}+(1+\beta)R_{E1}} = -\frac{50\times(2//5.1)}{1+51\times 0.2} = -6.41$$

$$r_i = R_{B1} // R_{B2} // [r_{be} + (1+\beta)R_{E1}]$$
$$= 20//10//(1+51\times 0.2) = 4.18\ \text{k}\Omega$$

$$r_o = R_C = 2\ \text{k}\Omega$$

思考题

2.2.1　放大电路的组成原则是什么？如何判断一个放大电路能否正常放大交流信号？参照图 2.2.3 画出 PNP 型三极管构成的共发射极基本放大电路。

2.2.2　在图2.2.3中，耦合电容 C_1 和 C_2 的作用是什么？它们承受的直流电压和交流电压有多大？

2.2.3　放大电路的静态与动态有何不同？如何画出放大电路的直流通路和交流通路？放大电路的直流负载线与交流负载线有何不同？

2.2.4　对放大电路为什么要设置静态工作点？改变固定偏置放大电路中的 R_B，R_C 和 U_{CC} 对静态工作点有何影响？

2.2.5　在固定偏置放大电路中，用直流电压表测得的集电极对“地”电压和负载 R_L 两端电压是否相等？用交流毫伏表测得的集电极对“地”电压、负载 R_L 两端电压以及集电极电阻 R_C 两端电压是否相等？

2.2.6　用示波器观察图 2.2.3 所示放大电路的输出电压，发现输出波形发生了失真，用直流电压表测量时如果测得 $U_{CE} \approx U_{CC}$，试分析三极管工作在什么状态？怎样调节 R_B 才能消除失真？如果测得 $U_{CE} < U_{CC}$，试分析三极管工作在什么状态？怎样调节 R_B 才能消除失真？

2.2.7　如果放大电路的输出电压波形发生了失真，是否一定是静态工作点不合适引起的？

2.2.8　在 PNP 型三极管共发射极放大电路中，输入电压 u_i 和输出电压 u_o 的参考方向分别与图2.2.3中 u_i 和 u_o 方向一致，输入电压 u_i 为正弦波。如果输出电压 u_o 的正半周被限幅，请问这是何种失真？应如何消除？如果输出电压 u_o 的负半周被限幅，请问这又是何种失真？应如何消除？

2.2.9　当给图2.2.3所示放大电路的负载并联一只 6 kΩ的电阻时，发现输出电压的失真有所改善，请问这是什么失真？在其余参数保持不变的情况下，将与负载并联的电阻去掉后，应如何调整基极电阻 R_B 以消除失真？

2.2.10　三极管微变等效模型的适应条件是什么？

2.2.11　电压放大倍数与哪些因素有关？是否与 β 成正比？能否通过增大集电极电阻 R_C 来提高电压放大倍

数？当 R_C 过大时，对放大电路的工作状态有何影响？能否通过改变三极管的静态基极电流 I_B 来改变电压放大倍数？这种改变有无限制？

2.2.12 r_{be}, r_{ce}, r_i 和 r_o 这 4 个电阻的含义分别是什么？它们是直流电阻还是交流电阻？能否用万用表的电阻挡测量其大小？在 r_i 中是否包括信号源内阻？在 r_o 中是否包括负载电阻？一般希望 r_i, r_o 大一些好，还是小一些好？

2.2.13 在放大电路中，静态工作点不稳定对放大电路有何影响？

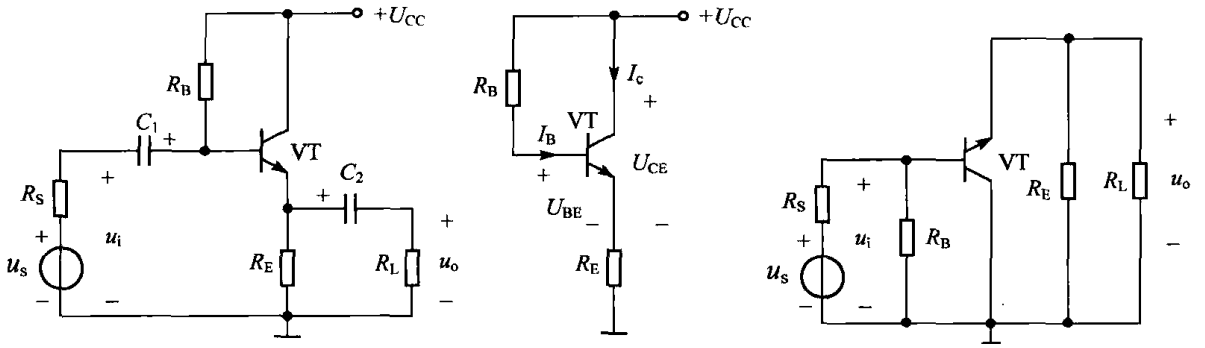
2.2.14 为什么分压式射极偏置放大电路能稳定静态工作点？当更换三极管后，对放大电路的静态值有无影响？

2.3 共集电极和共基极放大电路

根据输入信号与输出信号公共端的不同，三极管放大电路有三种基本的接法，或称为三种基本组态，即共射组态、共集组态和共基组态。在 2.2 节已对共射组态进行了详尽的讨论，下面将介绍共集组态和共基组态放大电路。

2.3.1 共集电极放大电路

共集电极放大电路如图 2.3.1 (a) 所示，图 2.3.1 (b) 是它的直流通路，图 2.3.1 (c) 是它的交流通路。由图 2.3.1 (c) 可见，集电极是输入回路与输出回路的公共端，因而称为共集电极放大电路。又因其输出电压从发射极引出而称为射极输出器。



(a) 原理电路　(b) 直流通路　(c) 交流通路

图 2.3.1 共集电极放大电路

1. 静态分析

共集电极放大电路的直流通路如图2.3.1 (b) 所示，由基极回路可列出方程

$$U_{CC} = R_B I_B + U_{BE} + R_E(1+\beta) I_B \tag{2.3.1}$$

因此

$$\begin{cases} I_B = \dfrac{U_{CC} - U_{BE}}{R_B + (1+\beta) R_E} \\ I_C = \beta I_B \\ U_{CE} \approx U_{CC} - R_E I_C \end{cases} \tag{2.3.2}$$

2．动态分析

共集电极放大电路的微变等效电路如图2.3.2 所示。

(1) 电压放大倍数

由图2.3.2可知

$$\dot{U}_o = (R_E // R_L)\dot{I}_e = (1+\beta)R'_L\dot{I}_b \tag{2.3.3}$$

式中，$R'_L = R_E // R_L$。

$$\dot{U}_i = r_{be}\dot{I}_b + \dot{U}_o = r_{be}\dot{I}_b + (1+\beta)R'_L\dot{I}_b \tag{2.3.4}$$

所以电压放大倍数为

$$A_u = \frac{\dot{U}_o}{\dot{U}_i} = \frac{(1+\beta)R'_L}{r_{be}+(1+\beta)R'_L} \tag{2.3.5}$$

式(2.3.5)表明，共集电极放大电路的电压放大倍数 $A_u<1$，但因 $(1+\beta)R'_L \gg r_{be}$，故 A_u 又非常接近于1；输出电压与输入电压同相，$u_o \approx u_i$，因此共集电极放大电路又称为电压跟随器。共集电极放大电路虽然没有电压放大作用，但却具有电流放大作用。

(2) 输入电阻

图2.3.2 所示的输入回路与图2.3.18 所示的分压式射极偏置放大电路基本相同，采用类似的折算概念可求得共集电极放大电路的输入电阻为

$$r_i = R_B // r'_i = R_B // [r_{be}+(1+\beta)R'_L] \tag{2.3.6}$$

与固定偏置的共发射极放大电路相比，共集电极放大电路的输入电阻较大。

(3) 输出电阻

在图2.3.2 中令 $\dot{U}_s = 0$，断开 R_L，并在输出端外加电压 $\dot{U}$ 就得到用外加电源法求输出电阻 r_o 的等效电路，如图2.3.3所示。为了分析方便，假设在图2.3.3中三极管电流的参考方向与图2.3.2中的相反。

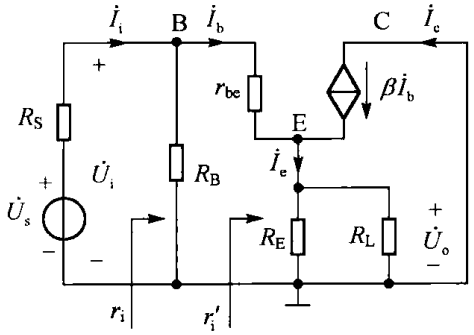


图 2.3.2　共集电极放大电路的微变等效电路

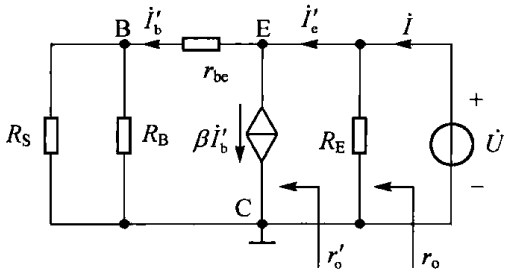


图 2.3.3　计算共集电极放大电路输出电阻 r_o 的等效电路

由图2.3.3可知，输出电阻 r_o 是 r'_o 与 R_E 的并联。先求出 r'_o。

$$r'_o = \frac{\dot{U}}{\dot{I}'_e} = \frac{\dot{U}}{(1+\beta)\dot{I}'_b}$$

而

$$\dot{U} = r_{be}\dot{I}'_b + (R_S // R_B)\dot{I}'_b = (r_{be}+R'_S)\dot{I}'_b$$

式中，$R'_S = R_S // R_B$，所以

$$r'_o = \frac{(r_{be} + R'_S)\dot{I}'_b}{(1+\beta)\dot{I}'_b} = \frac{r_{be} + R'_s}{1+\beta}$$

r'_o 是基极电阻 $r_{be} + R'_S$ 折算到发射极回路的等效电阻。

$$r_o = r'_o // R_E = \frac{r_{be} + R'_S}{1+\beta} // R_E \tag{2.3.7}$$

一般情况下，$R_E \gg \frac{r_{be} + R'_S}{1+\beta}$，$R_B \gg R_S$，$\beta \gg 1$，所以

$$r_o \approx \frac{r_{be} + R'_S}{1+\beta} \approx \frac{r_{be} + R_S}{\beta} \tag{2.3.8}$$

由 r_o 的表达式可知，共集电极放大电路的输出电阻与信号源的内阻有关。通常情况下，信号源的内阻 R_S 很小，r_{be} 约为几百欧到几千欧，而β值较大，所以共集电极放大电路的输出电阻很小，一般在几十欧到几百欧的范围内。

共集电极放大电路虽然没有电压放大能力，但它却具有输入电阻高和输出电阻低的特点，因此在电子电路中获得了广泛的应用。利用其输入电阻大、从信号源吸取电流小的特点，常将它作为多级放大电路的输入级；利用其输出电阻小、带负载能力强的特点，常将它作为多级放大电路的输出级；同时利用其输入电阻大、输出电阻小的特点，将其作为多级放大电路前后级之间的缓冲级，以隔离前后级之间的相互影响，起到阻抗变换的作用。

例 2.3.1 在图2.3.4(a)所示共集电极放大电路中，已知 $U_{CC} = 12\ \text{V}$，$R_B = 240\ \text{k}\Omega$，$R_E = 3\ \text{k}\Omega$，$R_L = 6\ \text{k}\Omega$，$R_S = 150\ \Omega$，$\beta = 50$，$U_{BE} = -0.7\ \text{V}$。

① 确定放大电路的静态工作点；

② 计算放大电路的电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。

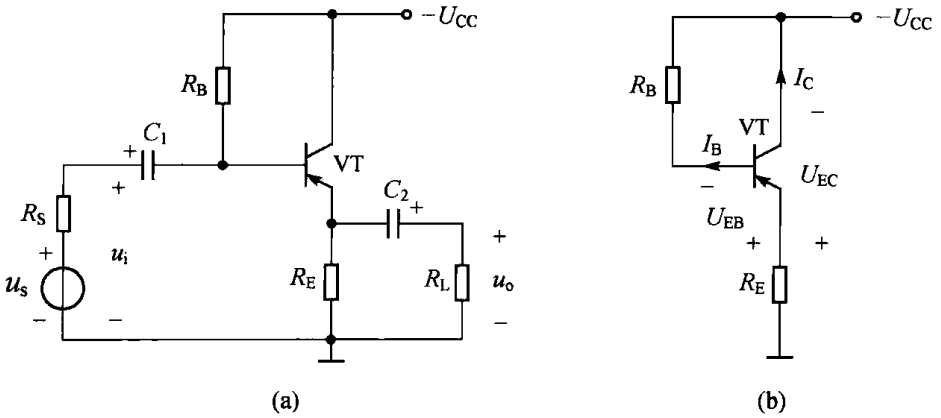


图 2.3.4 例 2.3.1 的图

解： ① 计算静态工作点。

画出图2.3.4(a)中的直流通路如图2.3.4(b)所示，由此图可得

$$I_B = \frac{U_{CC} - U_{EB}}{R_B + (1+\beta)R_E} = \frac{12 - 0.7}{240 + (1+50)\times 3} \approx 0.029\ \text{mA} = 29\ \mu\text{A}$$

$$I_C = \beta I_B = 50 \times 0.029 = 1.45\ \text{mA}$$

$$U_{EC} \approx U_{CC} - R_E I_C = 12 - 3 \times 1.45 = 7.65\ \text{V}$$

对于 PNP 型三极管放大电路来说，三极管静态电压电流的方向与对应的 NPN 型三极管放大电路的相反。

② 计算 A_u，r_i 和 r_o。

$$r_{be} = 200 + (1+\beta)\frac{26}{I_E} \approx 200 + (1+50) \times \frac{26}{1.45} \approx 1.11\ \text{k}\Omega$$

PNP 型三极管放大电路的微变等效电路与对应的 NPN 型三极管放大电路的完全相同。所以，由式(2.3.5)、式(2.3.6)和式(2.3.7)可得

$$A_u = \frac{(1+\beta)R'_L}{r_{be} + (1+\beta)R'_L} = \frac{(1+50)(3//6)}{1.11 + (1+50)(3//6)} \approx 0.99$$

$$r_i = R_B //[r_{be} + (1+\beta)R'_L] = 240//[1.11 + (1+50)(3//6)] \approx 72.12\ \text{k}\Omega$$

$$r_o = \frac{r_{be} + R'_S}{1+\beta} // R_E = \frac{1.11 + 0.15//240}{1+50} // 3 \approx 0.025\ \text{k}\Omega = 25\ \Omega$$

2.3.2　共基极放大电路

共基极放大电路如图 2.3.5(a)所示，图 2.3.5(b)是它的交流通路。由图 2.3.5(b)可见，基极是输入回路与输出回路的公共端，因而称该电路为共基极放大电路。

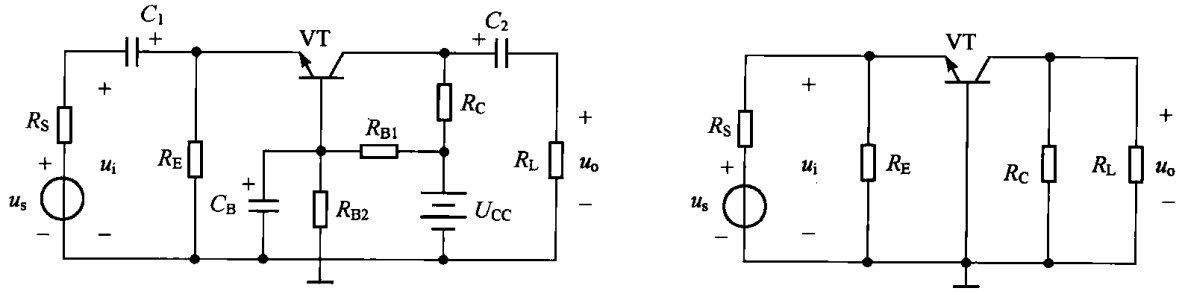


图 2.3.5　共基极放大电路

1．静态分析

共基极放大电路的直流通路如图2.3.6所示，显然，它与 2.2.4 节所讨论的分压式射极偏置放大电路的直流通路是一样的，所以其静态工作点的计算公式与式(2.2.26)或式(2.2.27)相同。此处不再赘述。

2．动态分析

共基极放大电路的交流微变等效电路如图2.3.7所示。

(1) 电压放大倍数

由图2.3.7可知

$$\dot{U}_o = (R_C // R_L)\dot{I}_c = \beta R'_L \dot{I}_b \tag{2.3.9}$$

式中，$R'_L = R_C // R_L$。

$$\dot{U}_i = r_{be}\dot{I}_b \tag{2.3.10}$$

所以电压放大倍数为

$$A_u = \frac{\dot{U}_o}{\dot{U}_i} = \frac{\beta R'_L}{r_{be}} \tag{2.3.11}$$

比较式(2.3.11)和式(2.2.20)可知，共基极放大电路的电压放大倍数与共发射极放大电路的电压放大倍数在数值上是相等的，但是没有负号，表示共基极放大电路的输出电压与输入电压同相。由于 $\dot{I}_c < \dot{I}_e$，所以共基极放大电路没有电流放大作用。

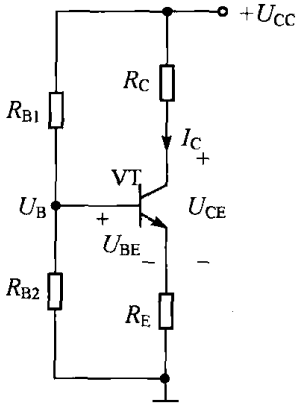


图 2.3.6 共基极放大电路的直流通路

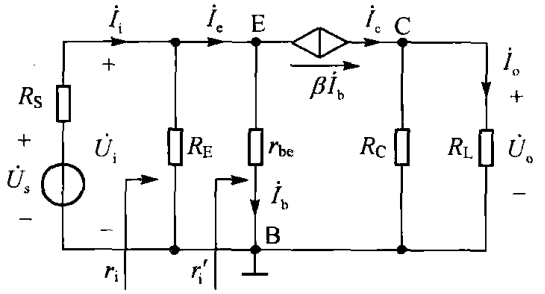


图 2.3.7 共基极放大电路的微变等效电路

(2) 输入电阻

由图2.3.7可知，输入电阻 r_i 是 r'_i 与 R_E 的并联。先求出 r'_i。

$$r'_i = \frac{\dot{U}_i}{\dot{I}_e} = \frac{r_{be}\dot{I}_b}{(1+\beta)\dot{I}_b} = \frac{r_{be}}{1+\beta}$$

r'_i 是基极电阻 r_{be} 折算到发射极回路的等效电阻。输入电阻 r_i 为

$$r_i = \frac{r_{be}}{1+\beta} // R_E \tag{2.3.12}$$

一般情况下，$R_E \gg \frac{r_{be}}{1+\beta}$，所以

$$r_i \approx \frac{r_{be}}{1+\beta} \tag{2.3.13}$$

与共发射极放大电路和共集电极放大电路相比，共基极放大电路的输入电阻最小。

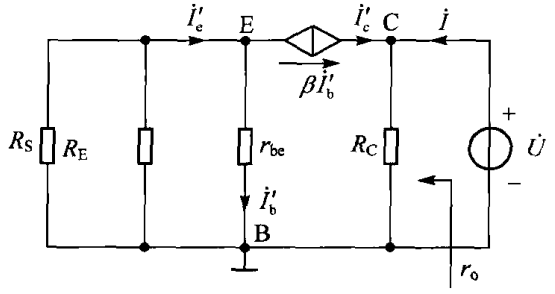


图 2.3.8 计算共基极放大电路输出电阻 r_o 的等效电路

(3) 输出电阻

在图 2.3.7 中令 $\dot{U}_s = 0$，断开 R_L，并在输出端外加电压 $\dot{U}$ 就得到用外加电源法求输出电阻 r_o 的等效电路，如图2.3.8所示。

由图2.3.8可列出方程

$$[r_{be} + (1+\beta)(R_S // R_E)]\dot{I}'_b = 0$$

所以 $\dot{I}'_b = 0$，$\beta\dot{I}'_b = 0$，输出电阻为

$$r_o = \frac{\dot{U}}{\dot{I}} = R_C \tag{2.3.14}$$

可见，共基极放大电路的输出电阻与共发射极放大电路的输出电阻相同。

共基极放大电路的突出特点是输入电阻小，这使得三极管结电容对电压放大倍数的影响较小，因而有较好的频率特性，所以常用做宽带或高频放大电路。

例 2.3.2　在图2.3.5(a)所示的共基极放大电路中，已知 $U_{CC}=12\ \text{V}$，$R_{B1}=5\ \text{k}\Omega$，$R_{B2}=1.5\ \text{k}\Omega$，$R_E=2\ \text{k}\Omega$，$R_C=5.1\ \text{k}\Omega$，$R_L=5.1\ \text{k}\Omega$，三极管的 $\beta=50$，$U_{BE}=0.7\ \text{V}$。

① 确定放大电路的静态工作点；

② 计算放大电路的电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。

解：① 计算静态工作点。

由图2.3.6用估算法可求得

$$U_B = \frac{R_{B2}}{R_{B1}+R_{B2}}U_{CC} = \frac{1.5}{5.1+1.5}\times 12 = 2.73\ \text{V}$$

$$I_C \approx I_E = \frac{U_B - U_{BE}}{R_E} = \frac{2.73-0.7}{2} = 1.02\ \text{mA}$$

$$U_{CE} \approx U_{CC} - (R_C + R_E)I_C = 12-(5.1+2)\times 1.02 = 4.76\ \text{V}$$

② 计算 A_u，r_i 和 r_o。

$$r_{be} = 200 + (1+\beta)\frac{26}{I_E} = 200 + (1+50)\times\frac{26}{1.02} = 1.5\ \text{k}\Omega$$

由式(2.3.11)、式(2.3.12)和式(2.3.14)可得

$$A_u = \frac{\beta R'_L}{r_{be}} = \frac{50\times(5.1//5.1)}{1.5} = 85$$

$$r_i = \frac{r_{be}}{1+\beta} // R_E = \frac{1.5}{1+50} // 2 \approx 0.029\ \text{k}\Omega = 29\ \Omega$$

$$r_o = R_C = 5.1\ \text{k}\Omega$$

思考题

2.3.1　共集电极放大电路有哪些特点？有何用途？

2.3.2　在共集电极放大电路中，为什么没有接集电极电阻 R_C？如果接入集电极电阻 R_C，会对放大电路的静态和动态分别产生什么影响？

2.3.3　共基极放大电路有哪些特点？有何用途？

2.4　MOS 场效应管放大电路

MOS 场效应管(简称 MOS 管)虽然在结构和工作原理上与三极管不尽相同，但也能实现对输出电流的控制，所不同的是 MOS 管是电压控制器件，三极管是电流控制器件。因此利用 MOS 管也可以构成不同组态的放大电路，其结构与三极管放大电路基本上一致，只要注意到 MOS 管的栅极 G、源极 S 和漏极 D 分别与三极管的基极 B、发射极 E 和集电极 C 相对应，就可以由三极管放大电路类比得到 MOS 管放大电路。

场效应管放大电路具有输入电阻大、温度稳定性好、噪声小和功耗小的特点。常用做多级放大电路的输入级以及要求实现低功耗、低噪声放大的场合。

2.4.1 直流偏置电路和静态估算

与三极管放大电路一样，为了放大交流信号，也必须为MOS管放大电路设置合适的静态工作点，以使MOS管工作在线性放大区。MOS场效应管有增强型和耗尽型两大类，每一类又有N沟道和P沟道之分。下面以N沟道为例，说明MOS管放大电路的直流偏置和静态估算，P沟道MOS管放大电路与N沟道MOS管放大电路的不同之处仅是偏置电源极性不同而已。

1. 自偏压电路

图2.4.1是由N沟道耗尽型MOS管组成的自偏压共源极放大电路，图中C_1,C_2,R_D,R_S及C_S的作用与三极管放大电路中相应元件的作用相同，栅极G经电阻R_G接“地”，由于没有电流通过R_G，故静态时$U_G=0$ V。由于$U_{GS}=0$ V时，MOS管已有导电沟道存在，在U_{DD}作用下将有漏极电流I_D流过源极电阻R_S，源极电位$U_S=R_SI_D$，因此有

$$U_{GS}=U_G-U_S=-R_SI_D \tag{2.4.1}$$

由于MOS管的静态偏置电压$U_{GS}=-R_SI_D<0$，所以这种自偏压电路只适用于耗尽型MOS管而不能用于增强型MOS管。U_{GS}和I_D的值除满足式(2.4.1)外，还应满足耗尽型场效应管的转移特性式(1.4.5)，即

$$I_D=I_{DSS}\left(1-\frac{U_{GS}}{U_{GS(off)}}\right)^2$$

联立上式与式(2.4.1)即可估算出U_{GS}和I_D的值。求出I_D后，可由输出回路求得

$$U_{DS}=U_{DD}-(R_D+R_S)I_D \tag{2.4.2}$$

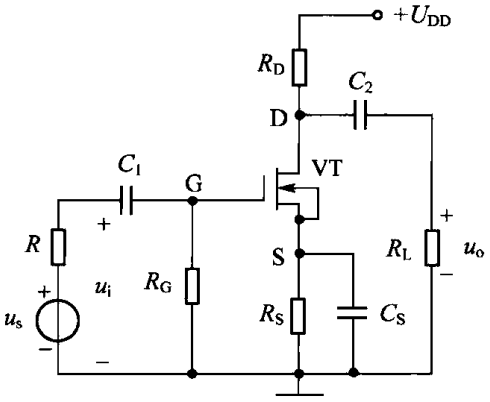


图 2.4.1 自偏压共源极放大电路

2. 分压式偏置电路

图2.4.2所示为N沟道增强型MOS管组成的分压式偏置共源极放大电路。静态时，R_{G3}中无电流，R_{G1}和R_{G2}组成的分压器决定了栅极对地电位U_G。

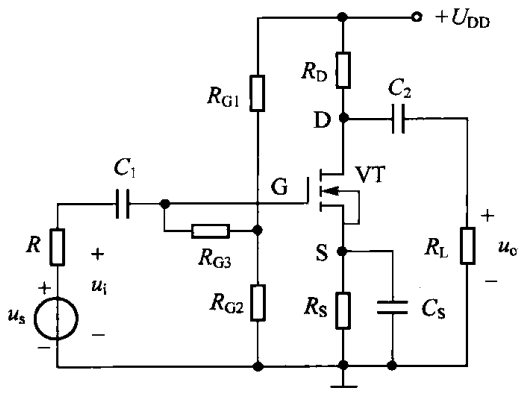


图 2.4.2 分压式偏置共源极放大电路

$$U_G=\frac{R_{G2}}{R_{G1}+R_{G2}}U_{DD}$$

源极电位为

$$U_S=R_SI_D$$

于是静态时，栅源电压为

$$U_{GS}=\frac{R_{G2}}{R_{G1}+R_{G2}}U_{DD}-R_SI_D \tag{2.4.3}$$

由式(2.4.3)可见，U_{GS}值可正可负，所以分压式偏置电路既适合于增强型MOS管也可用于耗尽型MOS管。另外，I_D和U_{GS}必须满足MOS管的转移特性式(1.4.4)或式(1.4.5)，即

$$\begin{cases} I_D = I_{DO}\left(\dfrac{U_{GS}}{U_{GS(th)}} - 1\right)^2 & \text{(增强型)} \\ I_D = I_{DSS}\left(1 - \dfrac{U_{GS}}{U_{GS(off)}}\right)^2 & \text{(增强型)} \end{cases}$$

联立上式与式(2.4.3)即可求得分压式偏置电路的 I_D 和 U_{GS} 的值。而 U_{DS} 仍由式(2.4.2)决定。

2.4.2　动态分析

对于小信号下 MOS 管放大电路的动态分析，也常采用微变等效电路法。

1．MOS 管的微变等效模型

MOS 管的栅极 G 和源极 S 间输入电阻很大，可视为开路。当 MOS 管处于其恒流区时，i_d 近似只受 u_{gs} 控制，故其输出回路与三极管类似可等效为一个电压控制的电流源，这个电流源用 $g_m u_{gs}$ 表示，其微变等效模型如图2.4.3所示。

2．利用微变等效电路计算 A_u, r_i 和 r_o

与三极管放大电路相类似，把 MOS 管用其微变等效模型代替，画出放大电路的微变等效电路，就可以计算放大电路的性能指标。下面以图2.4.2为例说明计算过程。

图2.4.2的交流微变等效电路如图2.4.4所示，由该图可知

$$\dot{U}_o = -g_m \dot{U}_{gs}(R_D // R_L)$$

$$\dot{U}_i = \dot{U}_{gs}$$

所以电压放大倍数为

$$A_u = \frac{\dot{U}_o}{\dot{U}_i} = -g_m(R_D // R_L) \tag{2.4.4}$$

输入电阻为

$$r_i = \frac{\dot{U}_i}{\dot{I}_i} = R_{G3} + (R_{G1} // R_{G2}) \tag{2.4.5}$$

令 $\dot{U}_s = 0$，则 $\dot{U}_{gs} = 0$，断开 R_L 后，从输出端看进去的电阻，即输出电阻为

$$r_o = R_D \tag{2.4.6}$$

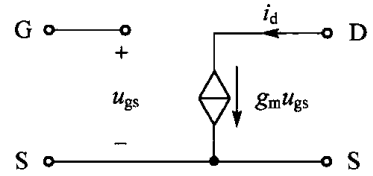


图 2.4.3　MOS 管低频微变等效电路模型

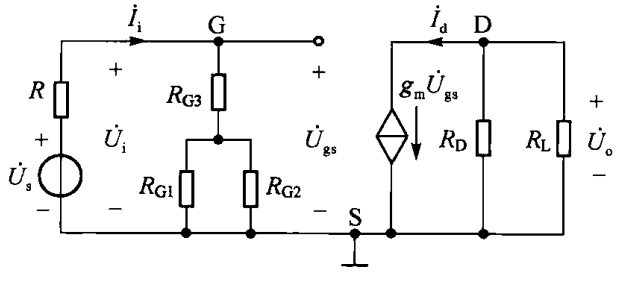


图 2.4.4　图 2.4.2 的微变等效图

例 2.4.1 图2.4.5所示为 MOS 管组成的共漏极放大电路，也称为源极输出器。已知 $U_{DD}=20\ \text{V}$，$R_S=10\ \text{k}\Omega$，$R_{G1}=200\ \text{k}\Omega$，$R_{G2}=50\ \text{k}\Omega$，$R_G=1\ \text{M}\Omega$，$R_L=10\ \text{k}\Omega$，场效应管为 N 沟道耗尽型 MOS 管，其参数为 $I_{DSS}=2\ \text{mA}$，$U_{GS(off)}=-4\ \text{V}$。

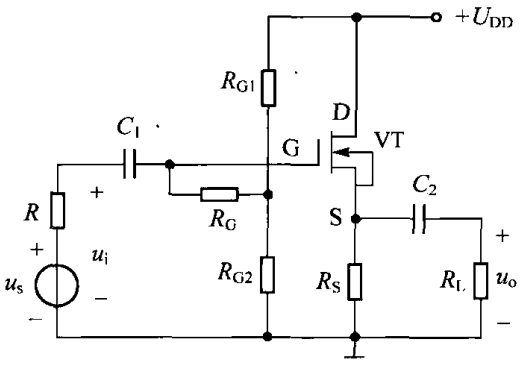


图 2.4.5 例 2.4.1 的图

① 确定放大电路的静态工作点；

② 计算放大电路的电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。

解： ① 计算静态工作点。

由图2.4.5可知

$$U_G=\frac{R_{G2}}{R_{G1}+R_{G2}}U_{DD}=\frac{50}{200+50}\times 20=4\ \text{V}$$

因此，静态工作点可由下列方程组求得：

$$\begin{cases}U_{GS}=4-10I_D\\ I_D=2\left(1+\dfrac{U_{GS}}{4}\right)^2\end{cases}$$

求解可得

$$U_{GS}\approx -1.8\ \text{V},\qquad I_D\approx 0.58\ \text{mA}$$

因此

$$U_{DS}=U_{DD}-R_SI_D=20-10\times 0.58=14.2\ \text{V}$$

② 计算 A_u，r_i 和 r_o。

根据跨导的定义和 MOS 管的转移特性可求得其跨导为

$$g_m=\frac{\mathrm{d}I_D}{\mathrm{d}U_{GS}}=-\frac{2I_{DSS}}{U_{GS(off)}}\left(1-\frac{U_{GS}}{U_{GS(off)}}\right)=-\frac{2\times 2}{-4}\left(1-\frac{-1.8}{-4}\right)=0.55\ \text{mS}$$

共漏极放大电路的微变等效电路如图 2.4.6(a)所示，由该图可知

$$\dot U_o=g_m\dot U_{gs}(R_S/\!/R_L)$$

$$\dot U_i=\dot U_{gs}+g_m\dot U_{gs}(R_S/\!/R_L)=[1+g_m(R_S/\!/R_L)]\dot U_{gs}$$

所以电压放大倍数为

$$A_u=\frac{\dot U_o}{\dot U_i}=\frac{g_m(R_S/\!/R_L)}{1+g_m(R_S/\!/R_L)}=\frac{0.55\times(10/\!/10)}{1+0.55\times(10/\!/10)}\approx 0.73$$

输入电阻为

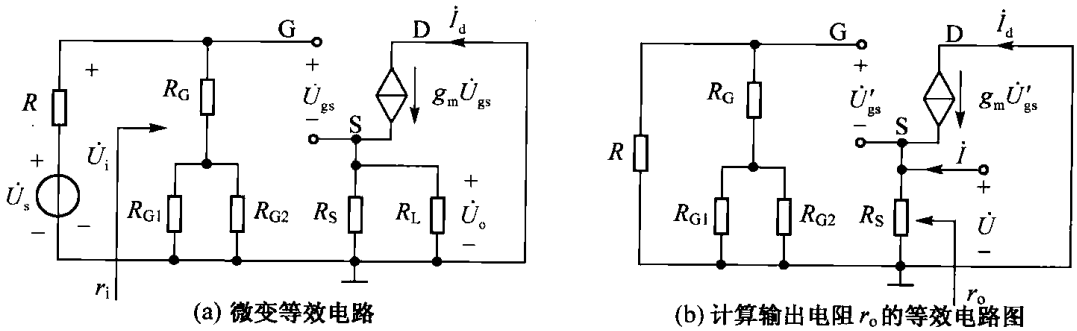
$$r_i=R_G+(R_{G1}/\!/R_{G2})\approx R_G=1\ \text{M}\Omega$$

计算输出电阻 r_o 的等效电路如图2.4.6(b)所示，由该图可知

$$\dot I=\frac{\dot U}{R_S}-g_m\dot U'_{gs}=\frac{\dot U}{R_S}+g_m\dot U$$

所以输出电阻为

$$r_o = \frac{\dot{U}}{\dot{I}} = R_S // \frac{1}{g_m} = 10 // \frac{1}{0.55} \approx 1.54\ \text{k}\Omega$$



(a) 微变等效电路　　(b) 计算输出电阻 r_o 的等效电路图

图 2.4.6　计算例 2.4.1 动态参数用图

思考题

2.4.1　MOS 管的静态偏置电路有哪几种？对于增强型 MOS 管，能否采用自偏压偏置电路？

2.4.2　MOS 管的交流微变等效电路与三极管的交流微变等效电路有何不同？

2.4.3　在图2.4.2中接入 R_G 的目的是什么？R_G 的阻值大小对放大电路的静态和动态分别有何影响？

2.4.4　在 MOS 管放大电路中，输入、输出耦合电容的数值一般比三极管放大电路中输入、输出耦合电容的数值小，这是为什么？

2.4.5　仿照 N 沟道 MOS 管的静态偏置电路画出 P 沟道 MOS 管的静态偏置电路。

2.5　多级放大电路

由于单级放大电路的放大倍数有限，所以对微弱信号通常采用把单级放大电路相串联组成多级放大电路进行放大。多级放大电路的第一级称为输入级，一般要求输入级有较高的输入电阻，以提高输入电压，因此常采用共集电极放大电路；中间级主要是进行电压放大，一般采用多级共发射极放大电路；输出级应有一定的输出功率以便推动负载，多采用由共集电极放大电路构成的功率放大电路。

2.5.1　多级放大电路的耦合方式

多级放大电路的各级之间，以及放大电路与信号源和负载之间的连接方式称为多级放大电路的耦合方式。低频放大电路常用的级间耦合方式有直接耦合、阻容耦合和变压器耦合。由于变压器体积大、成本高而且高频和低频特性差，所以除特殊场合外，一般很少采用变压器耦合方式。

1．阻容耦合

阻容耦合是将前后级之间通过电容相连接的一种耦合方式。图 2.5.1 是一个两级阻容耦合放大电路，电容 C_1，C_2 和 C_3 称为耦合电容。由于耦合电容的隔直作用，阻容耦合放大电路的各级静态工作点彼此独立，互不影响。但由于耦合电容具有“隔直”作用，所以直流信号将无法通过耦合电容。对于低频或变化缓慢的信号，由于耦合电容的容抗较大，将使交流信号产生较大的衰减，所以阻容耦合放大电路不能用来放大低频交流信号或直流信号。此外，由于集成电路工艺无法制造大容量的电容，因此阻容耦合方式在集成电路中无法应用。

2．直接耦合

直接耦合是将前后级直接相连的一种耦合方式。图 2.5.2 是一个两级直接耦合放大电路。由于没

有采用电容等电抗性元件，因此直接耦合电路可以放大变化缓慢的交流信号和直流信号，也便于集成，在集成电路中得到了广泛的应用。它的缺点是各级之间静态工作点互相有影响，从而给设计、分析和调试带来不便，而且还存在着特有的零点漂移现象。

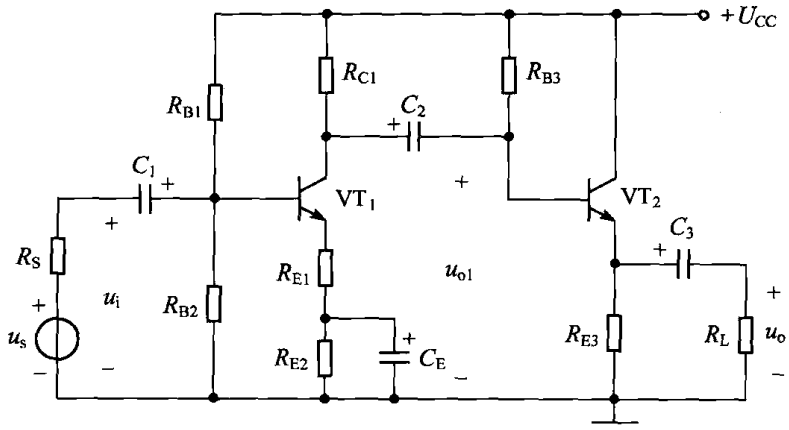


图 2.5.1 两级阻容耦合放大电路

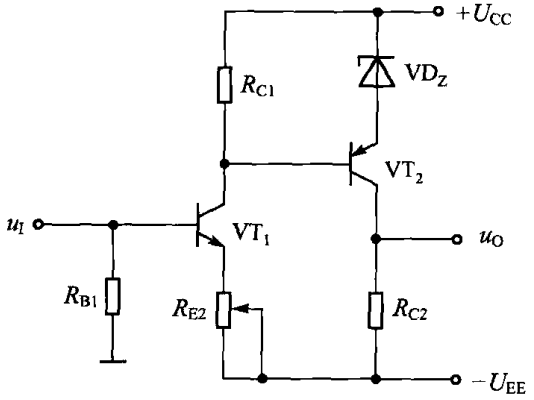


图 2.5.2 两级直接耦合放大电路

所谓零点漂移，是指当直接耦合放大电路的输入信号电压为零时，它的输出电压并不是保持恒定，而是在其静态值附近随机地发生波动。产生零点漂移的主要原因是由于三极管的参数受温度影响而发生变化，从而导致放大电路的静态工作点不稳定。由于是直接耦合，所以前级静态工作点的变化会被后面各级逐级放大，使输出电压出现严重的零点漂移。一般来说，直接耦合放大电路的级数越多，放大倍数越大，则零点漂移问题也越严重，而且第一级的零点漂移影响最为突出。当输出信号出现严重的零点漂移时，由于无法区分有用信号和漂移电压而使放大电路失去使用价值，所以对直接耦合放大电路特别是多级直接耦合放大电路的第一级应设法减小其零点漂移。下一节将要讨论的差分放大电路是解决这一问题的有效途径。

2.5.2 多级放大电路的分析

1. 静态分析

阻容耦合放大电路中各级静态工作点互不影响，彼此独立。因此对其静态可按单管放大电路的分析方法独立进行。

直接耦合放大电路的各级静态工作点互相有影响，其静态工作点的分析计算要比阻容耦合放大电路复杂。分析的原则是根据电路结构，用电路分析方法列出电压、电流应满足的方程组联立求解，从而确定静态工作点。

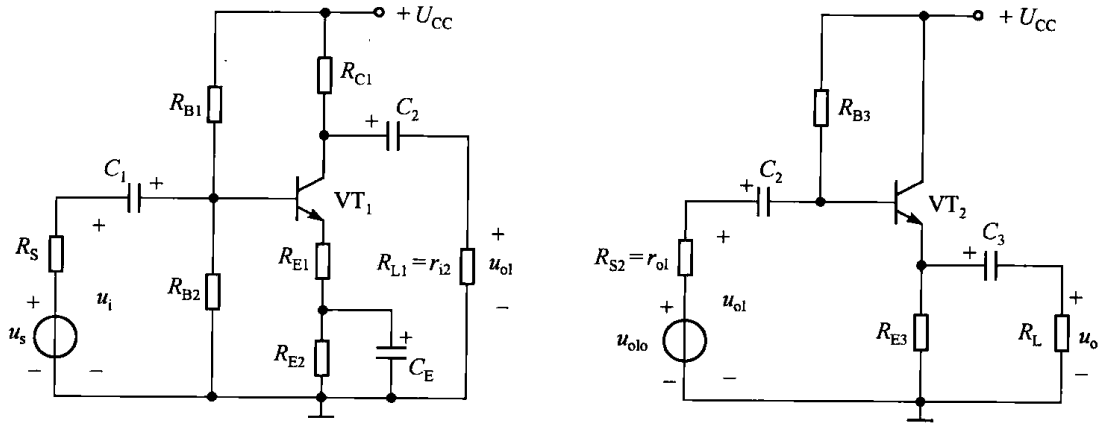
2. 动态分析

无论是阻容耦合多级放大电路还是直接耦合多级放大电路，对其动态都可以用微变等效电路法进行分析。分析时，可把多级放大电路分解为多个单级放大电路分别计算，但在分解多级放大电路时要考虑到前后级之间的相互影响，即后级放大电路的输入电阻是前级的负载电阻，前级的输出电阻是后级的信号源内阻。

图2.5.3是图2.5.1所示两级阻容耦合放大电路的分解图，图中 r_{i2} 是第二级放大电路的输入电阻，r_{o1} 是第一级的输出电阻，u_{o1o} 是第一级负载开路时的输出电压。这三个参数体现了放大电路中前后级之间的相互影响。

由图 2.5.1 可见，第一级的输出电压 u_{o1} 即为第二级的输入电压，两级放大电路的总电压放大倍数为

$$A_u = \frac{u_o}{u_i} = \frac{u_{o1}}{u_i} \times \frac{u_o}{u_{o1}} = A_{u1}A_{u2}$$



(a) 第一级放大电路　　(b) 第二级放大电路

图 2.5.3　图 2.5.1 的分解图

推广到 n 级放大电路，则总电压放大倍数为

$$A_u = A_{u1}A_{u2}\cdots A_{un} \tag{2.5.1}$$

式(2.5.1)表明，多级放大电路的总电压放大倍数等于各级电压放大倍数之积。但在计算各级电压放大倍数时，要考虑后级对前级的负载效应。

多级放大电路的输入电阻就是输入级的输入电阻，而输出电阻就是输出级的输出电阻。在具体计算 r_i 和 r_o 时，仍可采用单级放大电路 r_i 和 r_o 的计算公式。不过有时 r_i 和 r_o 不仅与本级参数有关，也与其前后级的参数有关。

例 2.5.1　在图2.5.1所示的两级阻容耦合放大电路中，已知 $R_{B1}=100\ \text{k}\Omega$，$R_{B2}=30\ \text{k}\Omega$，$R_{C1}=2.7\ \text{k}\Omega$，$R_{E1}=100\ \Omega$，$R_{E2}=2\ \text{k}\Omega$，$R_{B3}=300\ \text{k}\Omega$，$R_{E3}=6.2\ \text{k}\Omega$，$R_L=10\ \text{k}\Omega$，$\beta_1=\beta_2=50$，$U_{CC}=12\ \text{V}$，$U_{BE1}=U_{BE2}=0.7\ \text{V}$。

① 确定各级放大电路的静态工作点；

② 计算两级放大电路的总电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。

解：① 计算各级静态工作点(用戴维南定理求解)。

对于第一级放大电路，有

$$U_{B1} = \frac{R_{B2}}{R_{B1}+R_{B2}}U_{CC} = \frac{30}{100+30}\times 12 = 2.77\ \text{V}$$

$$R_B = \frac{R_{B1}R_{B2}}{R_{B1}+R_{B2}} = \frac{100\times 30}{100+30} = 23.1\ \text{k}\Omega$$

$$I_{B1} = \frac{U_{B1}-U_{BE1}}{R_B+(1+\beta_1)(R_{E1}+R_{E2})} = \frac{2.77-0.7}{23.1+(1+50)\times(0.1+2)} \approx 15.9\ \mu\text{A}$$

$$I_{C1} = \beta_1 I_{B1} = 50\times 0.0159 \approx 0.80\ \text{mA}$$

$$U_{CE1} \approx U_{CC} - I_{C1}(R_{C1}+R_{E1}+R_{E2}) = 12-0.8\times(2.7+0.1+2) = 8.16\ \text{V}$$

对于第二级放大电路，有

$$I_{B2} = \frac{U_{CC}-U_{BE2}}{R_{B3}+(1+\beta_2)R_{E3}} = \frac{12-0.7}{300+(1+50)\times 6.2} \approx 18.3\ \mu\text{A}$$

$$I_{E2}=(1+\beta_2)I_{B2}=51\times0.0183\approx0.93\text{ mA}$$

$$U_{CE2}=U_{CC}-R_{E3}I_{E2}=12-6.2\times0.93\approx6.23\text{ V}$$

② 计算A_u，r_i和r_o。

三极管VT_1的输入电阻为

$$r_{be1}=200+\frac{26}{I_{B1}}=200+\frac{26}{0.0159}\approx1.84\text{ k}\Omega$$

三极管VT_2的输入电阻为

$$r_{be2}=200+\frac{26}{I_{B2}}=200+\frac{26}{0.0183}=1.62\text{ k}\Omega$$

第二级的输入电阻为

$$\begin{aligned}r_{i2}&=R_{B3}//[r_{be2}+(1+\beta_2)(R_{E3}//R_L)]\\&=300//[1.62+(1+50)(6.2//10)]\\&\approx118.8\text{ k}\Omega\end{aligned}$$

第一级电压放大倍数为

$$\begin{aligned}A_{u1}&=-\frac{\beta_1(R_{C1}//r_{i2})}{r_{be1}+(1+\beta_1)R_{E1}}=-\frac{50\times(2.7//118.8)}{1.84+(1+50)\times0.1}\\&\approx-19.02\end{aligned}$$

第二级电压放大倍数为

$$A_{u2}=\frac{(1+\beta_2)(R_{E3}//R_L)}{r_{be2}+(1+\beta_2)(R_{E3}//R_L)}=\frac{(1+50)\times(6.2//10)}{1.62+(1+50)(6.2//10)}\approx0.99$$

两级总电压放大倍数为

$$A_u=A_{u1}A_{u2}=-19.02\times0.99=-18.83$$

输入电阻为

$$r_i=R_{B1}//R_{B2}//[r_{be1}+(1+\beta_1)R_{E1}]=100//30//[1.84+(1+50)\times0.1]\approx5.34\text{ k}\Omega$$

输出电阻为

$$r_o=R_{E3}//\frac{r_{be2}+(R_{B3}//R_{C1})}{1+\beta_2}=6.2//\frac{1.62+(300//2.7)}{1+50}\approx83.1\ \Omega$$

2.5.3 阻容耦合放大电路的频率特性

在前面对阻容耦合放大电路的动态分析中，认为输入信号的频率足够大，耦合电容和旁路电容近似为短路。但当信号频率不是很高时，这些电容就不能再视为短路，它们对放大电路的性能将产生影响。事实上，在放大电路中除了耦合电容和旁路电容这些人为接入的有形电容之外，还存在着三极管结电容以及引线分布电容等无形的电容。考虑各种电容效应后的阻容耦合分压式射极偏置放大电路如图2.5.4所示。其中C_I表示输入引线分布电容，C_O是负载电容和输出引线分布电容的等效电容，C_{BC}是三极管集电结等效电容，C_{BE}是发射结等效电容。这些电容的数值一般很小，约为几 pF 到几十 pF。由于电容的容抗与输入信号的频率大小有关，因而阻容耦合放大电路的电压放大倍数也将随着输入信

号频率的变化而改变。通常把电压放大倍数的模$|A_u|$与频率 f 的关系称为幅频特性，电压放大倍数的幅角 φ 与频率 f 的关系称为相频特性。

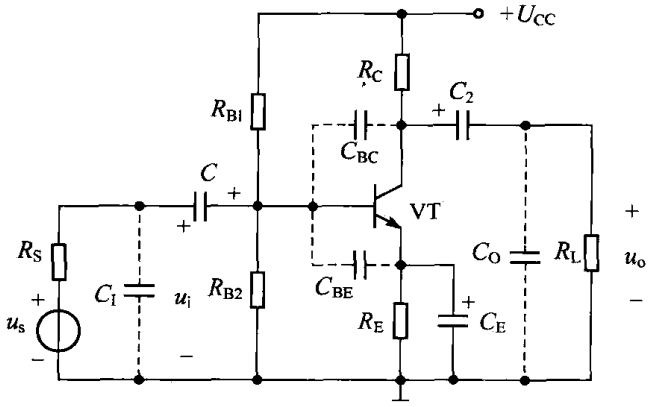


图 2.5.4　考虑电容效应后的分压式射极偏置放大电路

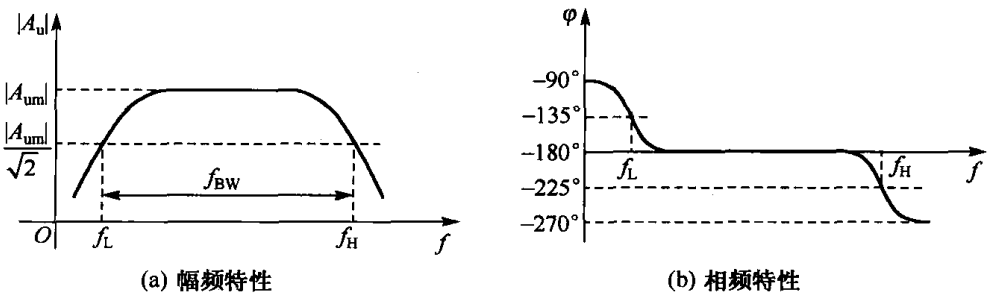
在中频段，由于耦合电容 C_1，C_2 和旁路电容 C_E 的容量较大，其容抗很小，可视为短路。而三极管的结电容 C_{BE}，C_{BC} 和分布电容 C_I，C_O 的容量很小，其容抗很大，可视为开路。因此在中频段，可认为电容对放大电路几乎不产生影响，放大电路的中频电压放大倍数与输入信号频率基本无关。前面讨论的都是指放大电路工作在中频段的情况，在本书的例题和习题中有关电压放大倍数的计算都是指中频段的电压放大倍数。

在低频段，由于信号频率变低，C_1，C_2 和 C_E 的容抗比中频段时增加，不能再视为短路。C_1，C_E 的存在使实际送到三极管发射结上的信号电压减小，C_2 的存在使输出电压减小，故低频时电压放大倍数将要降低。在低频段 C_I，C_O，C_{BE} 和 C_{BC} 的容抗比中频段更大，仍可视为开路。

在高频段，信号频率变高，C_1，C_2 和 C_E 的容抗比中频段更小，故仍可视为短路。但 C_I，C_O，C_{BE} 和 C_{BC} 的容抗将比中频时减小，不能再视为开路。C_I 的存在使得放大电路的输入阻抗减小，放大电路的输入电压 u_i 降低；C_O 的存在使得放大电路的等效负载减小，因而电压放大倍数将下降。此外，三极管结电容 C_{BE} 和 C_{BC} 对 PN 结的分流作用使三极管的电流放大系数 β 下降，从而也将引起放大电路电压放大倍数的下降。

共发射极阻容耦合放大电路的频率特性如图2.5.5所示，其中图2.5.5(a)为幅频特性，图2.5.5(b)为相频特性。由图 2.5.5(a)可见，在中频段电压放大倍数$|A_u|$基本不变，记为$|A_{um}|$，在低频段和高频段$|A_u|$均要下降，当$|A_u|$下降到$|A_{um}|$的$1/\sqrt{2}$倍时所对应的两个频率分别称为放大电路的上截止频率 f_H 和下截止频率 f_L。上、下截止频率之差称为放大电路的通频带，记为 f_{BW}，即

$$f_{BW} = f_H - f_L \tag{2.5.2}$$



(a) 幅频特性　　(b) 相频特性

图 2.5.5　共发射级放大电路的频率特性

当把单级阻容耦合放大电路串接组成多级阻容耦合放大电路后，其通频带将比其中任何一级单级放大电路的通频带都窄。例如，设两个单级放大电路的幅频特性完全相同，f_H，f_L 分别是该放大电路的上、下截止频率，如图 2.5.6 所示。把两级串接后，在 f_H，f_L 处总电压放大倍数的大小为 $\left(\frac{1}{\sqrt{2}}|A_{um}|\right)^2=\frac{1}{2}|A_{um}|^2$，比单级放大电路截止频率对应的放大倍数 $\frac{1}{\sqrt{2}}|A_{um}|^2$ 小，所以两级放大电路的上截止频率 $f'_H < f_H$，下截止频率 $f'_L > f_L$，显然通频带比单级变窄了。

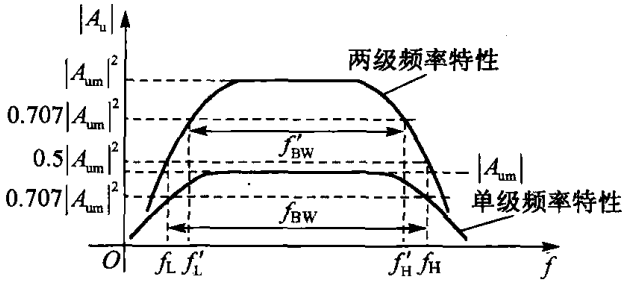


图 2.5.6 多级放大电路通频带比单级窄

由于放大电路对不同频率的输入信号电压放大倍数不同，相对相位移(相位移与频率之比)也不同，这必然会引起输出电压波形的失真。如果输入的是一个非正弦周期信号电压，由于放大电路对各次谐波的放大倍数不同，必然会引起输出电压中各次谐波幅值的比例关系发生改变，从而引起输出电压波形失真，这称为幅频失真。同样，由于放大电路对各次谐波的相对相位移不同也要引起输出波形失真，这称为相频失真。幅频失真和相频失真统称为频率失真。发生频率失真时，三极管仍工作在线性区，输出电压并不增加新的频率分量，所以又称为线性失真。

为了实现对信号进行不失真地放大，要求放大电路的通频带必须大于信号的频带，否则将发生频率失真。

思考题

2.5.1 多级放大电路由哪几部分组成？对各部分有何要求？

2.5.2 阻容耦合与直接耦合放大电路各有何特点？对它们的静态和动态应怎样分析？在对多级放大电路进行动态分析时，如何体现前后级之间的相互影响？

2.5.3 直接耦合放大电路中的零点漂移是什么？它是怎样产生的？如何抑制零点漂移？

2.5.4 有两个直接耦合放大电路，电压放大倍数分别为 10^3 和 10^5，当温度发生相同的变化时，两个放大电路的输出漂移电压都是 500 mV，能否说这两个放大电路的零点漂移指标一样大？如要放大 0.1 mV 的信号电压，应该采用哪个放大电路？为什么？

2.5.5 阻容耦合放大电路在高频和低频时电压放大倍数下降的原因是什么？

2.5.6 什么是频率失真？它与饱和失真和截止失真有何不同？

2.6 差分放大电路

由于差分放大电路能有效地抑制零点漂移，因此多级直接耦合放大电路(如运算放大器)中的输入级几乎无一例外地采用这种电路。

将两个电路结构、参数完全相同的单管共发射极放大电路组合在一起，就构成了典型的差分放大电路，如图2.6.1 所示。输入电压 u_{I1} 和 u_{I2} 分别加在两个三极管的基极，输出电压 u_O 等于两三极管集电极对地电压 u_{O1} 和 u_{O2} 之差。这种输入-输出方式称为双端输入-双端输出方式。

2.6.1 静态分析

图 2.6.1 中差分放大电路的直流通路如图 2.6.2 所示。由于电路结构对称，两边对应电流应相等，即 $I_{B1}=I_{B2}=I_B$，$I_{C1}=I_{C2}=I_C$，$I_{E1}=I_{E2}=I_E$。由三极管基极回路可列出

$$R_B\frac{I_E}{1+\beta}+U_{BE}+\frac{1}{2}R_P I_E+2R_E I_E=U_{EE}$$

一般$U_{EE}\gg U_{BE}$，$2R_E\gg\dfrac{R_B}{1+\beta}+\dfrac{1}{2}R_P$，所以

$$I_C\approx I_E=\frac{U_{EE}-U_{BE}}{\dfrac{R_B}{1+\beta}+\dfrac{1}{2}R_P+2R_E}\approx\frac{U_{EE}}{2R_E} \tag{2.6.1}$$

$$U_{O1}=U_{O2}=U_{CC}-R_C I_C \tag{2.6.2}$$

$$U_{CE}\approx U_{CC}+U_{EE}-\left(R_C+\frac{1}{2}R_P+2R_E\right)I_C \tag{2.6.3}$$

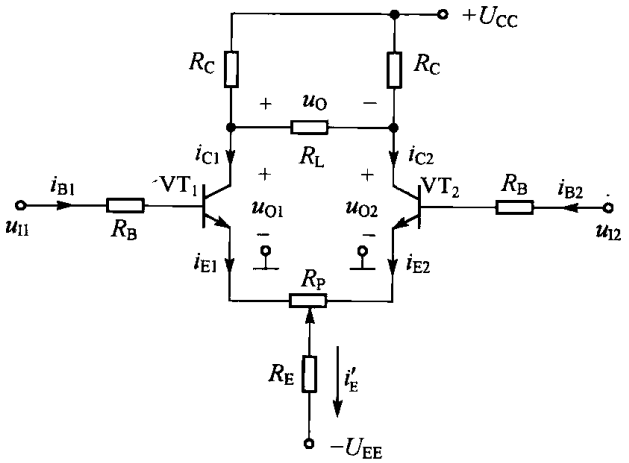


图 2.6.1　典型差分放大电路

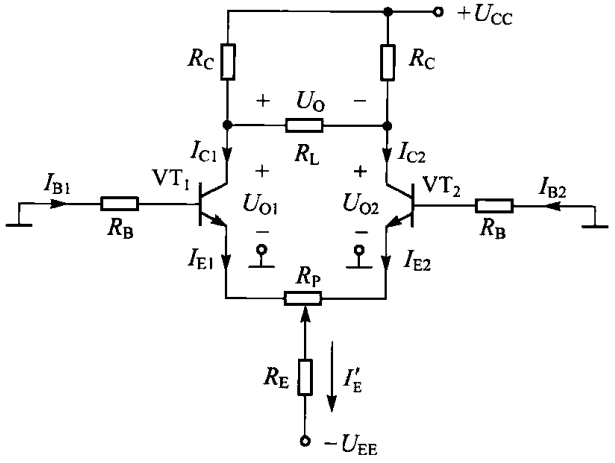


图 2.6.2　典型差分放大电路的直流通路

由于 $U_{O1}=U_{O2}$，所以输出电压 $U_O=U_{O1}-U_{O2}=0$。这样当温度发生变化时，虽然每个三极管的集电极对地电压 U_{O1} 和 U_{O2} 的大小会发生变化，但由于电路对称，且两个三极管处于同一环境下，U_{O1} 和 U_{O2} 的变化量必然大小相等，因此 U_O 仍然等于零，也就是说，输出电压随温度变化的零点漂移为零，该电路正是利用了电路结构上的对称性来抑制零点漂移。

实际中电路的结构不可能完全对称，这样输出电压中就仍然存在着零点漂移。为了从根本上抑制零点漂移，在电路中接入射极电阻 R_E，其作用和分压式射极偏置放大电路中射极电阻的作用相同，R_E 的直流负反馈作用能使每个三极管的静态工作点稳定，即减小了 U_{O1} 和 U_{O2} 本身的漂移量，这样即使电路不完全对称也能有效地抑制 U_O 中的零点漂移量。显然 R_E 的阻值越大，电路抑制零点漂移的能力就越强。但过大的电阻 R_E 会使三极管的集射极间电压 U_{CE} 减小，因而放大电路的动态范围减小，甚至于进入饱和区。为此，在电路中接入负电源 U_{EE} 以补偿 R_E 两端的直流压降，使电路获得合适的静态工作点。R_P 是调零电位器，它的阻值不大，一般在几十欧到几百欧之间。其作用是在电路不完全对称的情况下，通过调整它的滑动端位置使 $U_O=0$。

2.6.2　动态分析

动态时，两输入端电压 u_{I1} 和 u_{I2} 不再等于零，根据 u_{I1} 和 u_{I2} 之间的关系又可分为以下三种情况。

1．差模输入

如果两个输入信号电压 u_{I1} 和 u_{I2} 大小相等、极性相反，即 $u_{I1}=-u_{I2}$，这样的输入称为差模输入，用 u_{Id} 表示，即 $u_{Id}=u_{I1}-u_{I2}$。根据 u_{I1} 与 u_{I2} 的关系，显然有

$$u_{I1}=\frac{1}{2}u_{Id},\qquad u_{I2}=-\frac{1}{2}u_{Id}$$

根据电路的对称性可知，在差模信号作用下，$i_{E1}=i_{E2}$，$u_{O1d}=-u_{O2d}$。电阻 R_E 中电流的交流分量为 $i'_E=i_{E1}+i_{E2}=0$，所以调零电位器 R_P 的滑动端相当于交流接地。由此可以看出，R_E 对差模信号没有负反馈作用。由于两个三极管 VT_1 和 VT_2 的集电极对地输出电压的交流分量大小相等、极性相反，所以负载电阻 R_L 的中点相当于交流接地。输入差模信号时放大电路的交流等效电路如图 2.6.3 所示。

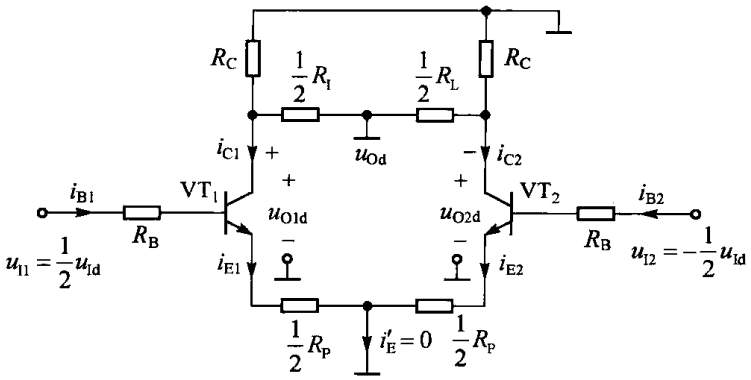


图 2.6.3 典型差分放大电路的差模交流通路

(1) 差模电压放大倍数

在差分放大电路中，把差模输出电压 u_{Od} 与差模输入电压 u_{Id} 之比定义为差模电压放大倍数，即

$$A_{ud}=\frac{u_{Od}}{u_{Id}} \tag{2.6.4}$$

双端输出时，差模电压放大倍数为

$$A_{ud}=\frac{u_{Od}}{u_{Id}}=\frac{u_{O1d}-u_{O2d}}{u_{I1}-u_{I2}}=\frac{u_{O1d}}{u_{I1}}=-\frac{\beta\left(R_C/\!/\frac{R_L}{2}\right)}{R_B+r_{be}+\frac{1}{2}(1+\beta)R_P} \tag{2.6.5}$$

式(2.6.5)表明，双端输出时的差模电压放大倍数与单管电压放大倍数相同。

输出信号也可以从每个三极管的集电极取出，即 R_L 接在 VT_1 或 VT_2 的集电极与地之间，这种输出方式称为单端输出。如果负载电压取自 VT_1 的集电极，则差模电压放大倍数为

$$A_{ud}=\frac{u_{O1d}}{u_{Id}}=\frac{1}{2}\frac{u_{O1d}}{u_{I1}}=-\frac{1}{2}\frac{\beta(R_C/\!/R_L)}{R_B+r_{be}+\frac{1}{2}(1+\beta)R_P} \tag{2.6.6}$$

式(2.6.5)的负号表明，输出电压与输入电压极性相反。输出电压也可以从 VT_2 的集电极输出，此时输出电压与输入差模电压 u_{Id} 同极性，式(2.6.6)中便没有负号。

(2) 差模输入电阻 r_{id} 和输出电阻 r_o

差分放大电路的差模输入电阻是指从差分放大电路两个输入端之间看进去的交流等效电阻。可由图2.6.3求得

$$r_{id}=\frac{u_{Id}}{i_{B1}}=\frac{2u_{I1}}{i_{B1}}=2\left[R_B+r_{be}+\frac{1}{2}(1+\beta)R_P\right] \tag{2.6.7}$$

双端输出时的输出电阻为

$$r_o = 2R_C \tag{2.6.8}$$

单端输出时的输出电阻为

$$r_o = R_C \tag{2.6.9}$$

2．共模输入

如果两个输入信号电压 u_{I1} 和 u_{I2} 大小相等、极性相同，即 $u_{I1} = u_{I2} = u_{Ic}$，这样的输入称为共模输入。在电路理想对称的条件下，电路两边的共模交流分量必定大小相等。因此有 $i_{E1} = i_{E2}$，$u_{O1c} = u_{O2c}$。在双端输出时，输出电压 $u_{Oc} = u_{O1c} - u_{O2c} = 0$，所以 R_L 中的电流等于零，可以把 R_L 看做开路。由于流过 R_E 中的共模交流电流 $i'_E = i_{E1} + i_{E2} = 2i_{E1}$，是每个三极管发射极电流的两倍。因此，在画共模交流通路时，为了使调零电位器滑动端对地的电位保持不变，接在每个三极管发射极的电阻应为 $2R_E$。根据以上分析，可画出共模输入时的交流通路如图2.6.4所示。

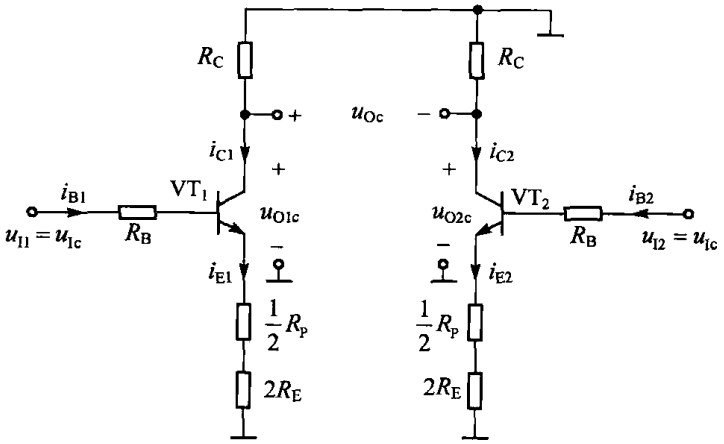


图 2.6.4　典型差分电路的共模交流通路

(1) 共模电压放大倍数

在差分放大电路中，把共模输出电压 u_{Oc} 与共模输入电压 u_{Ic} 之比定义为共模电压放大倍数，即

$$A_{uc} = \frac{u_{Oc}}{u_{Ic}} \tag{2.6.10}$$

双端输出时，在电路理想对称的条件下，$u_{Oc} = 0$。所以

$$A_{uc} = 0 \tag{2.6.11}$$

如果采用单端输出方式，即负载电阻 R_L 接在 VT_1 或 VT_2 的集电极与地之间，则共模输出电压不再为零，共模电压放大倍数为

$$A_{uc} = \frac{u_{O1c}}{u_{Ic}} = -\frac{\beta(R_C // R_L)}{R_B + r_{be} + \frac{1}{2}(1+\beta)R_P + 2(1+\beta)R_E} \tag{2.6.12}$$

一般情况下，$2(1+\beta)R_E \gg R_B + r_{be} + \frac{1}{2}(1+\beta)R_P$，$1+\beta \approx \beta$，式(2.6.12)可近似为

$$A_{uc} \approx -\frac{R_C // R_L}{2R_E} \tag{2.6.13}$$

由以上分析可以看出，R_E 对差模信号不起作用，差模电压放大倍数不受其影响，而 R_E 对共模信号具有很强的抑制作用。在单端输出时，虽然无法利用电路的对称性来减小共模输出电压，但只要 R_E 取得足够大，也能使共模电压放大倍数非常小。

(2) 共模抑制比 K_{CMRR}

在实际中，差分放大电路的差模输入信号是需要放大的有用信号，而共模输入信号往往是信号在传输过程中因电磁感应而产生的干扰信号，或者是电路输出端的零点漂移折算到输入端的等效信号，是需要抑制的有害信号。所以对差分放大电路，要求其差模电压放大倍数大，而共模电压放大倍数小。为了衡量差分放大电路性能的好坏，引入共模抑制比的概念。共模抑制比定义为差模电压放大倍数与共模电压放大倍数之比，常用分贝(dB)作为它的单位，即

$$K_{CMRR} = 20\lg\left|\frac{A_{ud}}{A_{uc}}\right| \quad (\text{dB}) \tag{2.6.14}$$

双端输出时，理论上 $K_{CMRR} \to \infty$。单端输出时，只要 R_E 足够大，也能使 K_{CMRR} 达到很大的数值。实际中，一般差分放大电路的 K_{CMRR} 约为 60 dB，高质量的差分放大电路，其 K_{CMRR} 可达 120 dB。

3. 任意输入

如果差分放大电路两端的输入信号电压 u_{I1} 和 u_{I2} 既非差模信号又非共模信号，其大小和极性是任意的，那么这样的输入称为任意输入。这种既非差模又非共模的任意输入信号可以写成如下形式：

$$\begin{cases} u_{I1} = \dfrac{u_{I1}-u_{I2}}{2} + \dfrac{u_{I1}+u_{I2}}{2} = \dfrac{u_{Id}}{2} + u_{Ic} \\ u_{I2} = -\dfrac{u_{I1}-u_{I2}}{2} + \dfrac{u_{I1}+u_{I2}}{2} = -\dfrac{u_{Id}}{2} + u_{Ic} \end{cases} \tag{2.6.15}$$

式(2.6.15)表明，任意输入信号 u_{I1} 和 u_{I2} 可分解为差模分量 u_{Id} 和共模分量 u_{Ic}。u_{Id} 和 u_{Ic} 的大小为

$$\begin{cases} u_{Id} = u_{I1} - u_{I2} \\ u_{Ic} = \dfrac{u_{I1}+u_{I2}}{2} \end{cases} \tag{2.6.16}$$

求出 u_{Id} 和 u_{Ic} 后，就可引用前面对差模输入和共模输入的分析结果求出输出电压中的差模分量和共模分量。然后根据叠加原理，就可求出任意输入信号作用下的输出电压为

$$u_O = A_{ud}u_{Id} + A_{uc}u_{Ic} \tag{2.6.17}$$

在理想情况下，$A_{uc} \to 0$，所以

$$u_O = A_{ud}u_{Id} = A_{ud}(u_{I1} - u_{I2}) \tag{2.6.18}$$

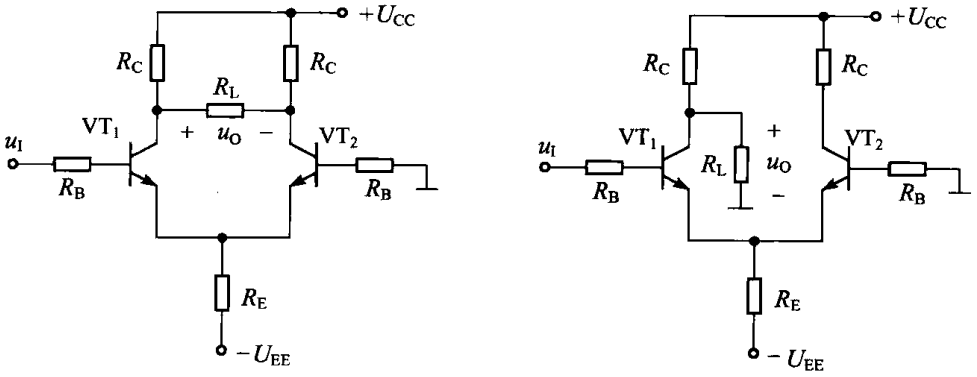
式(2.6.18)表明，差分放大电路的输出电压只与输入电压中的差模分量有关，而信号中的共模分量不会影响输出。所以，差分电路能有效地抑制共模干扰信号。

2.6.3 单端输入的差分放大电路

前面详细讨论了双端输入-双端输出和双端输入-单端输出差分放大电路的特点及其性能参数的计算方法。事实上，差分放大电路还有单端输入-双端输出和单端输入-单端输出两种形式，如图2.6.5所示。

可以把单端输入方式看成是任意输入方式的一个特例，认为 VT_1 的输入电压 $u_{I1} = u_I$，而 VT_2 的输入

电压$u_{I2}=0$。这两个任意输入电压可分解为差模分量$u_{Id}=u_{I1}-u_{I2}=u_I$和共模分量$u_{Ic}=\dfrac{u_{I1}+u_{I2}}{2}=\dfrac{u_I}{2}$。因此，单端输入电压$u_I$可以等效地看成是在两输入端加有大小为$u_I/2$的共模输入电压和大小为$u_I$的差模输入电压。当电路中射极电阻 R_E 的数值足够大时，$A_{uc}\approx 0$，电路对共模分量没有放大作用，被放大的只是差模分量$u_{Id}=u_I$。这时单端输入与双端差模输入完全等效，两者的区别仅在于单端输入时还有共模分量存在而已。单端输入-双端输出差分放大电路性能指标的计算与双端输入-双端输出差分放大电路相同，单端输入-单端输出差分放大电路性能指标的计算与双端输入-单端输出差分放大电路相同。



(a) 单端输入-双端输出方式　　(b) 单端输入-单端输出方式

图 2.6.5　差分放大电路的单端输入方式

例 2.6.1　在图2.6.6所示的双端输入-单端输出差分放大电路中，R_C = 10 kΩ，R_B = 1 kΩ，R_E = 10 kΩ，$U_{CC}=U_{EE}=12$ V，三极管的$\beta=50$，$R_L=20$ kΩ，$u_{I1}=10$ mV，$u_{I2}=6$ mV，试求

① 静态工作点；

② 差模电压放大倍数A_{ud}、差模输入电阻r_{id}和输出电阻r_o；

③ 共模电压放大倍数A_{uc}和共模抑制比K_{CMRR}；

④ 电路在u_{I1}和u_{I2}作用下的输出电压u_O。

解：① 由图 2.6.1 可得基极静态电流为

$$I_B=I_{B1}=I_{B2}=\frac{U_{EE}-U_{BE1}}{R_B+2(1+\beta)R_E}$$

$$=\frac{12-0.7}{1+2\times 51\times 10}\approx 0.011\text{ mA}$$

集电极电流为

$$I_C=I_{C1}=I_{C2}=\beta I_{B1}=50\times 0.011=0.55\text{ mA}$$

设VT_1的集电极静态电位为U_{C1}，由图2.6.6可列出

$$U_{C1}=U_{CC}-R_C\left(I_C+\frac{U_{C1}}{R_L}\right)$$

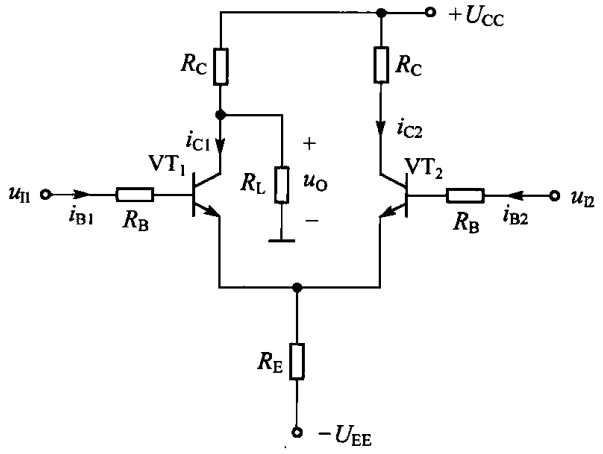


图 2.6.6　例 2.6.1 的图

由上式可解得

$$U_{C1}=\frac{U_{CC}-R_CI_C}{1+\dfrac{R_C}{R_L}}=\frac{12-10\times 0.55}{1+\dfrac{10}{20}}\approx 4.33\text{ V}$$

所以

$$U_{CE1} \approx U_{CC} + U_{EE} - R_C\left(I_C + \frac{U_{C1}}{R_L}\right) - 2R_E I_C$$
$$= 12 + 12 - 10 \times (0.55 + \frac{4.33}{20}) - 2 \times 10 \times 0.55$$
$$\approx 5.34\ \text{V}$$

$$U_{CE2} \approx U_{CC} + U_{EE} - R_C I_C - 2R_E I_C$$
$$= 12 + 12 - 10 \times 0.55 - 2 \times 10 \times 0.55$$
$$= 7.5\ \text{V}$$

三极管输入电阻为

$$r_{be} \approx 200 + (1+\beta)\frac{26}{I_C} = 200 + (1+50)\frac{26}{0.55} = 2.61\ \text{k}\Omega$$

② 由式(2.6.6)、式(2.6.8)和式(2.6.9)可得

$$A_{ud} = \frac{u_{Od}}{u_{Id}} = -\frac{1}{2}\frac{\beta(R_C // R_L)}{R_B + r_{be}} = -\frac{1}{2} \times \frac{50 \times (10 // 20)}{1 + 2.61} \approx -46.2$$

$$r_{id} = 2(R_B + r_{be}) = 2 \times (1 + 2.61) = 7.22\ \text{k}\Omega$$

$$r_o = R_C = 10\ \text{k}\Omega$$

③ 由式(2.6.12)和式(2.6.14)可得

$$A_{uc} = \frac{u_{Oc}}{u_{Ic}} = -\frac{\beta(R_C // R_L)}{R_B + r_{be} + 2(1+\beta)R_E}$$
$$\approx -\frac{R_C // R_L}{2R_E} = -\frac{10 // 20}{2 \times 10} = -0.33$$

$$K_{CMRR} = 20\lg\left|\frac{A_{ud}}{A_{uc}}\right| = 20\lg\left|\frac{-46.2}{-0.33}\right| \approx 43\ \text{dB}$$

④ 将任意输入电压 $u_{I1} = 10\ \text{mV}$ 和 $u_{I2} = 6\ \text{mV}$ 分解为差模分量和共模分量，有

$$u_{Id} = u_{I1} - u_{I2} = 10 - 6 = 4\ \text{mV}$$

$$u_{Ic} = \frac{u_{I1} + u_{I2}}{2} = \frac{10 + 6}{2} = 8\ \text{mV}$$

输出电压为

$$u_O = A_{ud}u_{Id} + A_{uc}u_{Ic} = -46.2 \times 4 + (-0.33) \times 8 = -187.44\ \text{mV}$$

如果认为 $A_{uc} \approx 0$，则

$$u_O = A_{ud}u_{Id} = -46.2 \times 4 = -184.8\ \text{mV}$$

可见，输出电压主要是由差模分量引起的，共模分量引起的输出电压很小。

思考题

2.6.1 什么是差模信号？什么是共模信号？差分放大电路中的射极电阻 R_E 对这两种信号是否都具有抑制作用？

2.6.2 双端输出的差分放大电路靠什么抑制零点漂移？单端输出的差分放大电路又靠什么抑制零点漂移？

2.6.3　怎样把任意输入信号分解为差模分量和共模分量?

2.6.4　差分放大电路有哪几种输入-输出方式? 它们的静态参数和动态参数的计算方法有何异同?

2.7　互补对称功率放大电路

功率放大电路的作用是将经过前置电压放大级放大后的电压信号再进行功率放大，以便驱动如扬声器、继电器、指示仪表等需要一定功率的负载。目前常用的功率放大电路主要有双电源互补对称功率放大电路和单电源互补对称功率放大电路两种。双电源互补对称功率放大电路又称为无输出电容(Output Capacitor Less，OCL)功放电路，单电源互补对称功率放大电路又称为无输出变压器(Output Transformer Less, OTL)功放电路。

2.7.1　功率放大电路的特点

从能量转换的观点来看，电压放大电路和功率放大电路并无本质的区别，只是研究问题的侧重点不同而已。电压放大电路的目的是将信号电压进行不失真地放大，要有足够大的输出电压，而功率放大电路要求输出大的功率，前者工作在小信号状态下，而后者则工作在大信号状态下。

1．对功率放大电路的要求

对功率放大电路的要求主要有以下三个方面。

(1) 输出功率 P_o 尽可能大

功率放大电路的首要任务是给负载提供足够大的功率。为此，功率放大电路的输出电压和电流一般都比较大，三极管往往工作在接近于极限状态下。因此，保证三极管安全工作就成为功率放大电路的重要问题，一般应为三极管加装散热器。

(2) 效率 η 要高

在功率放大电路中，直流电源发出的功率除了一部分转换为有用的输出功率外，其余部分将主要转换为三极管的损耗。如果功率放大电路的效率不高，不仅会造成能源的浪费，而且三极管消耗的能量会使其温度升高，这将直接威胁到功率放大电路的安全运行。因此，应设法提高功率放大电路的效率。

(3) 非线性失真要小

功率放大电路中的三极管处于大信号工作状态下，所以不可避免地会产生非线性失真，而且输出功率越大，非线性失真越严重。因此，在输出大功率时，应将非线性失真限制在允许的范围之内。

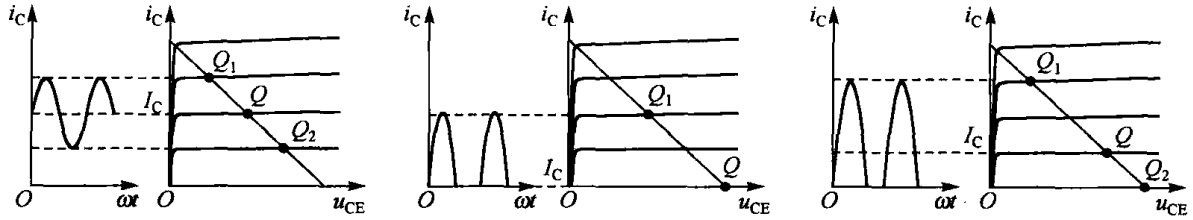
由于工作在大信号状态下，所以对功率放大电路的性能指标不能再用微变等效电路进行分析计算，而要用图解分析法。

2．提高功率放大电路效率的途径

在电压放大电路中，静态工作点的位置通常设置在放大区。当有交流信号输入时，动态工作点始终处于放大区，故在整个信号周期内三极管都导通，三极管的导通角等于360°。放大电路的这种工作状态称为甲类工作状态，如图 2.7.1(a)所示。在甲类放大电路中，无论有无输入信号，直流电源供给的功率总是不变的。在无输入信号时，直流电源功率将全部消耗在三极管和放大电路内的电阻上。有输入信号时，直流电源功率的一部分将转换为有用的输出功率，输入信号幅度越大，输出功率也越大。

要想提高放大电路的效率，不仅要通过增大放大电路的动态工作范围来增加输出功率，同时要

设法减小直流电源供给的功率，也就是要减小静态电流 I_C，即把静态工作点的位置下移，如图2.7.1(b)或(c)所示。由于静态电流减小，当输入信号为零时，直流电源提供的功率将减小甚至为零。当有输入信号时，直流电源才输出功率，且随着输入信号幅度的增大，直流电源功率也在随之增大。因此不难想到，此时电路的效率将会有所提高。在图2.7.1(b)中，静态工作点设置在截止区，$I_C \approx 0$，三极管只在半个信号周期内导通，三极管的导通角等于180°，放大电路的这种工作状态称为乙类工作状态。在图2.7.1(c)中，静态工作点设置在靠近截止区，三极管在半个信号周期以上都处于导通状态，三极管的导通角大于180°而小于360°，放大电路的这种工作状态称为甲乙类工作状态。当三极管处于乙类或甲乙类工作状态时，将出现严重的非线性失真，这是不允许的。为了解决提高效率与非线性失真之间的矛盾，实际中常采用互补对称功率放大电路，它的效率较高，又能消除非线性失真。



(a) 甲类工作状态　(b) 乙类工作状态　(c) 甲乙类工作状态

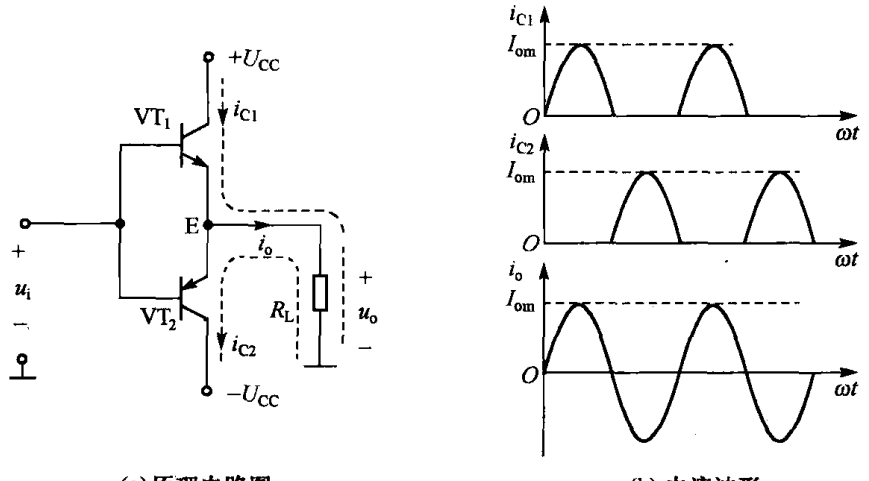
图 2.7.1　放大电路的工作状态

2.7.2　双电源互补对称功率放大电路(OCL 电路)

1．电路组成及工作原理

双电源互补对称功率放大电路如图2.7.2(a)所示，由一个 NPN 型三极管 VT_1 和一个 PNP 型三极管 VT_2 组成。两个三极管的基极连在一起作为输入端，发射极连在一起作为输出端，因此该放大电路是由两个射极输出器组合而成的。电路中正、负电源大小相等，VT_1 和 VT_2 的类型不同而特性相同，故有互补对称之称。

静态时，由于没有基极偏流，故 VT_1 和 VT_2 均处于截止状态，$I_{C1} = I_{C2} = 0$，射极电位 $U_E = 0$。在输入信号 u_i 的正半周，基极电位为正，故 VT_2 截止，VT_1 导通。正电源通过 VT_1 向负载 R_L 提供电流，$i_o = i_{C1}$。在输入信号 u_i 的负半周，基极电位为负，故 VT_1 截止，VT_2 导通。负电源通过 VT_2 向负载提供电流，$i_o = -i_{C2}$。所以，虽然每个三极管只工作半个周期，但负载 R_L 上得到的却是完整的正弦交流电流。由于每个三极管只工作半个周期，所以是乙类工作状态。



(a) 原理电路图　(b) 电流波形

图 2.7.2　乙类双电源互补对称功率放大电路

2．主要性能指标计算

(1) 输出功率 P_o

输出功率是输出电压有效值与输出电流有效值的乘积。设输出电压的幅值为 U_{om}，输出电流的幅值为 I_{om}，则输出功率 P_o 为

$$P_o = \frac{U_{om}}{\sqrt{2}}\frac{I_{om}}{\sqrt{2}} = \frac{U_{om}I_{om}}{2} = \frac{U_{om}^2}{2R_L} \tag{2.7.1}$$

设三极管的饱和压降为 U_{CES}，在输入电压 u_i 的幅度足够大的情况下，输出电压 u_o 的幅值最大等于 $U_{CC}-U_{CES}$，故最大输出功率为

$$P_{omax} = \frac{(U_{CC}-U_{CES})^2}{2R_L} \tag{2.7.2}$$

(2) 直流电源供给的功率 P_E

由图 2.7.2(b) 可知，两个直流电源都只工作半个周期，其输出电流的幅值与负载电流的幅值 I_{om} 相等，因此，两个直流电源供给的功率为

$$P_E = 2\cdot\frac{1}{2\pi}\int_0^{\pi} U_{CC}i_{C1}\mathrm{d}\omega t = \frac{U_{CC}}{\pi}\int_0^{\pi}\frac{U_{om}}{R_L}\sin\omega t\mathrm{d}\omega t = \frac{2U_{CC}U_{om}}{\pi R_L} \tag{2.7.3}$$

当 $U_{om}=U_{CC}-U_{CES}$ 时，直流电源供给的功率也最大，其值为

$$P_{Emax} = \frac{2U_{CC}(U_{CC}-U_{CES})}{\pi R_L} \tag{2.7.4}$$

(3) 效率 η

由式(2.7.1)和式(2.7.3)可得

$$\eta = \frac{P_o}{P_E} = \frac{\pi}{4}\frac{U_{om}}{U_{CC}} \tag{2.7.5}$$

由式(2.7.5)可见，能量转换的效率与输出电压大小有关，当输入信号足够大时，$U_{om}=U_{CC}-U_{CES}$，此时能量转换的效率也最大，即

$$\eta_{max} = \frac{\pi}{4}\frac{U_{CC}-U_{CES}}{U_{CC}} \tag{2.7.6}$$

在理想条件下，忽略三极管的饱和压降 U_{CES}，则

$$\eta_{max} \approx \frac{\pi}{4} = 78.5\%$$

实际上，一般大功率管的 U_{CES} 约为 2～3 V，故乙类功率放大电路的最大效率比 78.5%小。

3．交越失真

在图 2.7.2 所示的乙类功率放大电路中，由于没有静态偏置电压，当 u_i 的绝对值小于三极管的死区电压 $|U_T|$ 时，VT_1 和 VT_2 实际上都处于截止状态，故三极管的集电极电流 i_{C1} 和 i_{C2} 的波形并不是半个正弦波，因而输出电压 u_o 也非正弦波，在过零前后 u_o 的波形发生了明显的失真，如图 2.7.3 所示，称其为交越失真。

为了克服交越失真，通常给功率管 VT_1 和 VT_2 提供一定的直流偏置，使它们工作在甲乙类状态，如图2.7.4(a)所示，称为甲乙类互补对称功率放大电路。在 VT_1 和 VT_2 的基极之间接入二极管 VD_1 和 VD_2，利用 VD_1 和 VD_2 的直流压降分别为 VT_1 和 VT_2 的发射结提供一定的正向偏压，使 VT_1 和 VT_2 在静态时处于微导通状态。当有输入信号时，因二极管 VD_1 和 VD_2 的动态电阻很小，可以认为 VT_1 和 VT_2 的基极交流电位都等于 u_i。在 u_i 过零附近，VT_1 和 VT_2 将同时导通，但其中一个三极管的集电极电流随着 u_i 的变化在增加，而另一个三极管的集电极电流却随着 u_i 的变化在减小。例如，在 u_i 过零后并不断增加时，由于 $u_i>0$，VT_1 的发射结电压在静态偏置的基础上不断增大，所以 VT_1 的集电极电流随 u_i 的增加不断增大，而 VT_2 的发射结电压却在静态偏置的基础上不断减小，直至反偏，因此 VT_2 的集电极电流将随着 u_i 的增加在不断减小，直至为零。i_{C1} 和 i_{C2} 的波形将略大于半个周期，如图2.7.4(b)所示。负载电流 i_o 为 i_{C1} 与 i_{C2} 之差，其波形接近于正弦波，从而克服了交越失真。

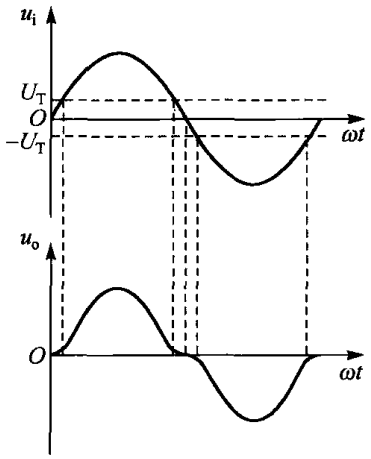


图 2.7.3 乙类放大的交越失真

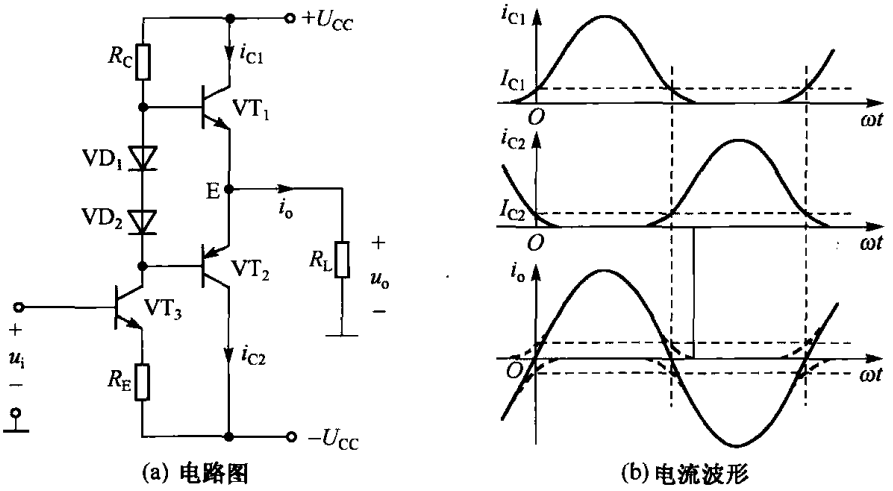


图 2.7.4 甲乙类双电源互补对称功率放大电路

2.7.3 单电源互补对称功率放大电路(OTL 电路)

双电源互补对称功率放大电路因无耦合电容，因而低频响应好，便于集成，但需要两个独立的直流电源供电，使用起来不方便。在无双电源供电的情况下，常采用如图 2.7.5 所示的单电源互补对称功率放大电路，该电路利用电容 C_L 两端的直流电压代替了双电源互补对称功率放大电路中的负电源。

静态时，通过调整前置放大级 VT_3 的静态工作点使 VT_1，VT_2 的发射极 E 点电位 U_E 等于 $U_{CC}/2$，所以电容 C_L 两端的电压也等于 $U_{CC}/2$。当有输入信号电压时，在 u_i 的负半周，VT_3 的集电极电位在静态基础上增大，VT_1 导通，VT_2 截止，电源通过 VT_1 向负载供电，并同时向电容 C_L 充电；在 u_i 的正半周，VT_3 的集电极电位在静态基础上减小，VT_1 截止，VT_2 导通，电容 C_L 通过 VT_2 向负载供电，所以电容 C_L 上的直流电压相当于 VT_2 的工作电源。如果电容 C_L 的值取得足够大，其充放电时间常数 R_LC_L 远大于信号周期，可以近似认为在信号变化过程中，电容两端的电压基本保持不变。

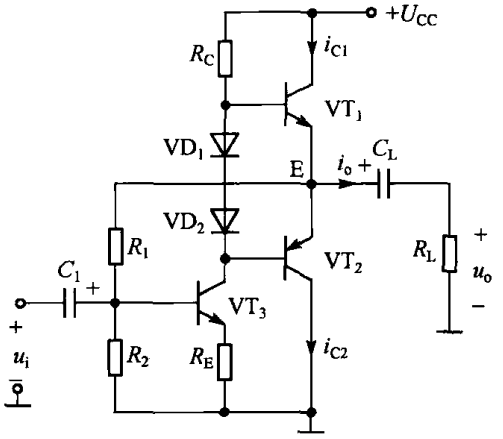


图 2.7.5 甲乙类单电源互补对称功率放大电路

在单电源互补对称功率放大电路中，每个三极管的工作电压只有 $U_{CC}/2$，所以只要把双电源互补对称功率放大电路中 P_o，P_E 和 η 的计算公式中的 U_{CC} 换成 $U_{CC}/2$，就可以得到单电源互补对称功放电路中相应参数的计算公式。

思考题

2.7.1　功率放大电路与电压放大电路的区别是什么？能否用微变等效电路法分析功率放大电路？

2.7.2　什么是放大电路的甲类、乙类和甲乙类工作状态？它们各有何特点？什么是交越失真？如何克服交越失真？

2.7.3　如何计算 OCL 和 OTL 功率放大电路的输出功率、最大输出功率、效率和最大效率？

2.7.4　在图2.7.4中，如果二极管 VD_1 和 VD_2 所在支路断开，会产生什么后果？

2.8　PSpice 例题分析

例 2.8.1　设图 2.2.3 所示共发射极基本放大电路的参数如下：$R_B = 1\ M\Omega$，$R_C = 3\ k\Omega$，$R_L = 3\ k\Omega$，$C_1 = 10\ \mu F$，$C_2 = 10\ \mu F$，$U_{CC} = 12\ V$，$U_{im} = 10\ mV$，三极管型号为 Q2N2222。用 PSpice 程序分析电路的静态工作点和中频电压放大倍数；当 R_B 分别为 2 MΩ和 500 kΩ时，仿真输出电压波形的失真情况。

解：调用 OrCAD9.1/Capture CIS 软件绘制图 2.2.3 的 PSpice 仿真电路，如图2.8.1所示。

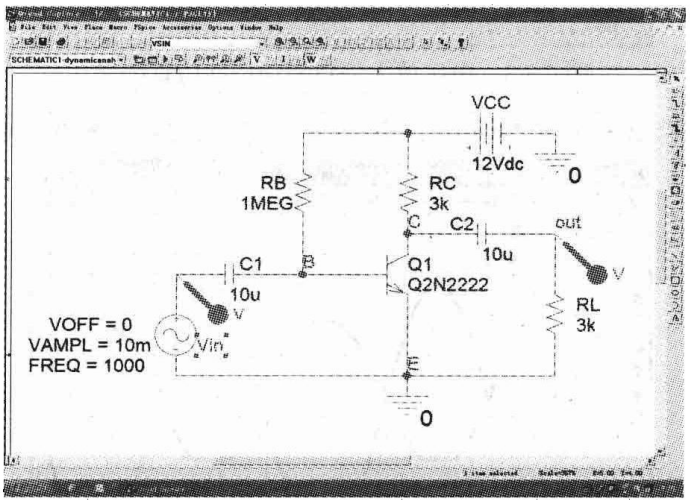


图 2.8.1　例 2.8.1 的 PSpice 仿真电路

应采用交流小信号频率特性分析(AC Sweep)功能分析放大电路的中频电压放大倍数。静态工作点的分析既可以用直流工作点分析(Bias Point Detail)功能分析，也可以在进行交流小信号分析前由 PSpice 自动进行直流静态分析。仿真参变量频率 f 的参数设置如图2.8.2所示。

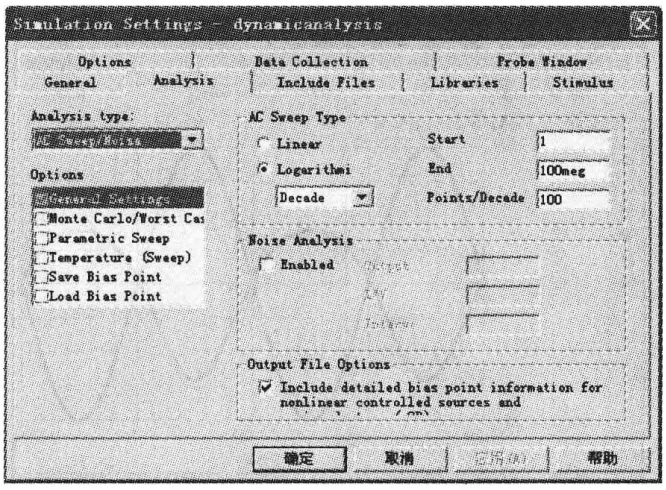


图 2.8.2　AC Sweep 仿真变量频率参数设置窗口

静态工作点的仿真结果为：$I_B = 11.3\ \mu A$，$I_C = 1.9\ mA$，$U_{BE} = 0.66\ V$，$U_{CE} = 6.3\ V$；电压放大倍数的幅频特性仿真结果如图 2.8.3 所示。可以看出，中频电压放大倍数$|A_u| \approx 105.2$，下截止频率$f_L \approx 7.3\ Hz$，上截止频率$f_H \approx 17.4\ MHz$。

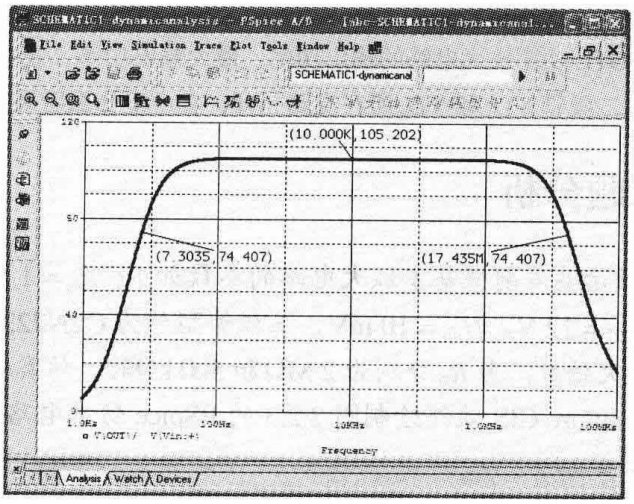


图 2.8.3 电压放大倍数幅频特性仿真结果

当 R_B 为 500 kΩ时，输出电压波形如图2.8.4所示，显然这时电路发生了饱和失真。

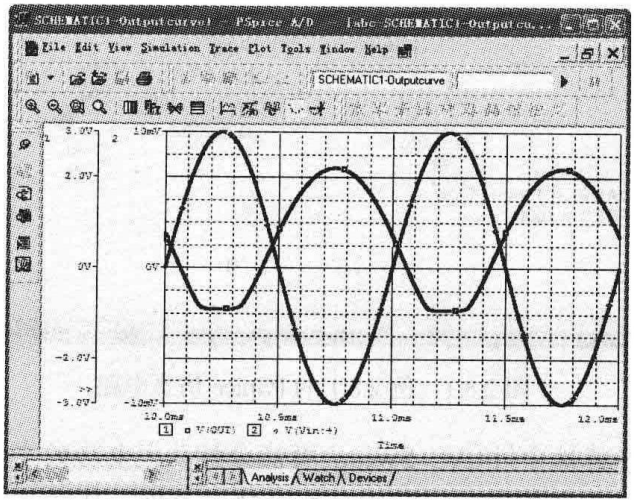


图 2.8.4 输出电压饱和失真仿真波形

当 R_B 为 2 MΩ时，输出电压波形如图2.8.5所示，显然这时电路发生了截止失真。

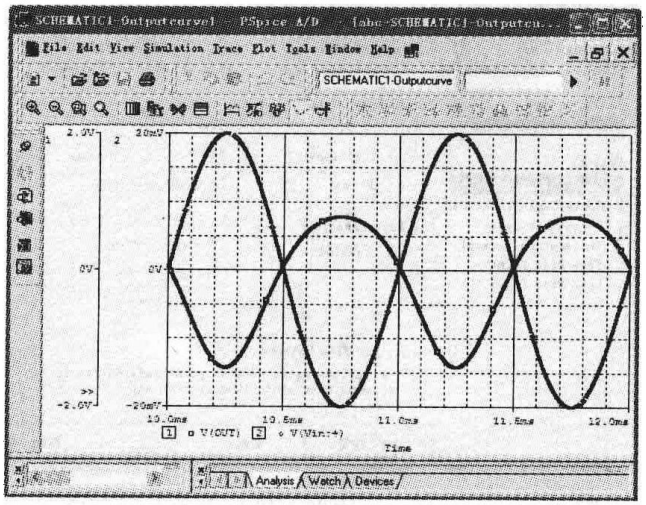


图 2.8.5 输出电压截止失真仿真波形

本章小结

1．为了对信号进行不失真地放大，必须对放大电路设置合适的静态工作点，以使三极管工作于放大状态。如果静态工作点设置的过高或过低，将有可能引起输出信号发生饱和失真或截止失真。

2．放大电路的分析包括静态和动态两个方面。静态分析可以采用图解法和估算法，动态分析可以采用图解法和微变等效电路法。图解法形象、直观地反映了电路参数对静态工作点的影响以及非线性失真与静态工作点的关系。但是，图解法作图麻烦费时，无法用来分析放大电路的某些动态指标，如输入电阻、输出电阻；对于较复杂的反馈放大电路，也无法用图解法分析。所以，一般用图解法分析放大电路处于大信号工作状态下的非线性失真和动态工作范围。直流估算法和交流微变等效电路法采用电路分析的方法对放大电路的直流和交流小信号工作状态进行分析，理论上适用于分析任何简单的或复杂的放大电路，是分析放大电路的主要方法。用微变等效电路法分析放大电路的动态性能指标简单方便，其缺陷是不能分析大信号状态下的放大电路。

3．三极管的参数易受温度影响，当环境温度变化时会引起静态工作点的改变，所以在实际中常采用具有稳定静态工作点作用的分压式射极偏置放大电路。

4．在低频电子线路中，放大电路常采用共发射极和共集电极两种形式。共发射极放大电路的电压放大倍数大，但输入电阻小，输出电阻大。共集电极放大电路的输入电阻大，输出电阻小，但没有电压放大能力。在实际电路中，常将这两种电路组合应用，以发挥它们各自的优势。共基极放大电路的特点是输入电阻小，三极管结电容对电压放大倍数的影响较小，因而有较好的频率特性，所以主要用于高频放大电路。

5．场效应管放大电路的静态偏置电路有自偏压式和分压式两种。其微变等效模型为一个电压控制的电流源。对场效应管放大电路的动态分析仍以微变等效电路法为主。

6．多级放大电路的级间耦合方式有直接耦合、阻容耦合和变压器耦合三种形式。变压器耦合方式目前已很少采用，直接耦合方式各级静态工作点互相有影响，存在零点漂移现象，阻容耦合方式各级静态工作点互相没有影响。多级放大电路总的电压放大倍数是各级电压放大倍数之积，但计算时要考虑后级对前级的负载效应。

7．差分放大电路能有效地抑制零点漂移。利用射极电阻 R_E 对共模信号的负反馈作用可以使每个三极管本身的零点漂移减小。在集成运放电路中几乎无一例外地采用了差分放大电路。

8．功率放大电路应在允许的失真条件下获得尽可能大的输出功率和尽可能高的效率。由两个工作在乙类的射极输出器组成的双电源互补对称功率放大电路，由于电路的效率高，便于集成，因而得到了广泛的应用。为了克服交越失真，应使三极管工作于甲乙类状态。

习题 2

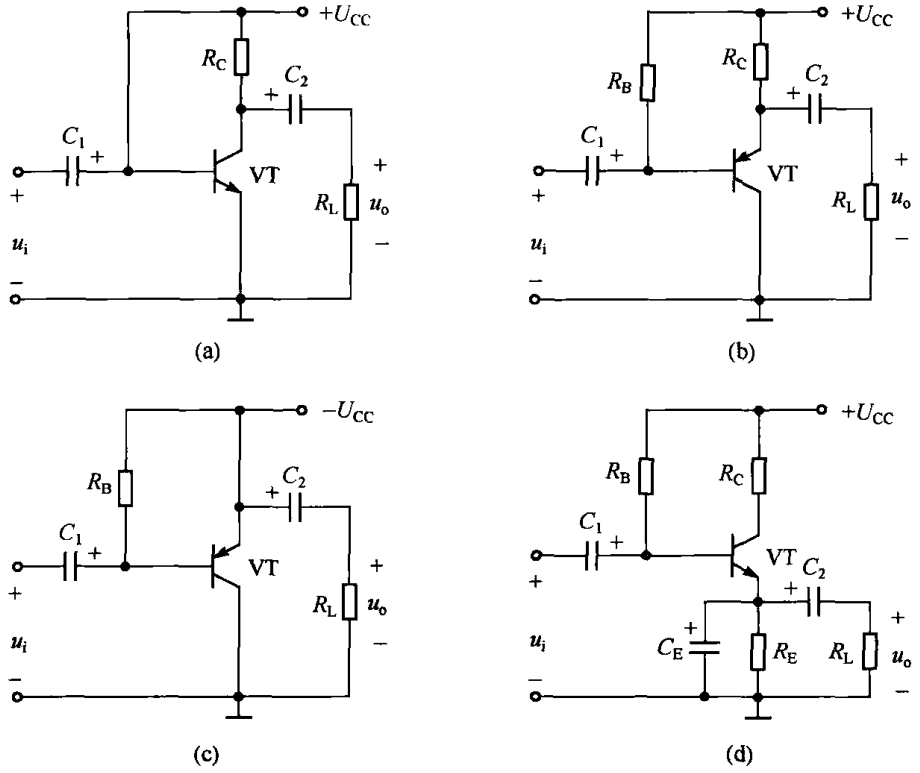
2.1　在放大电路与信号源之间接有电阻 $R = 1\ \text{k}\Omega$，测得信号源输出电压的有效值为 $U_s = 30\ \text{mV}$，放大电路输入电压的有效值为 $U_i = 20\ \text{mV}$，试求该放大电路的输入电阻。

2.2　测得某交流放大电路输出端开路电压的有效值为 $U_\infty = 4\ \text{V}$，当接上负载电阻 $R_L = 6\ \text{k}\Omega$ 时，输出电压的有效值下降为 $U_o = 3\ \text{V}$，试求该放大电路的输出电阻。

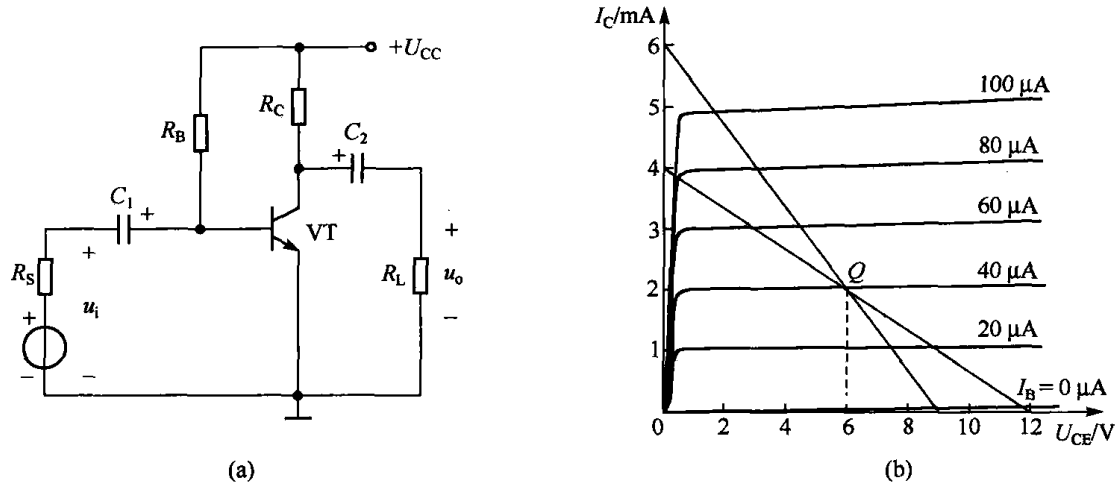
2.3　试判断题 2.3 图中各电路能否正常地放大交流信号？如不能，请说明理由并予以改正。

2.4　共射放大电路如题 2.4 图(a)所示，该电路的交、直流负载线如题 2.4 图(b)中所示，试求：

(1) 电源电压 U_{CC}，静态电流 I_{BQ}，I_{CQ} 和管压降 U_{CEQ} 的值；(2) 电阻 R_B 和 R_C 的值；(3) 最大不失真输出电压的幅值；(4) 为使该电路能不失真地放大信号，基极正弦电流的幅值是多少?



题 2.3 图



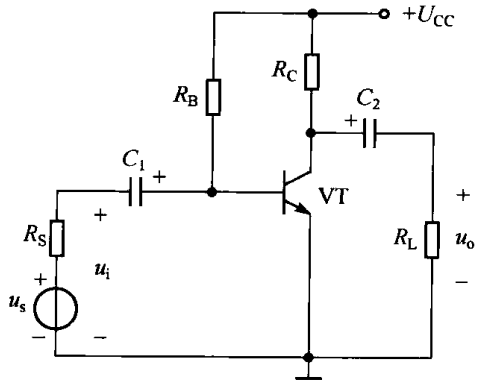
题 2.4 图

2.5 共射放大电路如题 2.5 图所示，已知 $U_{CC}=12\ \text{V}$，$R_B=200\ \text{k}\Omega$，$R_C=3\ \text{k}\Omega$；三极管 $\beta=40$，$U_{BE}=0.6\ \text{V}$。(1) 估算该放大电路的静态工作点；(2) 如果要使静态时 $U_{CE}=9\ \text{V}$，则 R_B 应取多大? (3) 如果要使静态时 $I_C=1.5\ \text{mA}$，则 R_B 应取多大? I_C 能达到 15 mA 吗? (4) 如果把 R_C 由 3 kΩ 换为 3.9 kΩ，试定性说明此时静态值 I_B，I_C 和 U_{CE} 将如何变化?

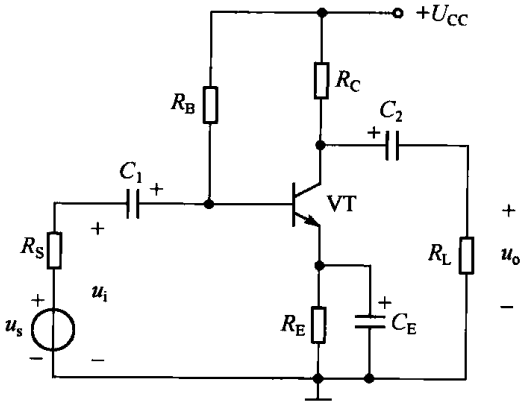
2.6 在题 2.5 中，如果负载电阻 $R_L=3\ \text{k}\Omega$，信号源内阻 $R_S=1\ \text{k}\Omega$。(1) 画出放大电路的微变等效电路；(2) 计算电压放大倍数和源电压放大倍数；(3) 计算输入电阻和输出电阻；(4) 把静态 I_C 值调到 1.5 mA 时，对电路的电压放大倍数有何影响?

2.7 放大电路如题 2.7 图所示，已知 $R_B=510\ \text{k}\Omega$，$R_E=1\ \text{k}\Omega$，$R_C=R_L=3\ \text{k}\Omega$，$\beta=50$，$U_{CC}=24\ \text{V}$。

(1) 在输出电压基本不失真的条件下，输入电压的最大幅值为多大？(2) R_B 应调节到多大，才能使不失真输出电压最大？设三极管的饱和压降 $U_{CES}=0.3$ V。

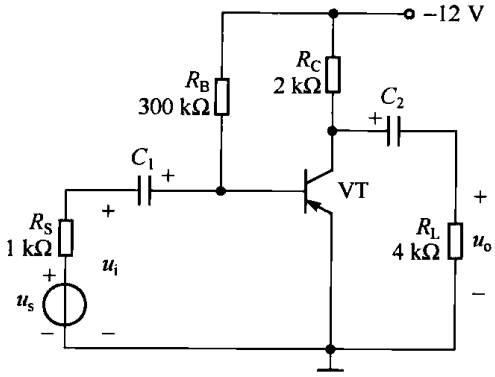


题 2.5 图

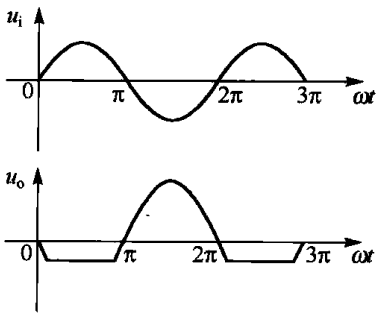


题 2.7 图

2.8　放大电路如题 2.8 图(a)所示，已知三极管的 $\beta=100$，$U_{BE}=-0.7$ V。(1) 估算该放大电路的静态工作点；(2) 画出放大电路的微变等效电路；(3) 求该电路的电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o；(4) 如果输出电压出现如题 2.8 图(b)所示的失真现象，请问这是截止失真还是饱和失真？应如何消除此失真。



(a)

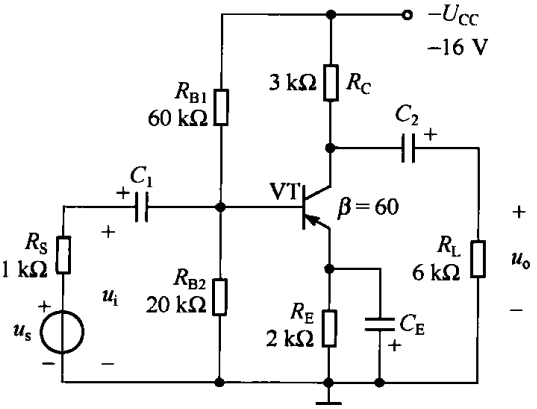


(b)

题 2.8 图

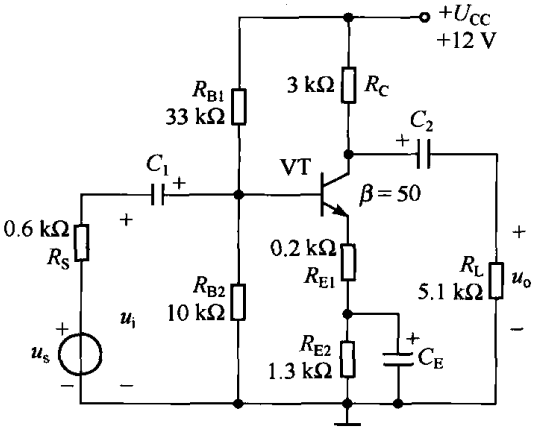
2.9　分压式射极偏置放大电路如题 2.9 图所示，已知三极管的 $\beta=60$，$U_{BE}=-0.7$ V。(1) 估算该放大电路的静态工作点；(2) 画出放大电路的微变等效电路；(3) 求电路的电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。

2.10　分压式射极偏置放大电路如题 2.10 图所示，已知三极管的 $\beta=50$，$U_{BE}=0.7$ V。(1) 估算该放大电路的静态工作点；(2) 画出放大电路的微变等效电路；(3) 求电路的电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o；(4) 当 $U_s=15$ mV 时，求输出电压 U_o。

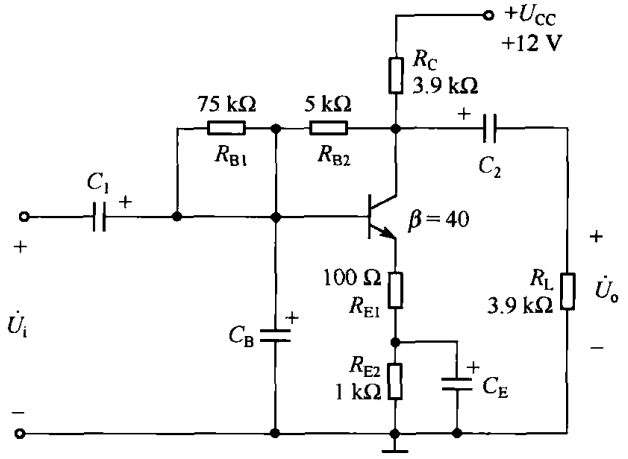


题 2.9 图

2.11　具有稳定静态工作点作用的集-基极偏置交流放大电路如题 2.11 图所示，已知三极管的 $\beta=40$，$U_{BE}=0.7$ V。(1) 试说明该电路稳定静态工作点的物理过程并估算静态工作点；(2) 画出放大电路的微变等效电路；(3) 求电路的电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。



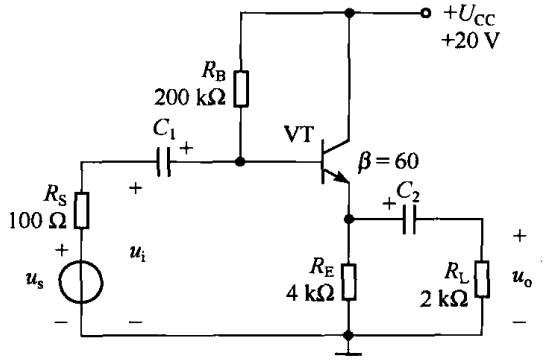
题 2.10 图



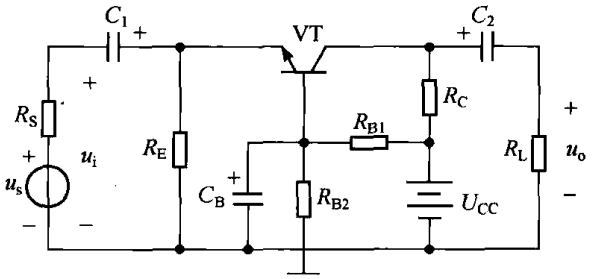
题 2.11 图

2.12 在题 2.12 图所示的射极输出器中，已知三极管的 $\beta = 60$，$U_{BE} = 0.7\ \text{V}$。(1) 估算静态工作点；(2) 画出放大电路的微变等效电路；(3) 求电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。

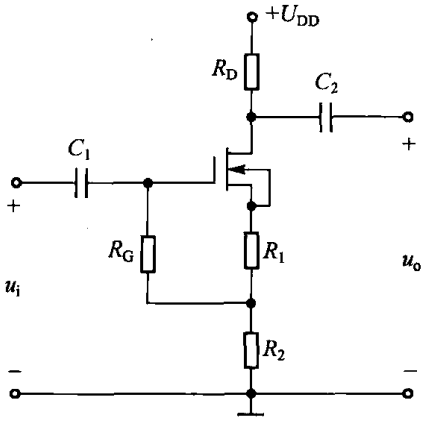
2.13 共基极放大电路如题 2.13 图所示，已知 $R_{B1} = 10\ \text{k}\Omega$，$R_{B2} = 2.5\ \text{k}\Omega$，$R_C = R_L = 3\ \text{k}\Omega$，$R_E = 1.2\ \text{k}\Omega$，$U_{CC} = 15\ \text{V}$。三极管的 $\beta = 50$，$U_{BE} = 0.6\ \text{V}$。(1) 若要求 $I_E = 2\ \text{mA}$，则发射极电阻 R_E 的值应为多大？(2) 画出放大电路的微变等效电路；(3) 求电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。



题 2.12 图



题 2.13 图

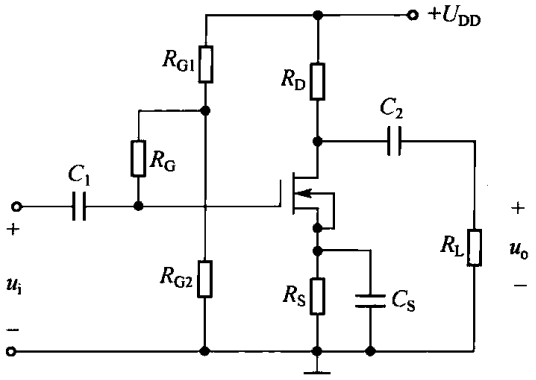


题 2.14 图

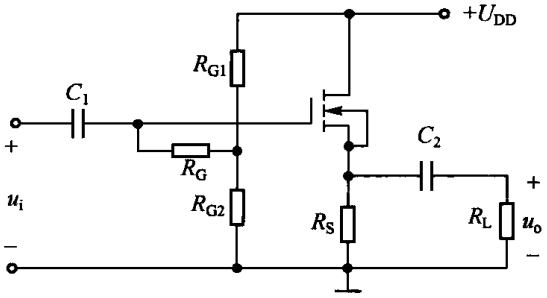
2.14 MOS 管共源极放大电路如题 2.14 图所示，已知 $R_D = 56\ \text{k}\Omega$，$R_G = 1\ \text{M}\Omega$，$R_2 = 4\ \text{k}\Omega$，$U_{DD} = 24\ \text{V}$。MOS 管的 $I_{DSS} = 1\ \text{mA}$，$U_{GS(off)} = -1\ \text{V}$。(1) 若要求静态时 MOS 管漏极对地电位 $U_D = 10\ \text{V}$，则 R_1 的阻值应为多大？此时 U_{DS} 又是多大？(2) 在正常放大条件下，R_2 的最大值是多大？(3) 计算该放大电路的电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。

2.15 MOS 管共源极放大电路如题 2.15 图所示，已知 $U_{DD} = 30\ \text{V}$，$R_D = 4\ \text{k}\Omega$，$R_{G1} = 2\ \text{M}\Omega$，$R_{G2} = 500\ \text{k}\Omega$，$R_G = 10\ \text{M}\Omega$，$R_S = 2\ \text{k}\Omega$，$R_L = 20\ \text{k}\Omega$。$I_{DSS} = 8\ \text{mA}$，$U_{GS(off)} = -4\ \text{V}$。(1) 估算静态工作点；(2) 画出该放大电路的微变等效电路；(3) 求电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o；(4) 如果不接旁路电容 C_S，再求电压放大倍数 A_u。

2.16 MOS 管源极输出器如题 2.16 图所示，已知 N 沟道增强型 MOS 管的开启电压 $U_{GS(th)} = 2\ \text{V}$，$I_{DO} = 2\ \text{mA}$；$U_{DD} = 24\ \text{V}$，$R_{G1} = 3\ \text{M}\Omega$，$R_{G2} = 5\ \text{M}\Omega$，$R_G = 100\ \text{M}\Omega$，$R_S = 10\ \text{k}\Omega$，$R_L = 10\ \text{k}\Omega$。(1) 估算静态工作点；(2) 计算电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。

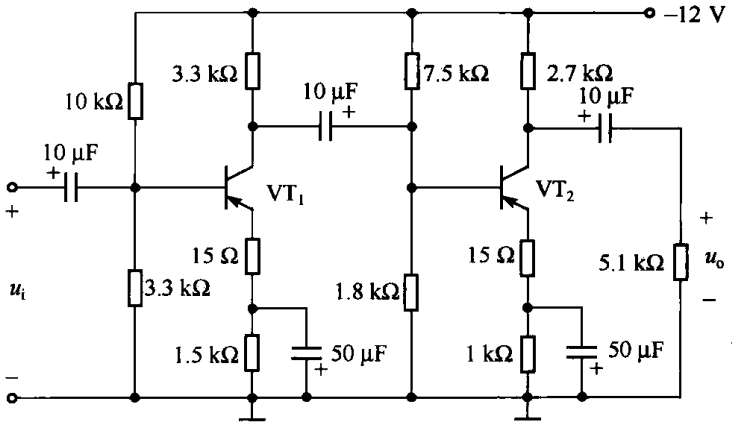


题 2.15 图



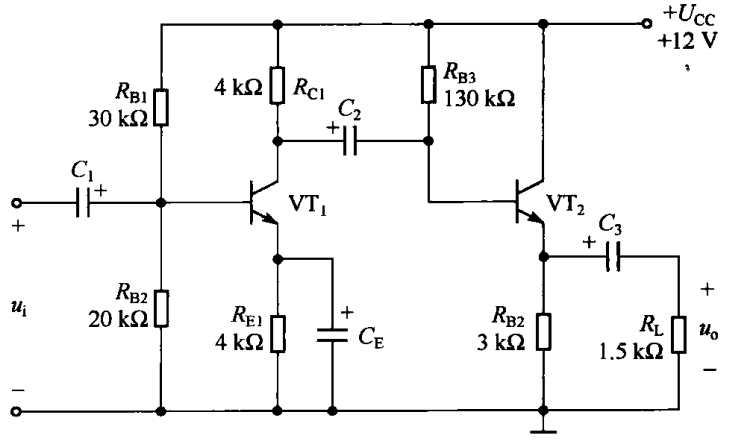
题 2.16 图

2.17　两级阻容耦合放大电路如题 2.17 图所示，已知$\beta_1 = \beta_2 = 50$，$r_{be1} = 1.2\ \text{k}\Omega$，$r_{be2} = 0.8\ \text{k}\Omega$。(1) 试问第一级的交流负载电阻等于多少？(2) 求总电压放大倍数A_u、输入电阻r_i和输出电阻r_o。



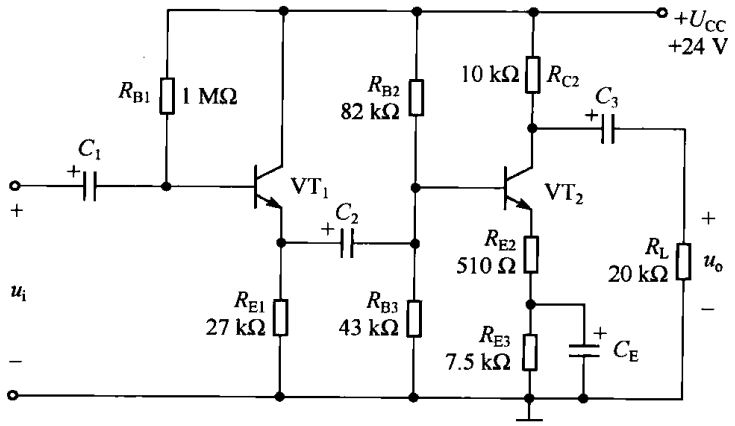
题 2.17 图

2.18　两级阻容耦合放大电路如题 2.18 图所示，已知$\beta_1 = \beta_2 = 50$，$U_{BE1} = U_{BE2} = 0.6\ \text{V}$，其余参数如图中所示。(1) 计算各级静态工作点；(2) 计算总电压放大倍数A_u、输入电阻r_i和输出电阻r_o；(3) 后级采用射极输出器的目的是什么？



题 2.18 图

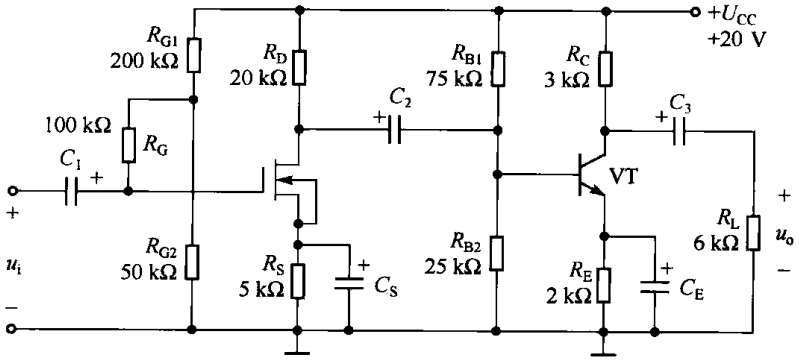
2.19　两级阻容耦合放大电路如题 2.19 图所示，已知$\beta_1 = \beta_2 = 50$，$U_{BE1} = U_{BE2} = 0.6\ \text{V}$，其余参数如图中所示。(1) 计算各级静态工作点；(2) 计算总电压放大倍数A_u、输入电阻r_i和输出电阻r_o；(3) 前级采用射极输出器的目的是什么？



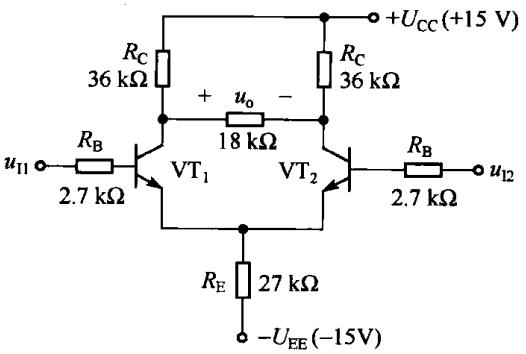
题 2.19 图

2.20 两级阻容耦合放大电路如题 2.20 图所示，已知场效应管 $g_m = 1.5$ mA/V，三极管的$\beta = 80$，$r_{be} = 1.5$ kΩ。计算总电压放大倍数 A_u、输入电阻 r_i 和输出电阻 r_o。

2.21 差分放大电路如题 2.21 图所示，已知 $\beta_1 = \beta_2 = 100$，$U_{BE1} = U_{BE2} = 0.7$ V。(1) 计算静态工作点；(2) 计算差模电压放大倍数 A_{ud}、差模输入电阻 r_i 和输出电阻 r_o。



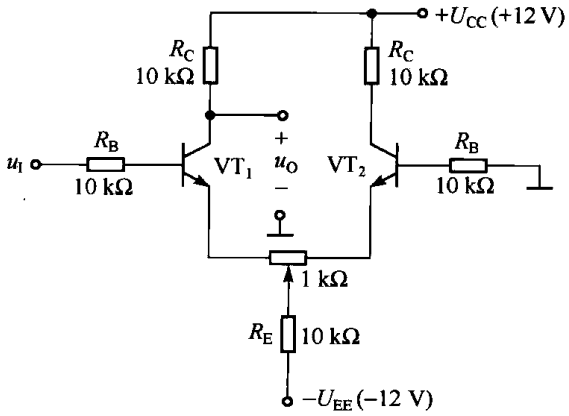
题 2.20 图



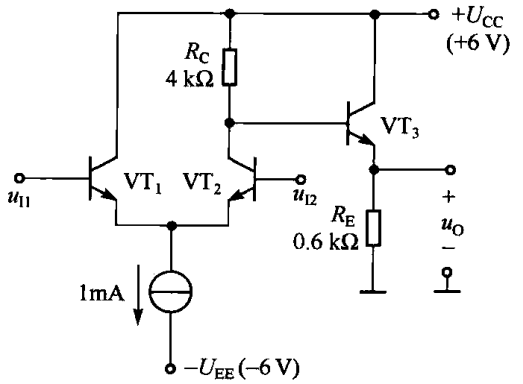
题 2.21 图

2.22 差分放大电路如题 2.22 图所示，已知 $\beta_1 = \beta_2 = 100$，$U_{BE1} = U_{BE2} = 0.6$ V，$u_I = 10$ mV。(1) 计算静态工作点；(2) 计算差模电压放大倍数 $A_{ud} = u_{Od}/u_{Id}$ 和共模电压放大倍数 $A_{uc} = u_{Oc}/u_{Ic}$；(3) 在考虑共模分量影响和忽略共模分量影响两种情况下，分别计算输出电压 u_O 的大小，并对计算结果进行比较。

2.23 在题 2.23 图所示的差分放大电路中，用恒流源代替发射极电阻 R_E，这样可提高差分放大电路的共模抑制比，分析时可认为理想电流源的交流等效电阻为无穷大。已知三极管 VT_1, VT_2 和 VT_3 的参数 $\beta_1 = \beta_2 = \beta_3 = 50$，$U_{BE1} = U_{BE2} = U_{BE3} = 0.6$ V。(1) 估算各管的静态工作点(可忽略 VT_3 的基极电流)；(2) 如果 $u_{I1} = 12$ mV，$u_{I2} = 2$ mV，计算 u_O 的大小。



题 2.22 图

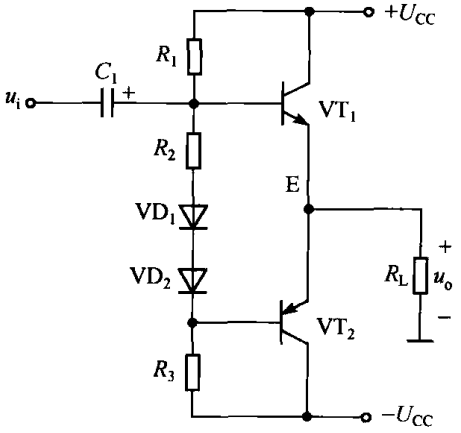


题 2.23 图

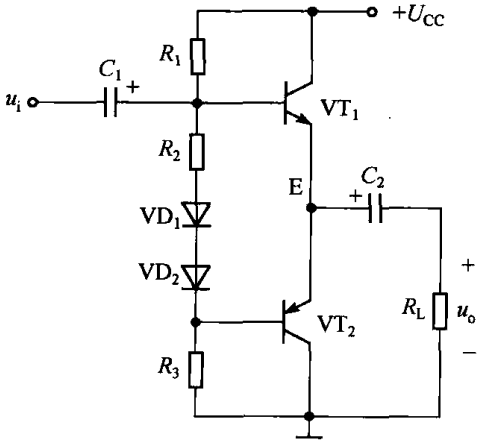
2.24　在题 2.24 图所示的双电源互补对称功率放大电路中，U_{CC} = 9 V，R_L = 8 Ω，三极管的饱和压降 U_{CES} = 1 V，输入信号 u_I 为正弦波，估算时忽略基极偏置电路的影响。(1) 当 U_{im} = 6 V 时，计算负载功率、直流电源功率和效率；(2) 负载能得到的最大不失真功率、直流电源提供的最大功率和电路的最大效率分别是多少？

2.25　双电源互补对称功率放大电路如题2.24图所示，试回答：(1) 静态时，负载 R_L 中的电流应为多大？如果不符合要求，应调整哪个电阻？(2) 如输出电压波形出现交越失真，应调整哪个电阻？如何调整？(3) 如果二极管 VD_1 或 VD_2 的极性接反，将产生什么后果？(4) 如果 VD_1，VD_2 和 R_2 三个元件中有任一个出现开路，将产生什么后果？

2.26　在题 2.26 图所示的单电源互补对称功率放大电路中，U_{CC} = 18 V，R_L = 8 Ω，三极管的饱和压降 U_{CES} = 1 V，输入信号 u_i 为正弦波，估算时忽略基极偏置电路的影响。(1) 当 U_{im} = 12 V 时，计算负载功率、直流电源功率和效率；(2) 负载能得到的最大不失真功率、直流电源提供的最大功率和电路的最大效率分别是多少？



题 2.24 图



题 2.26 图

2.27　电路及参数与题 2.10 图相同，三极管选用 Q2N2222，所有电容的容量均为 50 μF。试用 PSpice 作如下分析：(1) 当正弦信号源 u_s 的频率为 1 kHz，幅值为 10 mV 时，观察输入电压和输出电压的波形；(2) 求电压放大倍数的幅频响应和频带宽度；(3) 求放大电路的输入电阻和输出电阻；(4) 观察旁路电容对输出电压大小的影响；(4) 改变 R_{B1} 或 R_{B2} 的值观察饱和失真与截止失真，必要时可增加 u_i 的幅值。

2.28　用 PSpice 仿真题 2.19，三极管选用 Q2N2222，图中电容的容量均为 50 μF，输入正弦信号 u_i 的频率为 1 kHz，幅值为 10 mV。

2.29　用 PSpice 仿真图2.7.2(a)所示的双电源互补对称功率放大电路，VT_1 选用 Q2N3904，VT_2 选用 Q2N3906，电源电压 U_{CC} = 9 V，R_L = 8 Ω。(1) 求最大不失真输出电压范围；(2) 设输入正弦信号 u_i 的频率为 1 kHz，幅值为 5 V，观察输出电压 u_o 波形的交越失真；(3) 为克服交越失真，把电路改为题 2.24 图所示的甲乙类互补对称功放电路，其中 VD_1 和 VD_2 选用 Q1N4148，$R_1 = R_3 = 2\ k\Omega$，$R_2 = 0\ \Omega$。观察输出电压 u_o 的交越失真是否消除。

第3章　集成运算放大器

集成电路是把半导体器件、电阻、电容元件以及电路连线等制作在同一半导体基片上，构成能够完成某种特定功能的电子线路。集成电路按其功能可分为模拟集成电路和数字集成电路。集成运算放大器是模拟集成电路中发展最早、通用性最大、品种和数量最为广泛的一种，由于最初是用在对模拟量进行各种函数运算的电子模拟计算机中而得此名。

目前，随着运算放大器性能的不断完善，它的应用已远远超过了模拟运算的范畴，在自动控制、测量、无线电通信、信号变换等方面获得了广泛应用。

3.1　集成运算放大器简介

3.1.1　集成运算放大器电路简介

集成运算放大器从电路结构上讲，是一个高增益的直接耦合多级放大器。其内部电路虽然各不相同，但其基本结构一般由输入级、中间级、输出级和偏置电路几部分组成，如图3.1.1所示。

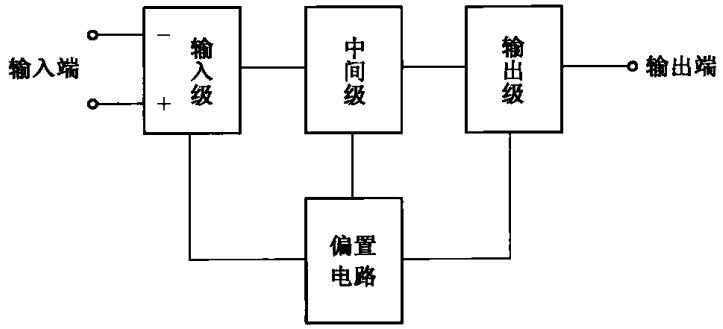


图 3.1.1　集成运算放大器的方框图

1．输入级

对于一个高增益的直流放大器，抑制零点漂移是一个主要问题，故输入级是提高整个电路性能的关键。对它的要求是输入电阻高、零点漂移小，所以一般都采用了具有恒流源的差分放大电路，具有两个输入端，因此可提供与输出端成同相和反相关系的两个输入端。

2．中间级

中间级的作用主要是进行电压放大，要求它的电压放大倍数高，一般由复合晶体管共发射极放大电路构成，并且采用了有源负载，其放大倍数可达几千倍以上，其次中间级还常带有电平位移及输入，输出方式转换的作用。

3．输出级

输出级要为负载提供足够的电压和电流，要求其电压动态范围大、输出电阻低，带负载能力强，因而一般都是由互补对称功放电路或射极输出器构成。其次为了防止负载过载而损害内部元件，通常在输出级内增加了保护电路，用来提高运算放大器的可靠性。

4. 偏置电路

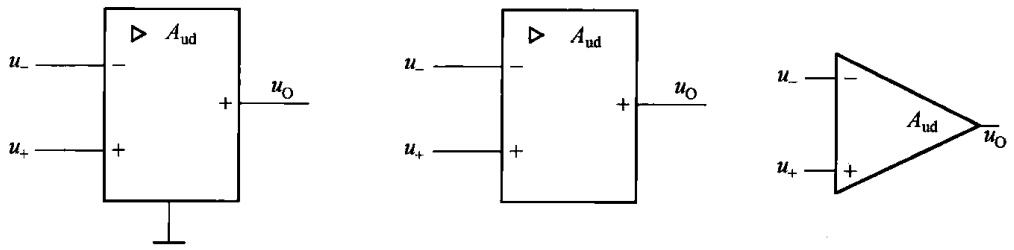
偏置电路为以上三部分电路提供合适的偏置电流，并使整个运算放大器的静态工作点稳定且功耗较小，一般是由各种类型的恒流源电路组成的。

作为使用者，学习集成运算放大器的内部电路，主要是为了掌握运算放大器外部的正确连接和理解其主要性能参数，做到合理选择、正确使用运算放大器的目的，故对具体电路可不作深入讨论。

3.1.2　集成运算放大器的符号、引脚

集成运算放大器对外是一个整体，作为一个有源器件接入电路时，需要知道它的各引脚的用途以及其主要参数。不同型号的集成运算放大器其引脚排列和参数都是不相同的，应根据要求正确地选用和联接。

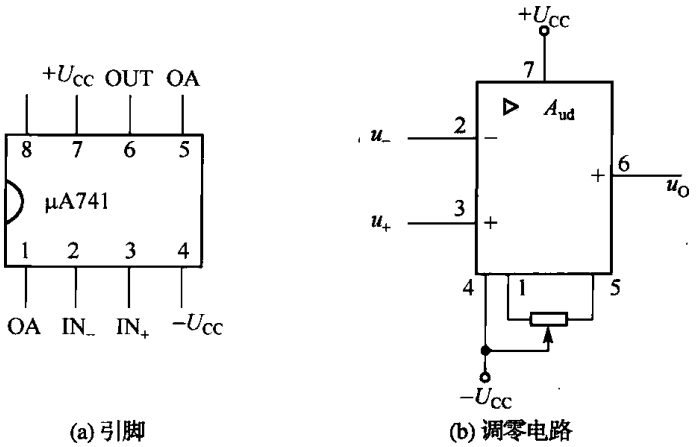
集成运算放大器的国标符号如图 3.1.2(a) 和 (b) 所示。方框中等腰三角形的方向为信号传输的方向。A_{ud} 为运算放大器的差模电压放大倍数。通常有 4 个信号端子：两个输入端、一个输出端以及一个“地”端子。“地”端子对其他 3 个信号端提供了一个参考点，它可以是实际的运算放大器接地端子，也可能是电源的公共端，在不造成概念混淆的情况下，放大器的地端子可以省略，如图 3.1.2(b) 所示。



(a) 实际符号　　(b) 简化符号　　(c) 曾用符号

图 3.1.2　运算放大器的符号

除信号端子外，实际的运算放大器根据需要不同还有正、负电源端子，零点调整端子以及频率补偿端子等。通用型的运算放大器μA741 (前面字母代表了生产厂家) 双列直插式结构的引脚排列如图3.1.3(a) 所示。其 2 端是反相输入端，3 端是同相输入端，6 端是输出端。7，4 脚分别为正、负电源端。1，5 端为外接调零电位器的两个端子，调零电位器的滑动端接在负电源 4 端。通过电位器滑动端的调整，补偿运算放大器内部差分输入级的不对称性，实现输入为零时输出也为零。某些集成运算放大器还有频率补偿端子，以消除自激振荡。改进后的μA741 内部已含有补偿电容，对外已无此端子。其调零电路的接线如图3.1.3(b) 所示，其中 8 脚为空端子。



(a) 引脚　　(b) 调零电路

图 3.1.3　μA741 的引脚和调零电路

3.1.3 集成运算放大器的主要参数

集成运算放大器的技术参数很多，它们描述了一个实际集成运算放大器接近一个理想器件的程度。在实际使用中，根据所应用电路的要求不同，其中某些主要参数起着支配作用。下面讨论几种常用的技术参数。

1. 交流特性参数

(1) 开环差模电压增益 A_{ud}

A_{ud} 是在标称电源电压下，接上规定负载电阻 R_L (通常为 2 kΩ)但不加外部电路情况下，输出信号电压与所加差模输入信号电压之比，即

$$A_{ud}=\left|\frac{u_O}{u_I}\right|$$

它是影响运算精度的重要指标。通常用 dB(分贝)表示为

$$A_{ud}=20\lg A_{ud}\ \text{dB} \tag{3.1.1}$$

A_{ud} 一般均在 100 dB 以上。

(2) 最大差模输入电压 u_{Idmax}

U_{IDM} 是两个输入端之间所允许施加的最大差值电压。当超过该值时，输入级某一侧的晶体管将出现 PN 结的反向击穿。

(3) 差模输入电阻 r_{id}

r_{id} 一般是指对差模信号呈现的动态电阻，即

$$r_{id}=\frac{u_{Id}}{i_{Id}} \tag{3.1.2}$$

它反映了差分对管向信号源取用电流的大小，通常以 MΩ 为单位。

(4) 共模抑制比 K_{CMRR}

K_{CMRR} 的定义与在差分放大电路中的定义相同。它的大小表征了集成运算放大器抑制共模干扰信号能力的大小，典型值为 80～100 dB。

(5) 最大共模输入电压 u_{Icmax}

U_{ICM} 是在标称电源电压下允许加在输入端的最大共模电压。当超过此值时，会引起运算放大器内部某些晶体管截止或饱和，运算放大器将不能正常工作或 K_{CMRR} 将明显下降。

2. 直流参数

(1) 输入失调电压 U_{IO}

集成运算放大器由于输入差分级的不完全对称，当输入为零时，输出不为零，输入失调电压就是为使输出电压为零而在两输入端之间必须外加的补偿电压，即

$$U_{IO}=\left|(U_{I+}-U_{I-})\right|_{U_O=0} \tag{3.1.3}$$

U_{IO} 的大小反映了运算放大器制造中电路的对称性情况和电位的配合情况。显然，U_{IO} 越小越好，一般为 1～10 mV。在实际使用中，为保证当输入为零时，输出为零，一般需要采用调零的办法进行补偿。

(2) 输入失调电压温度漂移 $\mathrm{d}U_{IO}/\mathrm{d}T$

当环境温度变化时，输入失调电压随着变化，通常将输入失调电压对温度的平均变化率称为输入失调电压温度漂移。要求 $\mathrm{d}U_{IO}/\mathrm{d}T$ 越小越好。一般以 $\mu V/^{\circ}C$ 为单位。

U_{IO} 可以通过适当的调零装置进行补偿，但 $\mathrm{d}U_{IO}/\mathrm{d}T$ 并不必然地等于零。因此，器件的失调电压温度漂移指标就是衡量“高精度”运算放大器的一项重要指标。

(3) 输入偏置电流 I_{IB}

I_{IB} 用来衡量差分对管输入偏流绝对值的大小。其定义为不加输入信号时流入差分输入级的两个静态基极电流的平均值，即

$$I_{IB}=\frac{1}{2}(I_{B+}+I_{B-}) \tag{3.1.4}$$

其值的大小主要和输入级差分对管的 β 有关。显然，I_{IB} 越小越好。I_{IB} 越小，信号源内阻变化引起的输出电压变化也越小，一般为 nA～μA 数量级。

(4) 输入失调电流 I_{IO}

当输出电压为零时，流入差分输入级的静态基极电流之差称为输入失调电流，即

$$I_{IO}=\left|I_{B+}-I_{B-}\right|_{U_o=0} \tag{3.1.5}$$

其值的大小主要是由于输入级差分对管的 β 不对称所引起的。由于信号源内阻的存在，I_{IO} 的存在会引起误差输入电压，所以希望 I_{IO} 越小越好。

(5) 输入失调电流温度漂移 $\mathrm{d}U_{IO}/\mathrm{d}T$

$\mathrm{d}U_{IO}/\mathrm{d}T$ 的意义与输入失调电压温度漂移相同。

除以上所介绍的技术指标外，还有一些其他指标含义较清楚，这里不再赘述。

目前集成运算放大器的种类很多，除通用型外，为了满足一些特殊的要求，已研制出在某一方面指标上有所侧重的集成运算放大器，如高输入阻抗型、高精度、高速、低功率、高压等专用型集成运算放大器。了解运算放大器的各项技术指标为正确选择和使用集成运算放大器提供了依据。

3.1.4　电路模型和电压传输特性

与晶体管放大电路类似，在分析由集成运算放大器组成的电子电路的动态特性时，我们也希望能找一个等效的线性电路模型。从输入端看，仅考虑差模信号的放大问题，集成运算放大器对于信号源来说，相当于一个负载，可用差模输入电阻来等效；而从输出端看，对于负载而言，集成运算放大器相当于电源，可等效为一个电压源，等效电压源的开路电压可用差模输出电压 $u_O = A_{ud}u_I$ 来等效，即一个电压控制的电压源的电路模型；等效电源的内阻就是集成运算放大器的输出电阻 r_o。电路模型如图3.1.4(a)所示。

集成运算放大器的电压传输特性是指开环时输出电压与输入电压之间的关系曲线，即

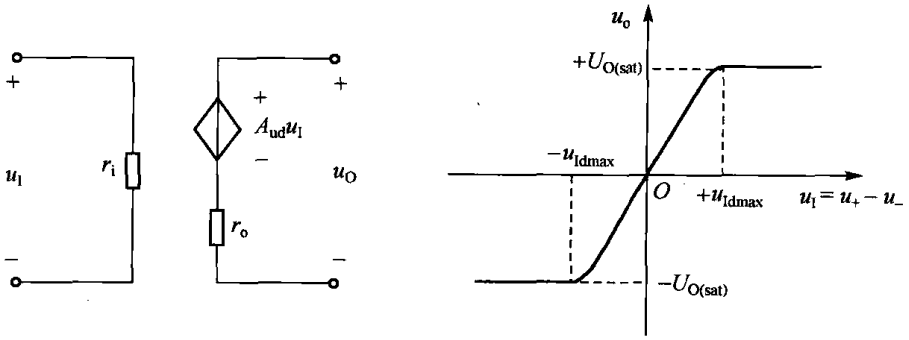
$$u_O = f(u_I) = f(u_+ - u_-) \tag{3.1.6}$$

如图3.1.4(b)所示，根据电压传输特性可把集成运算放大器分为线性和非线性两种工作状态。当输入电压$|u_I|=|u_+-u_-|<u_{Idmax}$时，输出电压与输入电压之间呈线性关系，即差模输出电压为

$$u_O=A_{ud}u_I=A_{ud}(u_+-u_-) \tag{3.1.7}$$

该区域称为集成运算放大器的线性工作区。当输入电压$|u_I|=|u_+-u_-|>u_{Idmax}$时，输出电压$|u_O|=U_{O(sat)}$，输出电压不再随输入电压的变化而改变，该区域称为集成运算放大器的非线性工作区，也称为饱和区。$U_{O(sat)}$是集成运算放大器的最大输出电压，也称为饱和电压，其大小接近于正负电源电压。

由于集成运算放大器的开环电压放大倍数很大，而输出电压又不能超过其最大输出电压，因此传输特性的线性区实际上非常窄，即U_{IDM}的值很小。



(a) 电路模型　　(b) 电压传输特性

图 3.1.4　集成运算放大器的电路模型与电压传输特性

思考题

3.1.1　集成运算放大器有哪些主要参数？它们有何物理意义？

3.1.2　集成运算放大器工作于线性工作区与饱和区各有什么特点？

3.2　放大电路中的负反馈

自从电子技术领域中首先提出负反馈可以改善放大电路的性能以来，反馈的概念和理论日益受到重视，在各个领域中都获得了广泛的应用。实用电子电路几乎都具有反馈，由于集成运算放大器的开环电压增益很高，很小的输入信号就会使输出级饱和，进入非线性区工作，所以集成运算放大器的线性应用电路都要引入负反馈，以保证集成运算放大器工作在线性放大区。

本节作为集成运算放大器应用的基础，首先讨论负反馈放大电路的原理，反馈的 4 种类型、反馈类型的判别，以及负反馈对放大器性能的影响。

3.2.1　反馈的基本概念

1．什么是反馈

2.2.4 节所讨论的分压式射极偏置电路稳定静态工作点的过程，就是反馈放大器的例子。当温度升高时，三极管的集电极电流I_C增加，由于射极电阻R_E的接入，使$U_F=U_E=I_ER_E$增加，而电路设计使得U_B电位仅由R_{B1}和R_{B2}分压决定，而与三极管的参数无关，$U_{BE}=U_B-U_E$将减小，使得I_B减小，I_C减小，基本上可认为I_C不变，从而使工作点稳定。

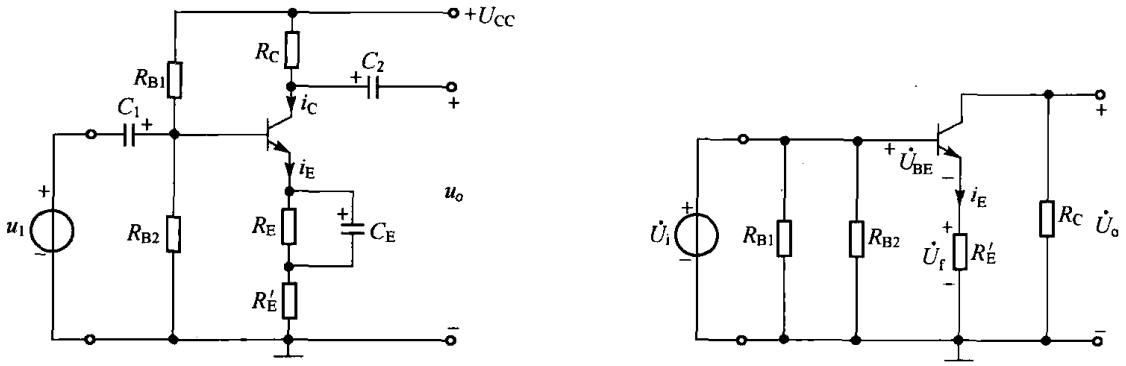
这个电路之所以能够稳定静态工作点，是由于射极电阻R_E的接入，它感受到了(反映了)输出电

流 I_C 的变化，并将这个变化引回到了输入回路，从而调整输入量 I_B 的变化，进而调整 I_C，这个自动调整的过程就是反馈。

2. 直流反馈与交流反馈

图 2.2.17 电路中的反馈作用仅在直流通路中存在，故称为直流反馈。如果这个电路中的射极电阻 R_E 有一部分没有并联旁路电容 C_E，如图 3.2.1(a) 所示，则集电极电流中的交流分量的变化也在射极电阻 R_E 两端产生压降，对交流信号也起反馈作用，则称为交流反馈。因此，可通过分别画交、直流通路来判断交、直流反馈。如果反馈仅存在于直流通路中，则为直流反馈；如果反馈仅存在于交流通路中，则为交流反馈。

本节所讨论的内容主要是针对交流反馈而言的。



(a) 电路原理图　　(b) 交流通路

图 3.2.1　具有交流反馈的电路

3. 负反馈与正反馈

在图 3.2.1(b) 电路中，当输入信号引起集电极电流 $\dot{I}_c$ 变化时，在射极电阻 R_E 两端产生的反馈电压 $\dot{U}_f$ 抵消了输入信号的一部分，使得净输入信号 $\dot{U}_{be}$ 小于输入信号 $\dot{U}_i$，进而使得电路的增益减小，这种反馈称为负反馈；反之，反馈信号增强了净输入信号，使得电路的增益提高，则称为正反馈。为改善放大器的交流性能指标，放大电路一般引入的均为负反馈。

4. 负反馈放大电路放大倍数的一般表达式

凡是将放大电路(或某个系统)输出端的信号(电压或电流)的一部分或全部通过某种电路(反馈电路)引回到放大电路的输入回路中，并参与输入信号的控制作用，这个过程就称为反馈。如反馈回去的信号和输入信号叠加后削弱了输入信号的作用，使得净输入减小，从而使得增益降低的反馈，称为负反馈；反之，反馈回去的信号加强了输入信号的作用，使得净输入增加，从而使得增益提高的反馈，称为正反馈。

图 3.2.2 是负反馈放大电路的原理框图，图中基本放大电路是不带反馈的电路。它可以是单级或多级放大电路，反馈网络起到了桥梁的作用，将输出信号送回到输入回路中，一般由无源元件组成。$\dot{X}$ 表示一般信号量，它可以是电压，也可以是电流，在分析放大电路时，常常用正弦响应来分析，所以用复数表示。

图中，$\dot{X}_i$ 为负反馈放大电路的输入信号，$\dot{X}_o$ 为负反馈放大电路的输出信号，$\dot{X}_f$ 为反馈信号。

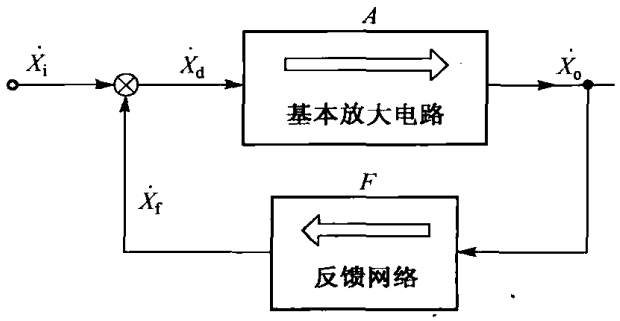


图 3.2.2　负反馈放大电路的原理框图

⊗是比较环节的符号。$\dot{X}_d$为净输入信号，箭头的方向代表了信号传递的方向。根据反馈组态的不同，这些信号可以是电压量或电流量。

由基本放大电路和反馈网络共同构成的闭环系统，称为反馈环路或反馈环。此时放大电路的输出量不仅受输入信号的控制，而且受到反馈信号的影响，通常称这种系统为闭环放大电路，而未引入反馈的放大电路称为开环放大电路。

从图3.2.2可以看出，基本放大电路的放大倍数(有时称为开环放大倍数)为

$$A=\frac{\dot{X}_o}{\dot{X}_d} \tag{3.2.1}$$

显然，此时A为广义的放大倍数。只有当$\dot{X}_o$，$\dot{X}_i$均为电压时，A才为电压放大倍数。

反馈网络的反馈系数为

$$F=\frac{\dot{X}_f}{\dot{X}_o} \tag{3.2.2}$$

反馈放大电路的闭环放大倍数为

$$A_f=\frac{\dot{X}_o}{\dot{X}_i} \tag{3.2.3}$$

同样，它也是一个广义的放大倍数。根据图3.2.2中信号的传输方向及负反馈的定义，可得各信号量之间的关系为

$$\dot{X}_d=\dot{X}_i-\dot{X}_f$$

$$\dot{X}_f=F\dot{X}_o=AF\dot{X}_d$$

由于$\dot{X}_f$和$\dot{X}_d$的量纲总是一样的，故AF必定是无量纲的。所以

$$A_f=\frac{\dot{X}_o}{\dot{X}_i}=\frac{\dot{X}_o}{\dot{X}_d+\dot{X}_f}=\frac{\dot{X}_o}{\dot{X}_d+AF\dot{X}_d}$$

$$=\frac{1}{1+AF}\frac{\dot{X}_o}{\dot{X}_d}=\frac{A}{1+AF} \tag{3.2.4}$$

式(3.2.4)为负反馈电路的基本方程式，是分析反馈放大器问题的基础。由式(3.2.4)可知，当$|1+AF|<1$时，说明放大电路引入反馈后放大倍数增大了，故为正反馈；而当$|1+AF|>1$时，$|A_f|<|A|$，也就是说，当引入反馈以后，放大倍数下降了，故为负反馈。并可以看出，接入反馈以后，放大电路的放大倍数是不带反馈时放大倍数的$\frac{1}{1+AF}$倍。所以常常把$|1+AF|$称为反馈深度。

当$|1+AF|\gg1$时，

$$|A_f|=\frac{|A|}{|1+AF|}\approx\frac{1}{|F|} \tag{3.2.5}$$

上式表明，此时负反馈放大电路的放大倍数几乎只取决于反馈系数，而与开环放大倍数的具体数值无关。它不仅给我们设计和分析负反馈放大电路带来了方便，而且因反馈网络多是无源网络，反馈系数只与网络中元件的数值有关，是比较稳定的，所以$|A_f|$也是比较稳定的。可以说，$|A|$越大，越容易满足上面的条件。满足$|1+AF|\gg1$条件的负反馈称为深度负反馈。

3.2.2　负反馈的类型及其判别方法

1．负反馈的类型

在图 3.2.1 中，R_E 两端的交流电压分量 $\dot{U}_e$ 反映了输出电流 $\dot{I}_c$ 的变化，称为电流反馈。类似地，可以有另一种电路其反馈量可能反映了输出电压的变化，称为电压反馈。从反馈网络的输入回路看，R_E 将 $\dot{I}_c$ 的变化以反馈电压的形式反馈到输入回路，输入信号、反馈信号和净输入信号三者以电压形式出现，$\dot{U}_e$ 和 $\dot{U}_i$ 串联相减产生净输入信号 $\dot{U}_{be}$，故称为串联反馈。当然，输入信号、反馈信号和净输入信号三者也可以以电流形式出现，若输入信号 $\dot{I}_i$ 和反馈信号 $\dot{I}_f$ 并联相减产生净输入信号 $\dot{I}_d$，则称为并联反馈。所以根据反馈网络与基本放大电路在输出、输入端连接方式的不同，一共有 4 种类型的负反馈电路，即电压串联负反馈电路、电流串联负反馈电路、电压并联负反馈电路和电流并联负反馈电路。其原理方框图如图3.2.3所示。

实际使用中，要根据信号源及负载的实际情况，选用适当类型的负反馈。

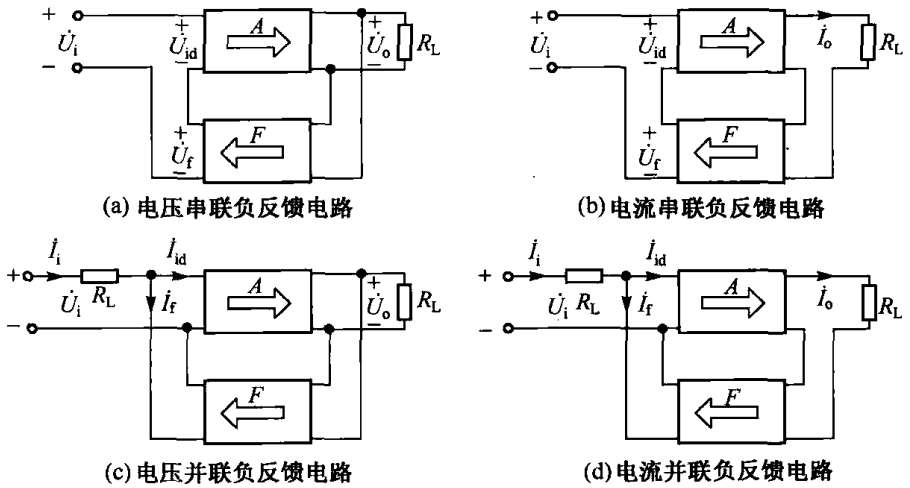


图 3.2.3　4 种类型负反馈电路方框图

2．反馈放大电路的判别

判断一个放大电路是否存在反馈，就是要观察放大电路是否存在反馈网络，将输出和输入联系起来。凡是有支路或电路元件连接在输出和输入之间，这个放大电路就是反馈放大电路。在图 3.2.1 所示电路中，因 R_E 既是输出回路的一部分，又是输入回路的一部分，故 R_E 是该电路的反馈网络，这个电路是反馈放大电路。

3．正反馈、负反馈的判别

通常采用瞬时极性法判别放大电路的反馈极性。所谓瞬时极性法，就是先假设放大电路输入端的信号处于某一极性，然后从输入端到输出端，再到反馈网络，标出放大电路中各点的瞬时极性(在电路图中用⊕，⊖号表示)，最后判别反馈量的极性是减小还是增加了净输入量，如果是减小了净输入量，则可判定为负反馈，反之，则为正反馈。

电路中各元件的瞬时极性，可由各元件的相位关系确定。为便于分析，叙述如下。

在运算放大器电路中，如果输入信号由同相输入端输入，则输出信号与输入信号同相。如果输入信号由反相输入端输入，则输出信号与输入信号反相。

在分立元件电路分析中，三极管各极电压、电流的相位关系如下。

在共射极接法放大电路中，有 $\dot{U}_b(+) \rightarrow \dot{I}_b(+) \rightarrow \dot{I}_c(+) \rightarrow \dot{U}_c(-)$，即输入、输出反相。当接有

射极电阻R_E时，$\dot{U}_b(+) \rightarrow \dot{I}_b(+) \rightarrow \dot{I}_c(+) \rightarrow \dot{I}_e(+) \rightarrow \dot{U}_c(-), \dot{U}_e(+)$，即输入、输出反相，射极电位与输入电位同极性。

4. 电压反馈、电流反馈的判别

无论电压反馈，还是电流反馈都是指反馈回路从放大器输出端获取反馈信号的方式。若反馈信号的大小与输出电压成比例，则为电压反馈。若反馈信号与输出电流成比例，则为电流反馈。可以看出，在图3.2.3(a)和(c)所示的输出回路中，反馈网络与输出端负载并联相接，反馈信号取自输出电压，故为电压反馈；而在图3.2.3(b)和(d)所示的输出回路中，反馈网络与输出端负载串联相接，反馈信号的来源是输出电流，故为电流反馈。

对于电压、电流反馈的判别，常采用将负载交流短路的方法分析。即假设用一大电容将负载电阻R_L短路，短路后如反馈不存在，则为电压反馈；反之，为电流反馈。这是因为将放大器的输出端所接负载交流短路，使输出电压等于零，如此时反馈信号不存在，说明反馈量与输出电压成正比，则可判别为电压反馈；反之，则为电流反馈。

5. 串联反馈、并联反馈的判别

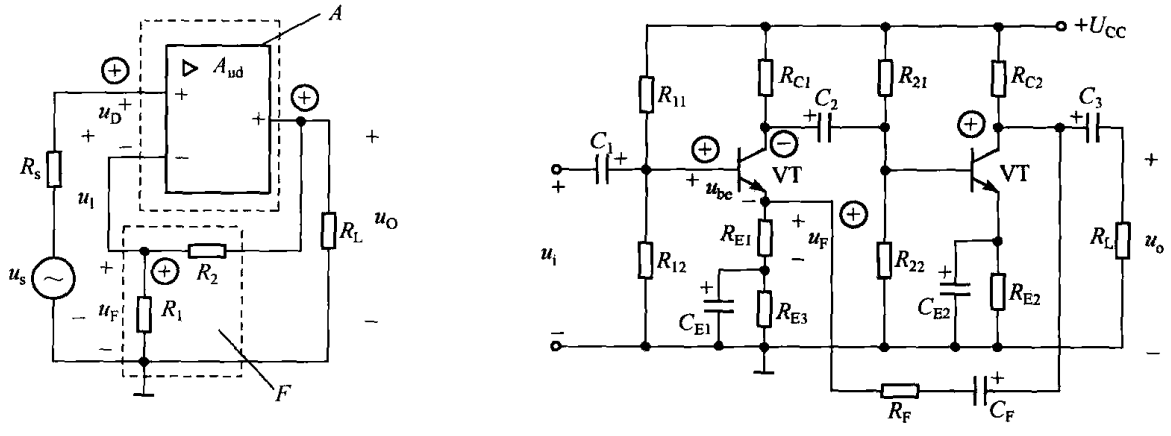
所谓串联反馈、并联反馈，是指反馈信号$\dot{X}_f$和输入信号$\dot{X}_i$在输入回路是如何连接的，即是串联连接还是并联连接。如果反馈信号以电压形式出现，和输入电压串联相比较，产生净输入信号，则是串联反馈，如图3.2.3(a)和(b)中电路所示。反之，如果反馈信号和输入信号并联加在放大器的输入端，产生净输入信号，则是并联反馈。在并联反馈电路中，输入信号和反馈信号是以电流形式相比较的，如图3.2.3(c)和(d)中电路所示。

对于串联、并联反馈的判别，也可以从反馈放大器的结构特点来分析。如果输入信号与反馈信号分别加在两个输入端时，为串联反馈。反之，输入信号和反馈信号均加在一个输入端的是并联反馈。在分立元件电路中，当反馈信号和输入信号均加在基极时，为并联反馈，而输入信号加在基极，反馈信号引回到发射极时，为串联反馈。

6. 典型的负反馈放大电路

(1) 电压串联负反馈放大电路

图3.2.4所示电路是电压串联负反馈放大电路。首先判断这个电路有无反馈，图3.2.4(a)中的基本放大电路 A 是一个集成运算放大器，电阻R_1和R_2组成的分压器将输出电压u_O的一部分引回到了输入回路，这个电路是反馈放大电路。



(a) 集成运算放大器电路　　(b) 分立元件电路

图 3.2.4　电压串联负反馈放大电路

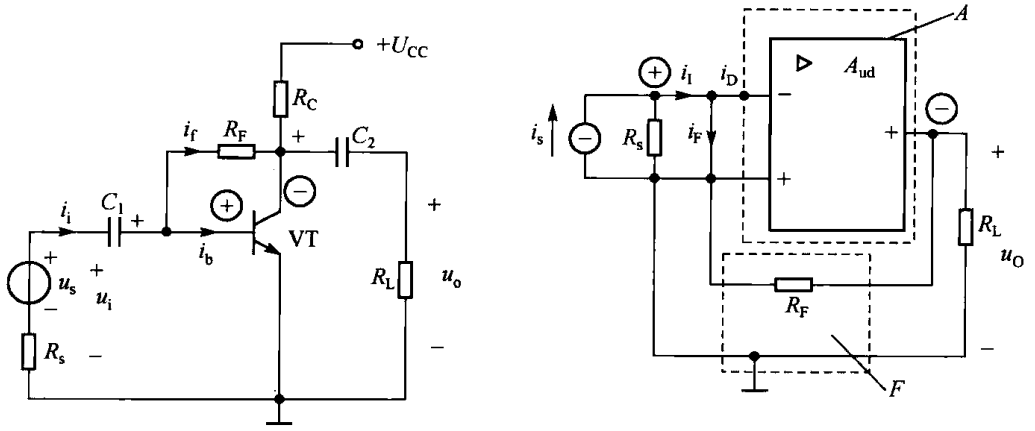
其次用瞬时极性法判别正、负反馈。设输入电压u_I处于正半周，在同相输入端标以⊕，由运算放大器的输入输出关系得到输出为正，在输出端标以⊕，由R_1和R_2的分压关系得到反馈电压与输出电压同相，故在R_1上端标以⊕，使得放大器的净输入信号$u_+ - u_-(=u_I - u_F)$下降，从而使得放大器的输出电压$u_O = A_{ud}(u_+ - u_-)$下降，故为负反馈。

接着判断反馈的类型。由于反馈电压u_F是经R_1和R_2组成的分压器由输出电压u_O取样得来的，$u_F = \dfrac{R_1 u_O}{R_1 + R_2}$，反馈电压$u_F$是$u_O$的一部分，所以是电压反馈。也可以令$u_O = 0$，显然$u_F$也为零，反馈不存在，也可判别为电压反馈。而从输入端看，反馈信号是以电压形式出现的，u_F和u_I在输入回路串联相减，产生净输入信号u_D，所以是串联反馈。

而图 3.2.4(b) 中基本放大电路为两级阻容耦合放大器。电阻R_F，R_{E1}及电容C_F组成的反馈网络，将输出电压u_o的一部分以电压u_f的形式引回到输入回路，所以形成了两级之间的反馈，可以看出，与图3.2.4(a)具有相同的反馈类型，也属于电压串联负反馈。

(2) 电压并联负反馈

图3.2.5所示电路是电压并联负反馈放大电路。在图3.2.5(a)中R_F直接由输出端(集电极 C)连接到输入端(基极 B)，所以该放大电路为反馈放大电路。



(a) 分立元件电路　　(b) 集成运算放大器电路

图 3.2.5　电压并联负反馈放大电路

由瞬时极性法可知，当输入端为正时，输出为负，如图3.2.5(a)所示，B 为⊕，C 为⊖，此时可得各个电流的瞬时流向。由于 B 为正电位，故i_i，i_d均流向三极管基极，而i_f“瞬时流向”要由输出量决定，此时由于 C 为负电位，故i_f流向低电位，即通过R_F由基极 B 流向集电极 C，如图3.2.5(a)所示。因此得到净输入信号$i_b = i_i - i_f$减小，所以为负反馈。并可以看出，反馈电流$i_f = \dfrac{u_b - u_o}{R_F} \approx -\dfrac{u_o}{R_F}(u_o \gg u_b)$，所以反馈电流正比于输出电压，为电压反馈。而在输入回路，反馈信号i_f与输入信号i_i并联加在放大器的基极，产生净输入电流$i_b = i_i - i_f$，为并联反馈。所以，图 3.2.5(a)所示电路为电压并联负反馈电路。

需要指出的是，由于是并联反馈，反馈信号和输入信号在输入回路是以电流形式比较产生净输入信号$i_d = i_i - i_f$的，若信号源是恒流源，则i_f的变化等于i_d的变化，反馈效果最好；若信号源为恒压源，则i_d与i_f无关。也就是说，信号源内阻越大，并联反馈的作用就越强。

由图3.2.5(b)所示集成运算放大器电路不难看出，它与图3.2.5(a)中电路有相同的电路结构，也为电压并联负反馈放大电路。

(3) 电流串联负反馈

前面已经讨论过图 3.2.1 所示的电路是一个分立元件组成的电流串联负反馈放大电路，下面分析一个集成运算放大器组成的电路。

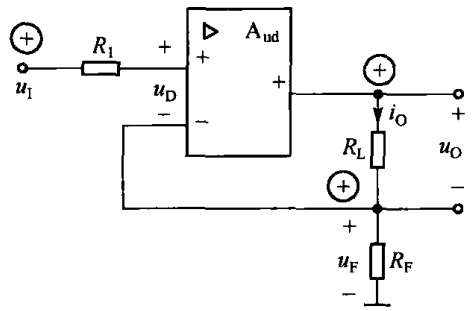
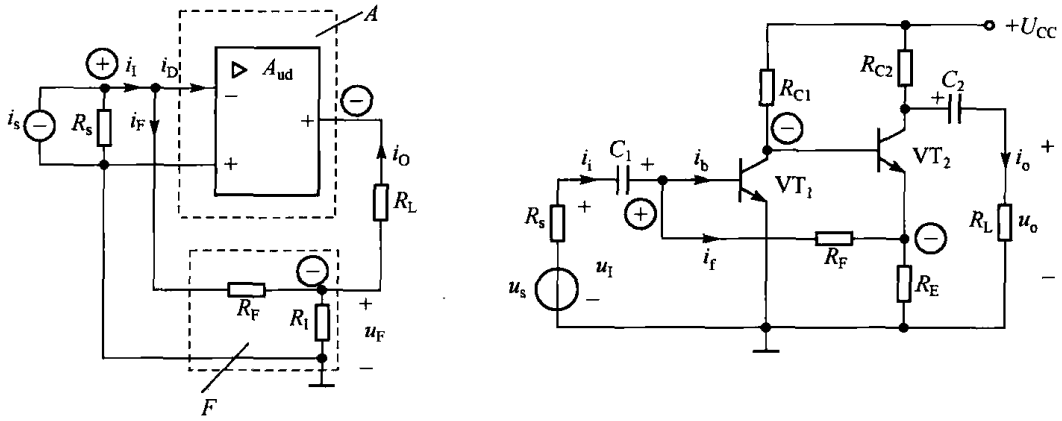


图 3.2.6 电流串联负反馈

在图 3.2.6 中，通过 R_F 把输出回路和输入回路联系了起来，所以是反馈放大电路。由瞬时极性法可知，当输入端为正时，输出为正，故 u_F 两端的反馈电压为上正下负，如图3.2.6中所示，因此得到净输入信号 $u_D = u_I - u_F$ 减小，u_O 减小，所以为负反馈。从输入回路看，u_I 与 u_F 加在两个输入端，以电压形式比较故为串联反馈。而从输出回路看，将 R_L 交流短路后，u_F 仍然存在，故为电流反馈。由以上分析可知，图 3.2.6 为电流串联负反馈放大电路。

(4) 电流并联负反馈放大电路

图3.2.7 所示电路是电流并联负反馈放大电路。图3.2.7(a)中反馈回路 R_F，R_1 将输出回路和输入回路相连接，所以是反馈放大电路。



(a) 集成运算放大器电路　　(b) 分立元件电路

图 3.2.7 电流并联负反馈放大电路

由瞬时极性法可得各点的瞬时极性如图3.2.7(a)所示，相应的瞬时电流的流向与所标正方向一致。因此得到净输入信号 $i_D = i_I - i_F$ 减小，为负反馈。由于反馈信号与输入信号均加在反向输入端，因此是并联反馈。将 R_L 交流短路后，u_F 仍然存在，故为电流反馈。由以上分析可知，图 3.2.7(a)所示电路为电流并联负反馈放大电路。

图3.2.7(b)与图3.2.7(a)有相同的电路结构，也是并联电流负反馈电路。

3.2.3 负反馈对放大器性能的影响

负反馈虽然使放大器的放大倍数下降，但从多方面改善了放大器的性能，下面分别加以讨论。

1. 提高放大倍数的稳定性

由于多种原因，例如环境温度的变化、器件的老化和更换、负载的变化等，都会引起电路元件

参数和放大器件特性参数的变化，因此，即使放大电路的输入信号一定，其输出也将发生变化，也就是放大倍数要发生变化，如果这种变化较小，则说明其稳定性高。

前面已讲到，当引入深度负反馈，满足$|1+AF| \gg 1$时，放大电路的闭环放大倍数为$A_f = 1/F$，只决定于反馈电路的元件参数，与放大器的性能及负载均无关系，是比较稳定的。在一般情况下，为了定量地分析放大倍数的稳定性。常用放大倍数的相对变化量来表示它的稳定程度。用dA/A和dA_f/A_f分别表示开环和闭环放大倍数的相对变化量。

设信号频率在中频段，放大倍数和反馈系数均为实数，不考虑相位的影响，式(3.2.4)一般可写为

$$A_f = \frac{A}{1+AF} \tag{3.2.6}$$

式(3.2.6)对A求导可得

$$dA_f = \frac{1}{(1+AF)^2}dA \tag{3.2.7}$$

其相对变化率为

$$\frac{dA_f}{A_f} = \frac{dA}{A}\frac{1}{1+AF} \tag{3.2.8}$$

上式表明，引入负反馈后，反馈放大器闭环放大倍数的相对变化量是无负反馈时开环放大倍数相对变化量的$1/(1+AF)$。也就是说，虽然负反馈使得放大倍数下降了$(1+AF)$倍，但却使得放大倍数的稳定性提高了$(1+AF)$倍。

例 3.2.1　已知一个负反馈放大电路的开环放大倍数$A = 1000$，$F = 0.009$。求：

(1) 负反馈放大电路的闭环放大倍数A_f为多少？

(2) 如果由于某种原因使开环放大倍数发生±5% 的变化，问闭环放大倍数的相对变化量为多少？

解：(1) 根据式(3.2.4)，可得闭环放大倍数为

$$A_f = \frac{A}{1+AF} = \frac{1000}{1+1000\times 0.009} = 100$$

(2) 根据式(3.2.8)可得

$$\frac{dA_f}{A_f} = \frac{dA}{A}\times\frac{1}{1+AF} = \pm 5\% \times \frac{1}{1+1000\times 0.009} = \pm 0.5\%$$

由例 3.2.1 可见，引入负反馈后，使放大倍数降低了，从 1000 降低到了100，但放大倍数的相对变化却减小了，从±5% 减到了 ±0.5% ，即大大提高了放大倍数的稳定性。

2. 扩展通频带

频率响应是放大器的性能指标之一，在 2.5.3 节中已知，由于电抗性元件的影响，放大倍数在低频段和高频段区都会下降，如图 3.2.8 所示。利用负反馈也可以改变放大电路的频率响应。在中频段，由于输出信号较强，反馈信号也较强，因而使闭环放大倍数降低较多，而在原上、下限截止频率处，由于放大倍数降低，反馈信号也降低，于是净输入信号增加，使得输出信号下降的程度比中频段小，即大于中频段的$1/\sqrt{2}$，也就是说，通频带展宽了，如图3.2.8 所示。

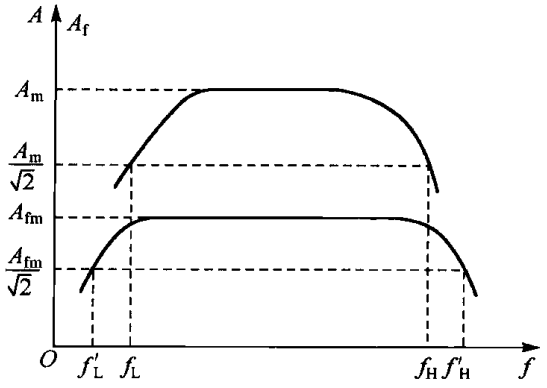
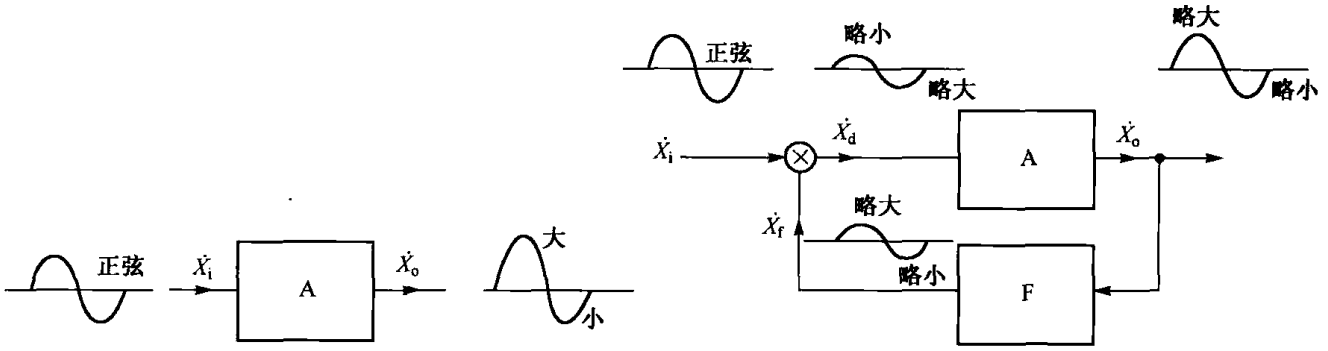


图 3.2.8　负反馈展宽通频带

3. 减小非线性失真

放大电路中存在晶体管等非线性器件，当输入正弦信号的幅度过大时，进入特性曲线的非线性区，将使得输出信号产生非线性失真。引入负反馈以后，会减小非线性失真。

图 3.2.9(a)所示为一个无反馈放大电路，在输入正弦信号时，输出产生了失真，正半周幅值大，负半周幅值小。图 3.2.9(b)所示的放大电路引入负反馈后，由于反馈网络是线性网络，取自输出的反馈信号 $\dot{X}_f$ 与图 3.2.9(a)中输出波形相同，也为正半周幅值大，负半周幅值小，输入信号 $\dot{X}_i$ 与反馈信号 $\dot{X}_f$ 相减后的净输入波形与 $\dot{X}_o$ 正好相反，即正半周幅值小，负半周幅值大，这样的净输入信号放大后，将大大改善其输出波形的失真程度，其输出波形如图3.2.9(b)所示。



(a) 无反馈时的失真情况　　(b) 有负反馈时的失真情况

图 3.2.9　非线性失真的改善

需要指出的是，从以上改善非线性失真的过程中可以看出，产生非线性失真的原因来自反馈环路内部，也就是说，在反馈环路内部，不管什么原因引起的输出量的失真，负反馈都能对其有改善作用。而对于外部引入的干扰，如同信号一样，引入负反馈以后，干扰和信号同时被减小，负反馈对外部干扰引起的输出变化是不起作用的。

4. 对输入电阻，输出电阻的影响

(1) 输入电阻 r_i

负反馈对输入电阻的影响与反馈网络在输入端的连接方式有关。串联负反馈使输入电阻增大，而并联负反馈使输入电阻减小。其原因如下。

对于串联负反馈，由于反馈信号是电压量 $\dot{U}_f$，在维持输入电压 $\dot{U}_i$ 不变的情况下，净输入电压 $\dot{U}_d$ 减小，所以输入电流比无反馈时要小，即输入电阻增大了。而对于并联反馈，在维持输入电压 $\dot{U}_i$ 不变的情况下，输入电流增大为 $\dot{I}_i = \dot{I}_d + \dot{I}_f$，也就是输入电阻减小了。

基本放大电路的输入电阻为

$$r_i = \frac{U_d}{I_i}$$

负反馈放大电路的输入电阻为

$$r_f = \frac{U_i}{I_i}$$

对于串联反馈，有

$$r_f = \frac{U_d + U_f}{I_i}$$

由图3.2.2 所示的负反馈原理图可知

$$U_f = FX_0 = AFU_d$$

即

$$r_f = \frac{U_d + U_f}{I_i} = (1+AF)\frac{U_d}{I_i} = (1+AF)r_i \tag{3.2.9}$$

可见，串联反馈输入电阻提高了 $(1+AF)$ 倍。

对于并联反馈，有

$$r_f = \frac{U_i}{I_d + I_f}$$

同理，由图3.2.2所示的负反馈原理图可知

$$I_f = FX_0 = AFI_d$$

即

$$r_f = \frac{U_i}{I_d + I_f} = \frac{U_d}{(1+AF)I_d} = \frac{1}{(1+AF)}r_i \tag{3.2.10}$$

可见，并联反馈输入电阻减小了 $(1+AF)$ 倍。

(2) 输出电阻 r_o

负反馈对输出电阻的影响与反馈网络在输出端的连接方式有关。电压负反馈使输出电阻减小，而电流负反馈使输出电阻增大。其原因如下。

放大电路输出端的等效电路模型对于负载来说，就是一个等效电源。因为电压负反馈具有稳定输出电压的作用，即在负载变化时可维持输出电压不变，这就相当于内阻很小的电压源。也就是说，电压负反馈的引入使得放大电路的输出电阻比无反馈时减小。而电流负反馈具有稳定输出电流的作用，即在负载变化时可维持输出电流不变，这就相当于内阻很大的电流源。也就是说，电流负反馈的引入使得放大电路的输出电阻比无反馈时增大。

思考题

3.2.1　什么是反馈？反馈有哪些类型？为稳定放大电路的静态工作点，需引入什么反馈？为改善放大电路的交流性能，需引入什么反馈？

3.2.2　什么反馈使放大电路的输入电阻提高？什么反馈使放大电路输入电阻降低？什么反馈使放大电路的输出电阻提高？什么反馈使放大电路的输出电阻降低？

3.2.3　信号源内阻对放大电路中负反馈的效果有何影响？

3.2.4　交流负反馈对放大电路的性能有何影响？

3.3　集成运算放大器的线性应用

集成运算放大器作为一种通用性很强的放大器件，在模拟电子技术的各个领域获得了广泛的应用。就集成运算放大器的工作状态来说，可分为线性应用和非线性应用两大类。本节主要讨论集成运算放大器的线性应用。

由于集成运算放大器开环电压放大倍数 A_{ud} 很大，其输入电压的线性范围很窄，要使输出信号工

作在线性范围内，必须在输出端与反相输入端之间接入电路元件构成负反馈，这是集成运算放大器线性应用的显著特点。

3.3.1 理想运算放大器及其分析方法

1. 理想运算放大器及其传输特性

随着集成工艺及电路设计水平的不断提高，集成运算放大器的许多性能指标都接近于理想情况，以至于在大多数情况下集成运算放大器在某种程度上都可以当做理想运算放大器来处理，而这种近似分析所引起的误差又在工程允许范围之内，这样就使分析过程大大简化。理想的集成运算放大器应具有如下理想参数：

(1) 开环电压增益 $A_{ud}=\infty$；

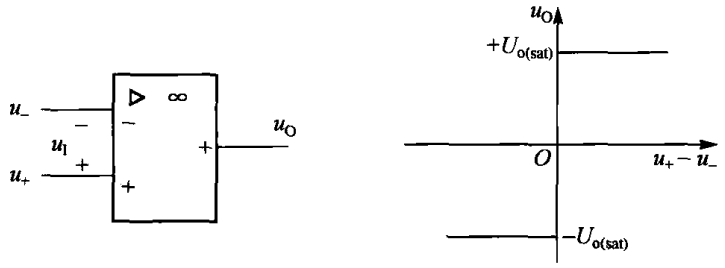
(2) 输入电阻 $r_{id}=\infty$；

(3) 输出电阻 $r_o=0$；

(4) 共模抑制比 $K_{CMRR}=\infty$；

(5) 输入失调电压 U_{IO}，输入失调电流 I_{IO} 均为零。

图 3.3.1(a)是理想运算放大器的图形符号，不同于实际运算放大器是用 ∞ 来表示开环电压放大倍数 A_{ud} 理想化的条件。反相输入端、同相输入端和输出端对地的电位分别用 u_-，u_+ 和 u_O 来表示。理想集成运算放大器的电压传输特性如图3.3.1(b)所示。



(a) 图形符号　　(b) 传输特性

图 3.3.1　理想运算放大器的图形符号及传输特性

2. 理想运算放大器的分析特点

通过上面讨论可知，分析运算放大器的输入-输出关系时，首先要了解运算放大器是工作在线性区还是非线性饱和区。

(1) 对于工作在线性区的理想运算放大器，利用它的理想参数可以得到其应用时的两个重要特点：理想运算放大器的开环电压增益 $A_{ud}\to\infty$，输出电压 u_O 是一个有限的数值，所以它的差模输入电压为 $u_+-u_-=u_O/A_{ud}=0$，即

$$u_+=u_- \tag{3.3.1}$$

此式表明，理想运算放大器的同相输入端和反相输入端电位相等，两个输入端之间相当于短路一样，但不是真正的短路，所以称为“虚短”。

由于理想运算放大器的差模输入电阻 $r_{id}=\infty$，所以两输入端的电流等于零，即

$$i_+=i_-=0 \tag{3.3.2}$$

此式表明，理想运算放大器的两输入端不从外电路取用电流，该支路相当于断路一样，但不是真正的断开，所以称为“虚断”。

“虚短”和“虚断”是理想集成运算放大器的两个重要特点，利用这两个特点将大大地简化集成运算放大器应用电路的分析，而得到的结果与实际集成运算放大器相差很小，完全满足工程计算的要求。

(2) 对于工作在非线性区的运算放大器，由图3.3.1(b)可以看出，这时输出电压只有两种可能：

$$当 u_+ > u_- 时，\ u_O = +U_{O(sat)} \tag{3.3.3}$$

$$当 u_+ < u_- 时，\ u_O = -U_{O(sat)} \tag{3.3.4}$$

此时两输入端的电位 u_+ 和 u_- 却不再相等，即“虚短”原则上不成立。但仍然可认为两个输入端的输入电流等于零，即“虚断”的条件原则上仍然成立。

3.3.2　运算放大器的三种组态

由于运算放大器有两个输入端和一个输出端，实际使用时就有三种不同的输入方式：反相输入、同相输入和差分输入。我们称这三种输入方式为三种组态，运算放大器的线性应用总是由这三种组态构成的，不同组态有各自的特点，掌握这些电路的分析方法及特点是学习其他应用电路的基础。

1．反向输入组态

(1) 电路的构成

反相输入组态是集成运算放大器应用电路的基本组态之一，在图 3.3.2 所示电路中，不论 Z_1，Z_F 是任意 R, L 和 C 构成的二端网络的阻抗，还是代表一个非线性的器件，凡是通过 Z_1 将输入信号 u_I 加到集成运算的反相输入端，通过 Z_F 将输出信号 u_O 也引回到反相输入端，从而在反相输入端实现电流比较 $i_I - i_F = i_D$，这种类型的应用电路称为反相输入组态。简言之，反相输入组态是应用集成运算放大器作为增益器件构成的电压并联负反馈电路，它的 u_O 与 u_I 反相。

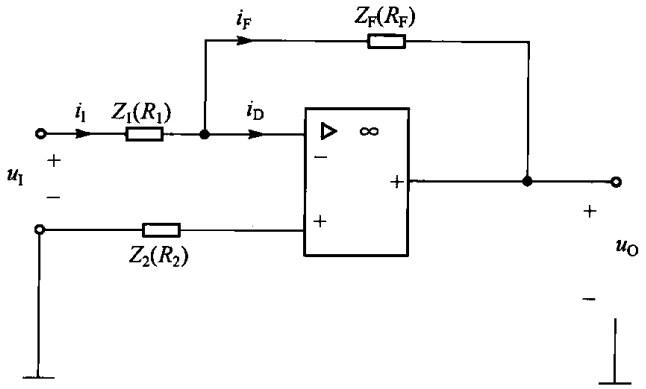


图 3.3.2　反相输入组态电路

当 $Z_F = R_F$，$Z_1 = R_1$ 时，即为反相比例运算电路。习惯上，将跨接在放大器输出端和反相输入端之间的电阻 R_F 称为反馈电阻，将信号源与反相输入端之间的电阻 R_1 称为输入电阻，将同相输入端接的电阻 R_2 称为平衡电阻。参数选择时应使 $R_2 = R_1 // R_F$，这是因为集成运算放大器输入级是差分放大电路，要求两边参数对称以保持静态平衡。由于 $u_I = 0$ 时，u_O 也为零，所以集成运算放大器同相输入端和“地”两点之间的等效电阻应等于集成运算放大器反相输入端和“地”两点之间的等效电阻。

(2) 运算关系

根据理想运算放大器“虚断”的特点，输入电流等于零，电阻 R_2 上无压降，可得 $u_+ = 0$，

$i_I = i_F$；根据“虚短”特点，则有 $u_- = u_+ = 0$。也就是说，集成运算放大器的反相输入端与地端等电位，但又不是真正的接地，故称为“虚地”。

在这种情况下，集成运算放大器的反相输入端为虚地点。“虚地”是深度电压并联负反馈放大电路的重要特点。由此得到

$$i_I = \frac{u_I}{R_F}, \qquad i_F = -\frac{u_O}{R_F}$$

由 $i_I = i_F$ 可得

$$\frac{u_I}{R_1} = -\frac{u_O}{R_F}$$

因此闭环电压放大倍数为

$$A_{uf} = \frac{u_O}{u_I} = -\frac{R_F}{R_1} \tag{3.3.5}$$

上式表明，集成运算放大器在理想的条件下，闭环电路放大倍数由 R_F 和 R_1 决定，而与集成运算放大器本身的参数无关。如采用精度和稳定性很高的电阻，则闭环电压放大倍数 A_{uf} 的精度和稳定性就很高。式(3.3.5)中的负号说明输出电压和输入电压反相，所以这种电路取名为反相比例运算电路，可以用来进行比例运算。

当 $R_F = R_1$ 时，由式(3.3.5)可得

$$A_{uf} = \frac{u_O}{u_I} = -1 \tag{3.3.6}$$

这就是最简单的反相器。

(3) 主要特点

反相比例运算电路为深度电压并联负反馈电路，所以具有电压并联负反馈的特点。

① 输入电阻低。由 3.2 节分析可知，并联负反馈使放大电路的输入电阻减小。由于反相比例运算电路为深度电压并联负反馈，使得反相输入端为虚地点，所以反相输入端对地的等效电阻比差模输入电阻大为减小，近似为零。此时考虑到外接输入电阻 R_1 及虚地的概念，则反相比例运算电路的输入电阻为

$$r_i = \frac{u_I}{i_I} = R_1 \tag{3.3.7}$$

即闭环放大电路的输入电阻降为外接电阻 R_1，因此对输入信号的负载能力有一定的要求。

② 输出电阻小。由于电压负反馈的作用，其闭环输出电阻很小，通常可将 r_o 视为零，因此带负载能力强。

(4) 线性范围

图 3.3.3 是反相比例运算电路的电压传输特性。由图可见，输入电压 u_I 的线性工作范围在 $\pm\frac{R_1}{R_F}U_{o(sat)}$ 之间，只有在线性放大区，输入输出的比例关系才存在，一旦超出线性区，运算放大器进入饱和状态，其输出将不再变化。

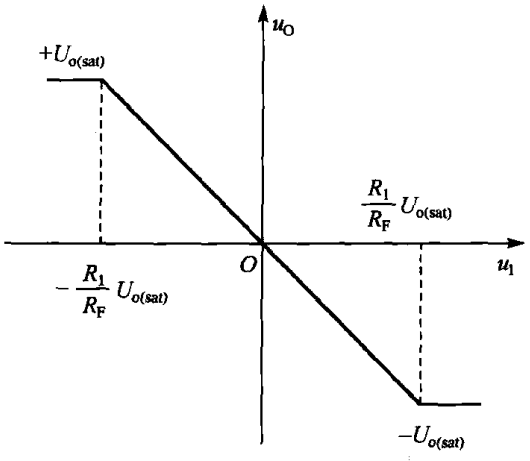


图 3.3.3 反相比例器的电压传输特性

2. 同相输入组态

(1) 电路的构成

同相输入组态也是集成运算放大器应用电路的基本组态之一。在图3.3.4电路中，不论图中的Z_1，Z_F和Z_2是任意 R, L 和 C 构成的二端网络的阻抗，还是代表一个非线性的器件，只要输入信号u_I是通过Z_2加到集成运算放大器的同相输入端，通过Z_F和Z_1构成的反馈网络把输出信号u_O引回到集成运算放大器的反相输入端，从而在输入端实现电压比较，$u_+ = u_{Id} + u_-$。这种类型的电路称为同相输入组态。简言之，同相输入组态是用集成运算放大器作为增益器件组成的电压串联负反馈电路。

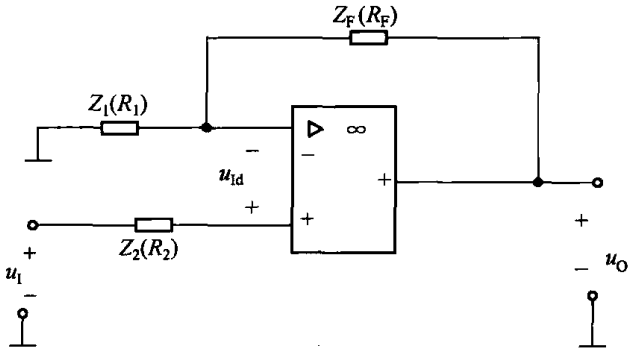


图 3.3.4　同相输入电路

当Z_1，Z_2和Z_F均为电阻时，则为同相比例放大运算电路。$R_2 = R_1 // R_F$仍起到补偿电阻的作用，用来保证外部电路平衡对称。

(2) 运算关系

在图 3.3.4 中，输入电压u_I加在同相输入端，由“虚断”的概念，则得到$u_+ = u_I$，又由虚短的概念$u_+ = u_-$，则有$u_- = u_+ = u_I$。显然，同相输入组态不同于反相输入组态，不存在虚地的概念，只能用“虚断”和“虚短”的概念来分析。

由虚断的概念，有

$$u_+ = u_I$$

$$u_- = u_O \frac{R_1}{R_1 + R_F}$$

由虚短的概念，有

$$u_I = u_o \frac{R_1}{R_1 + R_F}$$

于是有

$$u_O = \left(1 + \frac{R_F}{R_1}\right) u_I \tag{3.3.8}$$

闭环电压放大倍数为

$$A_{uf} = \frac{u_O}{u_I} = 1 + \frac{R_F}{R_1} \tag{3.3.9}$$

由式(3.3.9)可见，同相比例运算电路输出电压与输入电压同相，而且闭环电压放大倍数$A_{uf} \geqslant 1$。

(3) 主要特点

同相比例运算电路属于电压串联负反馈电路，所以具有电压串联负反馈的特点。

① 输入电阻高。在理想运算放大器的情况下，输入电阻 $r_i=\infty$。

② 输出电阻低。由于电压负反馈的作用，在理想情况下，$r_o=0$。

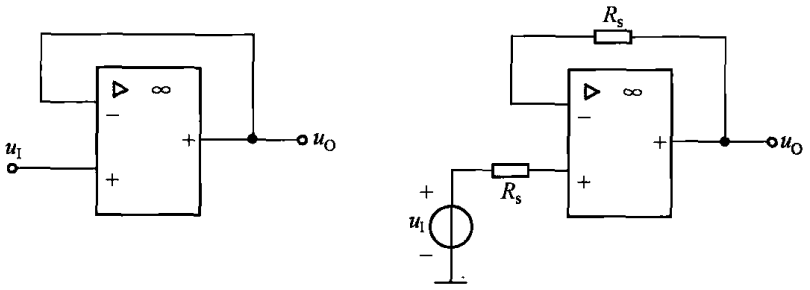
③ 由于 $u_-=u_+=u_I$，因此两个输入端对地电压都等于输入电压，即集成运算放大器组成的同相输入组态电路必须能承受共模信号电压 u_I，因此要有较高的共模抑制比。

(4) 电压跟随器

电压跟随器是同相比例运算电路的一种特殊情况，若取 $R_1=\infty$，$R_F=0$，即接成了电压跟随器的形式。

根据虚短的概念，$u_O=u_+=u_-=u_I$，所以闭环电压放大倍数等于 1。和第 2 章讲过的射极输出器、源极输出器类似，电压跟随器属于深度电压串联负反馈电路。由于集成运算放大器的性能优良，所以由它构成的电压跟随器不仅精度高，而且具有无穷大的输入阻抗、零输出阻抗，是理想的缓冲放大器。

如果信号源的内阻较大，应在输出端与反相输入端的反馈环中串入与信号源内阻相等的平衡电阻，以减小输入失调电流的影响，如图3.3.5(b)所示。



(a) 信号内阻为零时的电路　　(b) 信号源内阻较大时的电路

图 3.3.5　电压跟随器

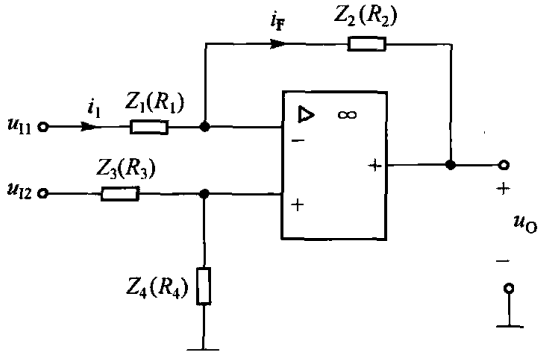


图 3.3.6　差分输入组态电路

3. 差分输入组态

差分输入组态电路如图3.3.6所示。图中的 $Z_1\sim Z_4$ 仍然是任意 R, L 和 C 构成的二端网络的阻抗。从电路结构上看，两个输入信号 u_{I1} 和 u_{I2} 分别加到反相输入端和同相输入端，即该电路是反相输入组态与同相输入组态电路的结合，因此对 u_{I1} 和 u_{I2} 分别具有并联负反馈和串联负反馈的特点。

当 $Z_1\sim Z_4$ 均为电阻时，即为差分比例运算电路。根据“虚断”和“虚短”的概念，则有

$$u_+=u_{I2}\frac{R_4}{R_3+R_4}=u_-$$

又 $i_1=i_F$，即

$$\frac{u_{I1}-u_{I2}\dfrac{R_4}{R_3+R_4}}{R_1}=\frac{u_{I2}\dfrac{R_4}{R_3+R_4}-u_O}{R_2}$$

经过整理，可得输出电压为

$$u_O = \left(1+\frac{R_2}{R_1}\right)\frac{R_4}{R_3+R_4}u_{I2} - \frac{R_2}{R_1}u_{I1} \tag{3.3.10}$$

实际上从线性电路的叠加原理出发，可以由同相输入比例运算电路和反相输入比例运算电路的运算关系直接得出输出电压 u_O 的表达式。当 u_{I2} 作用，而 $u_{I1}=0$ 时，反相输入端经电阻 R_1 接地，运算放大器成为一个同相输入比例运算电路，得输出电压 u'_O，即为式(3.3.8)的前一项。当 u_{I1} 作用，而 $u_{I2}=0$ 时，运算放大器为一个反相比例运算电路，得输出电压 u''_O，即为式(3.3.8)的后一项。

通常，为了发挥差分电路的优点，大多数应用都满足平衡关系，即 $R_3=R_1=R$，$R_4=R_2=R_F$，则输出电压简化为

$$u_O = \frac{R_F}{R}(u_{I2}-u_{I1}) \tag{3.3.11}$$

上式说明，输出电压与输入电压之差($u_{I1}-u_{I2}$)成正比，而不决定于 u_{I1} 和 u_{I2} 本身的大小。这就是差分比例运算电路取名的由来。

如果 $u_{I2}=u_{I1}$，则 $u_O=0$，这说明差分比例放大运算电路不放大共模信号。当然，只有严格满足匹配条件 $R_1=R_3$ 和 $R_2=R_4$ 才能得出此结论。如果这些电阻匹配较差，则差分比例运算电路的共模抑制比就不仅与集成运算放大器本身的共模抑制比有关，而且主要决定于外部电阻的匹配情况。这是反相与同相输入组态无法包含的特殊性。鉴于此，把差分输入组态看成是集成运算放大器应用电路的基本组态之一。

当 $R_F=R$ 时，则输出电压为

$$u_O = u_{I2}-u_{I1} \tag{3.3.12}$$

这就是应用较多的减法运算电路。

3.3.3　信号运算电路

运算放大器广泛应用于对模拟信号进行各种数学运算，例如比例放大、加、减、积分、微分、对数、反对数等。下面对较常用的信号运算电路进行介绍。

1．高增益反相比例运算电路

上面介绍的三种基本组态构成的电路就是最基本的比例运算电路。由反相比例运算电路的讨论可知，由于引入深度电压并联负反馈，使得放大电路的输入电阻降低到外接输入电阻 R_1。要提高反相比例运算电路的输入电阻，就要增大 R_1 的阻值，在保证一定的放大倍数的情况下，则必须增加反馈电阻 R_F 的阻值，而大阻值高精度的电阻很难制造，且随着电阻阻值的增大，电路的噪声加大，稳定性变差。因此，当要求反相比例器的输入电阻和放大倍数都较大时，很难满足要求。

图 3.3.7 所示电路能较好地解决此问题，图中用电阻 R_2，R_3 和 R_4 代替了反馈电阻 R_F。由于此电路属于反相输入组态，因此利用 u_- 为虚地的概念，可得

$$\frac{u_I}{R_1} = -\frac{u_F}{R_2}$$

及

$$u_F = \frac{R_2 /\!/ R_4}{R_3 + R_2 /\!/ R_4}u_O$$

所以闭环电压放大倍数为

$$A_{uf}=\frac{u_O}{u_I}=-\frac{R_2}{R_1}\cdot\frac{R_3+R_2//R_4}{R_2//R_4}=-\frac{1}{R_1}\left(R_2+R_3+\frac{R_2R_3}{R_4}\right) \tag{3.3.13}$$

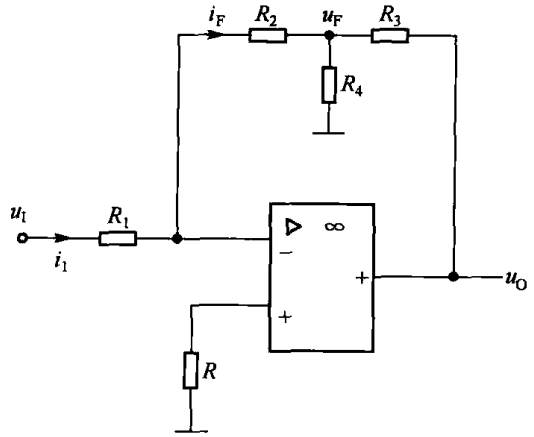


图 3.3.7 高增益反相比例运算电路

由式(3.3.13)可见，$R_2+R_3+\frac{R_2R_3}{R_4}$ 代替了反相比例器中的 R_F，只要 $\frac{R_2R_3}{R_4}$ 的比值取得适当，该电路就能得到较高的增益。

此电路又称为增益可调比例运算电路，只需将图3.3.7中的 R_3 和 R_4 用电位器替代即可。

例 3.3.1 对于图3.3.7所示电路，已知 $R_1=100\,\text{k}\Omega$，$R_2=200\,\text{k}\Omega$，$R_3=50\,\text{k}\Omega$，$R_4=1\,\text{k}\Omega$，求此电路的闭环增益为多少？平衡电阻 R 为多少？

解：由式(3.3.13)可得

$$A_{uf}=-\frac{1}{R_1}\left(R_2+R_3+\frac{R_2R_3}{R_4}\right)$$

$$=-\frac{1}{100}\left(200+50+\frac{200\times50}{1}\right)=-102.5$$

同相输入端所接平衡电阻为

$$R=R_1//(R_2+R_3//R_4)\approx R_1//(R_2+R_4)\approx R_1//R_2$$

$$=100//200=33.3\,\text{k}\Omega$$

2. 加法运算电路

输出电压与若干输入电压之和成比例关系的电路称为加法运算电路(或称为求和放大器)。

(1) 反相加法运算电路

反相加法运算电路如图3.3.8所示。它是反相比例运算电路的一种简单扩展，待加的输入电压信号经 R_1，R_2 和 R_3 引至反相输入端，由于反相输入端为虚地，三个输入电压彼此独立且通过自身的输入回路电阻转换为电流，实现了电流相加。总电流从反馈电阻 R_F 流出并转化为输出电压 u_O，故反相输入端又常称为求和点。图中画了三个输入端，实际应用时可根据需要增减。R 为平衡电阻，保证电路平衡对称，即 $R=R_1//R_2//R_3//R_F$。

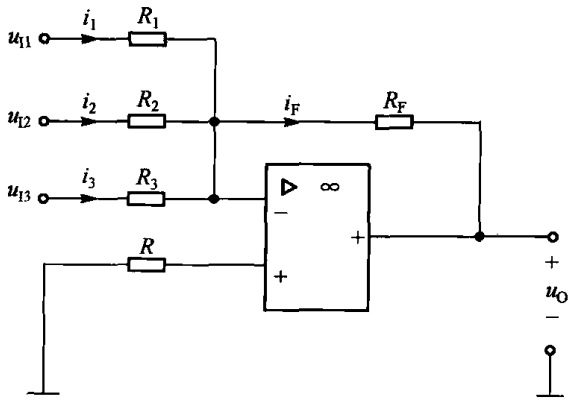


图 3.3.8 反相加法运算电路

运用虚地和虚断的概念，由图3.3.8所示电路可得

$$i_F = i_1 + i_2 + i_3$$

即

$$-\frac{u_O}{R_F} = \frac{u_{I1}}{R_1} + \frac{u_{I2}}{R_2} + \frac{u_{I3}}{R_3}$$

所以

$$u_O = -\left(\frac{R_F}{R_1}u_{I1} + \frac{R_F}{R_2}u_{I2} + \frac{R_F}{R_3}u_{I3}\right) \tag{3.3.14}$$

这就是比例加法运算的表达式，如果 $R_F = R_1 = R_2 = R_3$，则

$$u_O = -(u_{I1} + u_{I2} + u_{I3}) \tag{3.3.15}$$

实现了输入电压的求和运算。

需要指出的是，由于反相输入端虚地将各个输入端相互隔离开来，调节某一路信号的输入电阻（R_1，R_2，R_3）的阻值并不影响其他输入电压的比例关系，因而调节方便。

(2) 同相加法运算电路

同相加法运算电路如图 3.3.9 所示，为同相输入组态应用电路。利用“虚断”的特点及叠加原理，可求出同相输入端电位为

$$u_+ = \frac{R_{22}}{R_{21}+R_{22}}u_{I1} + \frac{R_{21}}{R_{21}+R_{22}}u_{I2}$$

而 $u_- = \dfrac{R_1}{R_1+R_F}u_O$。

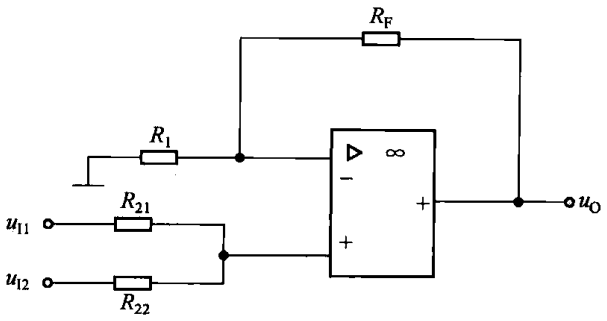


图 3.3.9　同相加法运算电路

由“虚短”的特点，有 $u_+ = u_-$，则可得

$$u_O = \left(1+\frac{R_F}{R_1}\right)\left(\frac{R_{22}}{R_{21}+R_{22}}u_{I1} + \frac{R_{21}}{R_{21}+R_{22}}u_{I2}\right) \tag{3.3.16}$$

当 $R_1 = R_F = R_{21} = R_{22}$ 时，有

$$u_O = u_{I1} + u_{I2} \tag{3.3.17}$$

与反相加法运算电路相比，由于同相加法运算电路是同相输入组态，属串联负反馈，它的输入电阻高，从信号源不取用电流，但是有较大的共模输入信号，对运算放大器的共模抑制比有较高的要求。因此在对输入电阻要求不高时，往往采用反相输入加法运算电路。

3. 减法运算电路

在图3.3.6所示差分输入组态电路中已讨论过，当 $R_1 = R_2 = R_3 = R_4$ 时，输出电压为输入端输入电压之差 $u_O = u_{I2} - u_{I1}$，即为减法运算关系。此关系也可用加法器实现，如图 3.3.10 所示。图中利用 A_1 作为反相器得到 $-u_{I2}$，再利用 A_2 反相加法关系，可得

$$u_O = u_{I2} - u_{I1} \tag{3.3.18}$$

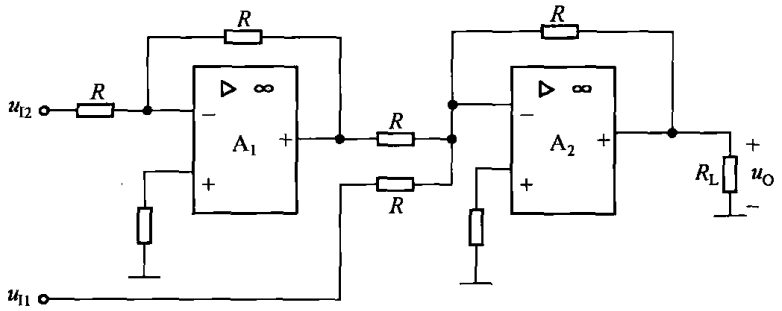


图 3.3.10 减法运算电路

利用同相加法器与反相器也可得到同样的关系。

4. 积分运算电路

由集成运算放大器组成的积分运算电路如图 3.3.11 所示。与反相输入比例运算电路不同之处在于反馈元件由电容 C 组成。运用虚短和虚断的概念，可知集成运算放大器的反相输入端为“虚地”点。因此

$$i_1 = \frac{u_I}{R_1}$$

$$u_O = -\frac{1}{C}\int_0^t i_F dt + u_O(0)$$

并且 $i_1 = i_F$，所以

$$u_O = -\frac{1}{R_1 C}\int_0^t u_I dt + u_O(0) \tag{3.3.19}$$

式(3.3.19)表明，输出电压 u_O 是输入电压 u_I 的积分，式中的负号表明输出电压与输入电压极性相反，$u_O(0)$ 为电容两端的初始电压值。

图3.3.11中R′为补偿电阻，一般取 $R' = R_1$。

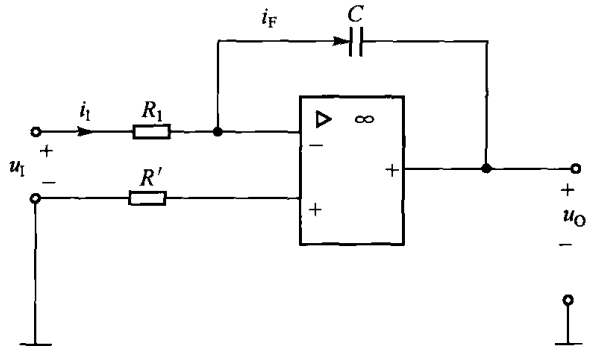


图 3.3.11 积分运算电路

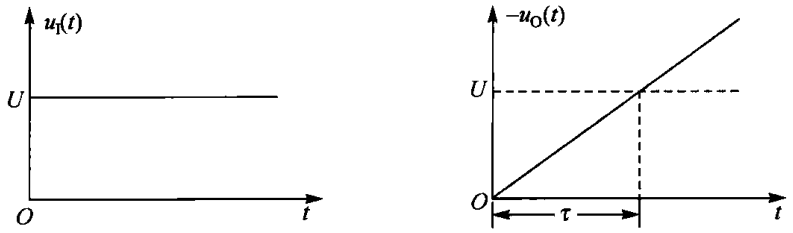
当输入信号 u_I 为图3.3.12(a)所示阶跃电压，即

$$u_I = \begin{cases} 0 & t < 0 \\ U & t \geqslant 0 \end{cases}$$

则输出电压为

$$u_O = -\frac{1}{R_1 C}\int_0^t u_I dt + u_O(0) = -\frac{U}{R_1 C}t \tag{3.3.20}$$

由式(3.3.20)可见，电容以恒流(U/R_1)方式进行充电，输出电压u_O与时间t成线性关系，当$t=RC=\tau$时，$u_O=-U$。但输出电压的最终值则受到运算放大器最大输出电压的限制。



(a) 输入波形　　(b) 输出波形

图 3.3.12　积分运算电路的输入输出波形

例 3.3.2　对于图 3.3.11 所示的积分电路，已知$R_1=100\,\text{k}\Omega$，$C=0.1\,\mu\text{F}$，电容初始电压$u_O(0)=0\,\text{V}$，设电路在$t=0\,\text{s}$时刻接入$u_I=2\,\text{V}$，试求这个积分电路在接入输入信号u_I之后，经多长时间输出电压$u_O=-5\,\text{V}$？设运算放大器最大输出电压$\left|\pm U_{O(sat)}\right|=12\,\text{V}$，求线性积分时间。

解：由式(3.3.20)可求出输出电压达到$-5\,\text{V}$时刻所需的时间为

$$-5\,\text{V}=-\frac{2}{100\times10^3\times0.1\times10^{-6}}t$$

所以

$$t=\frac{5}{2}\times10^{-2}\,\text{s}$$

线性积分时间为

$$T=\left|\frac{\pm U_{O(sat)}}{U}\right|R_1C=\frac{12}{2}\times100\times10^3\times0.1\times10^{-6}=6\times10^{-2}\,\text{s}$$

5. 微分运算电路

(1) 基本微分电路

输出信号电压与输入信号电压成微分关系的放大电路称为微分运算电路，简称微分器。因为微分运算是积分运算的逆运算，所以将积分器中的电容元件和电阻元件位置互换，就组成了微分运算电路，如图3.3.13所示。

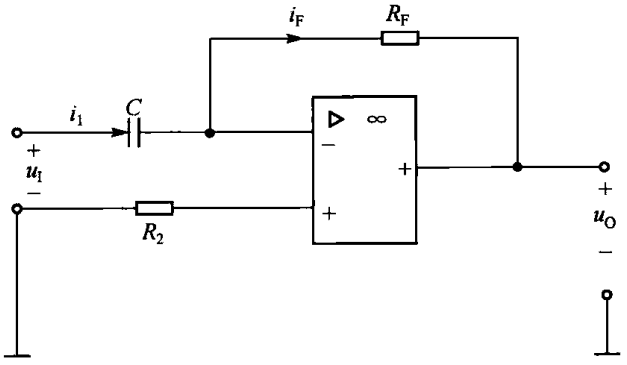


图 3.3.13　微分运算电路

在这个电路中同样存在着虚地，因此

$$i_1=C\frac{\mathrm{d}u_I}{\mathrm{d}t}$$

$$u_O = -i_F R_F \quad 且 \quad i_1 = i_F$$

所以

$$u_O = -R_F C \frac{du_I}{dt} \tag{3.3.21}$$

由式(3.3.21)可见，输出电压与输入电压成微分关系。

由于微分运算电路的输出电压与输入电压的变化率成比例，而电路中的干扰信号大都是迅速变化的高频信号，因此微分运算电路抗干扰能力差。所以，实际使用的微分运算电路要比图 3.3.13 所示电路复杂一些。

(2) 实用微分电路

实用的微分电路如图3.3.14所示，其改进的措施是在输入回路中串联电阻R_1，在反馈回路并联电容C_F。当频率高到一定值时，R_1和C_F使得闭环放大倍数降低，抑制了高频噪声。在正常的工作频率范围内，R_1和C_F的取值对微分电路影响很小。

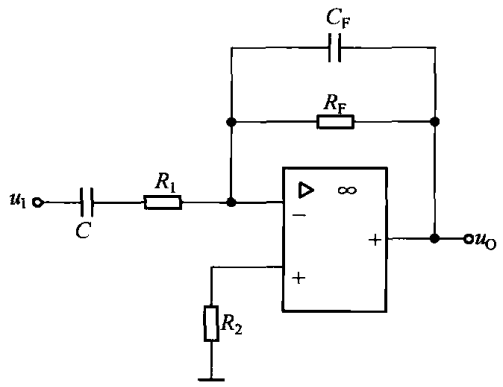


图 3.3.14 实用微分运算电路

例 3.3.3 在自动控制系统中，为了使系统稳定地工作，并能获得较好的调节效果，需要有校正装置或调节器。由运算放大器和 RC 网络组成的有源校正网络，既能提供一定的增益，保证系统的静特性精度，又能起改善动态特性的作用，因此已被广泛地用做校正装置。

通常这种有源校正装置分为比例-积分调节器 [简称 PI(Proportional Integrator)调节器]、比例-微分调节器 [简称 PD(Proportional Differentiator)调节器] 和比例-积分-微分调节器 [简称 PID(Proportional Integral Differentiator)调节器]。图3.3.15是由集成运算放大器和 RC 网络组成的 PI 调节器，试分析推导输出电压u_O与输入电压u_I的运算关系。

解：由图可见，此电路属于反相输入组态，反相输入端为虚地，因此可得

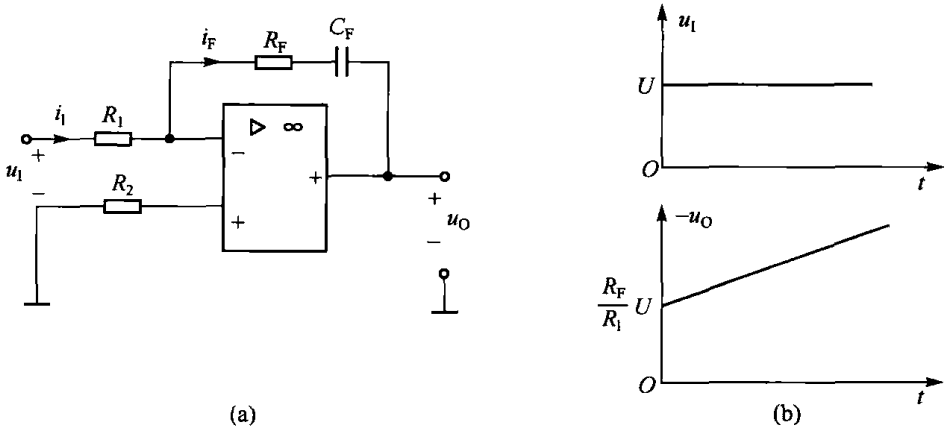


图 3.3.15 比例-积分调节器

$$i_1 = \frac{u_I}{R_1}$$

$$u_O = -\left(i_F R_F + \frac{1}{C_F}\int i_F dt\right)$$

又

$$i_1 = i_F$$

所以

$$u_O = -\left(\frac{R_F}{R_1}u_I + \frac{R_F}{R_1}\frac{1}{R_F C_F}\int u_I dt\right) \tag{3.3.22}$$

式中，R_F/R_1 是 PI 调节器的比例系数；$R_F C_F$ 是 PI 调节器的积分时间常数。可见，输出电压不仅与输入电压成正比，而且与输入电压对时间的积分成正比。

若输入 u_I 为阶跃电压，且在零初始条件下，其输出电压为

$$u_O = -\frac{R_F}{R_1}U - \frac{R_F}{R_1}\frac{1}{R_F C_F}Ut \tag{3.3.23}$$

输出 u_O 随时间变化的关系如图3.3.15(b)所示。当 $t=0$ 时，PI 调节器的输出电压由比例系数决定；当 $t>0$ 时，输出电压 u_O 按积分关系线性上升，PI 调节器的输出电压增大。这就是说，当系统出现大的误差时，PI 调节器的输出电压不会立即变得很大，而是随着时间不断增大，这样既能保证系统调节平稳，又能保证精度。

例 3.3.4　求图3.3.16所示电路 u_O 和 u_I 之间的运算关系。

解：由于理想运算放大器输出电阻 $r_o=0$，输出电压不受负载影响，故分析多个运算放大器组成的电路时，以各个运算放大器的输出为界，将电路分成几个小部分来分析。图 3.3.16 所示的三运算放大器电路可分为三部分来分析。

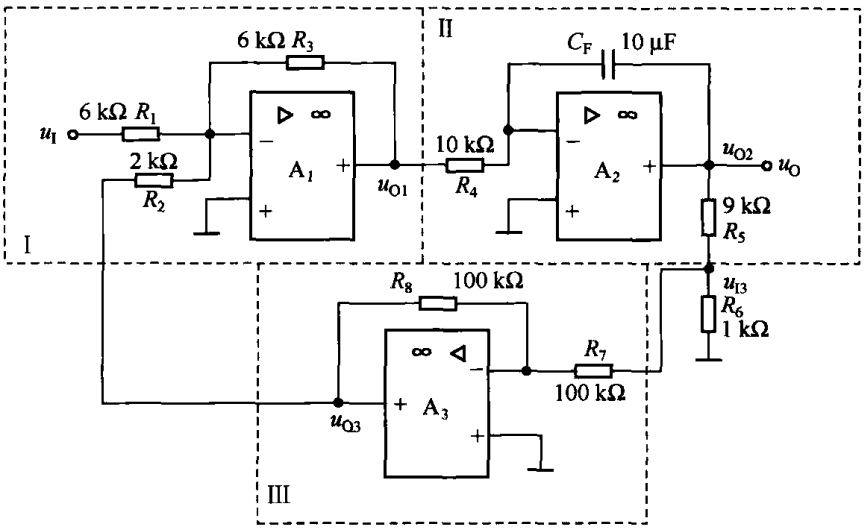


图 3.3.16　例 3.3.4 的电路图

① 框Ⅰ　运算放大器 A_1 是一个反相比例加法运算电路，输入电压分别为 u_I 和 u_{O3}，输出电压为 u_{O1}，其运算关系为

$$\frac{u_I}{R_1} + \frac{u_{O3}}{R_2} = -\frac{u_{O1}}{R_3}$$

代入已给数值可得

$$u_{O1} = -(u_I + 3u_{O3}) \tag{3.3.24}$$

② 框Ⅱ　运算放大器 A_2 是一个反相积分运算电路，其输入信号为 u_{O1}，输出为 u_{O2}（即 u_O），因此

$$u_O = u_{O2} = -\frac{1}{R_4 C_F}\int u_{O1} dt$$

代入已知数值可得

$$u_O = \frac{1}{10\times10^3\times10\times10^{-6}}\int u_{O1}dt$$

即

$$\frac{du_O}{dt} = -10u_{O1} \tag{3.3.25}$$

③ 框Ⅲ 运算放大器 A_3 是一个反相器，由于 R_7 远远大于 R_5 和 R_6，因此可近似认为

$$u_{I3} = \frac{R_6}{R_5+R_6}u_O \qquad u_{O3} = -u_{I3}$$

代入已知数值可得

$$u_{O3} = -\frac{1}{10}u_O \tag{3.3.26}$$

联立式(3.3.24)、式(3.3.25)和式(3.3.26)，消去 u_{O1} 和 u_{O3}，可得

$$\frac{du_O}{dt} + 3u_O = 10u_I$$

这就是输入 u_I 与输出 u_O 之间的微分关系式。

从图 3.3.16 可见，电路中有一个积分器，可求解一阶微分方程，如运算电路中有两个积分器，则可求解二阶微分方程。电子模拟计算机中就是利用积分器降阶来求解微分方程的。

3.3.4 运算放大器在测量技术中的应用

运算放大器已被广泛地应用于各种测量电路中，用于提高测量精度，扩大测量功能。本节介绍在测量技术中常用的一些运算放大器的应用电路。

1. 电压、电流的测量

测量的核心是把一般表头改装成一块灵敏度较高、输入电阻又较大的毫伏表。图 3.3.17 所示为一直流毫伏表的典型电路图。由图可见，输入电压加于运算放大器同相输入端，反馈电阻 R_F 构成电流负反馈形式。

由图3.3.17 可列出

$$U_+ = U_x = U_- = U_F = I_G R_F$$

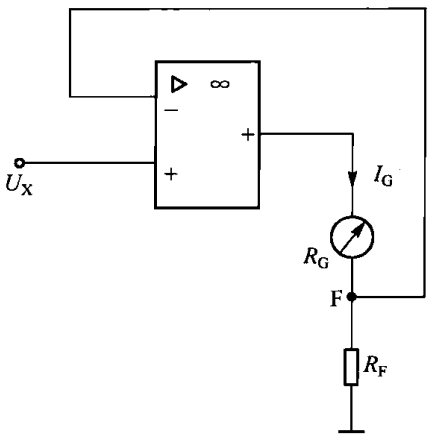


图 3.3.17 直流毫伏表的典型电路图

所以

$$I_G = U_X/R_F \tag{3.3.27}$$

式中，I_G 为流过表头的电流；U_X 为被测直流电压。可见，I_G 的大小与表头电阻 R_G 无关，所以该电路构成电流源电路。如果表头是一块100 μA 的直流微安表，反馈电阻 R_F 取10 Ω，则可测量的满偏电压 $U_X = I_G R_F = 1$ mV。

这样构成的毫伏表具有如下几方面的优点。

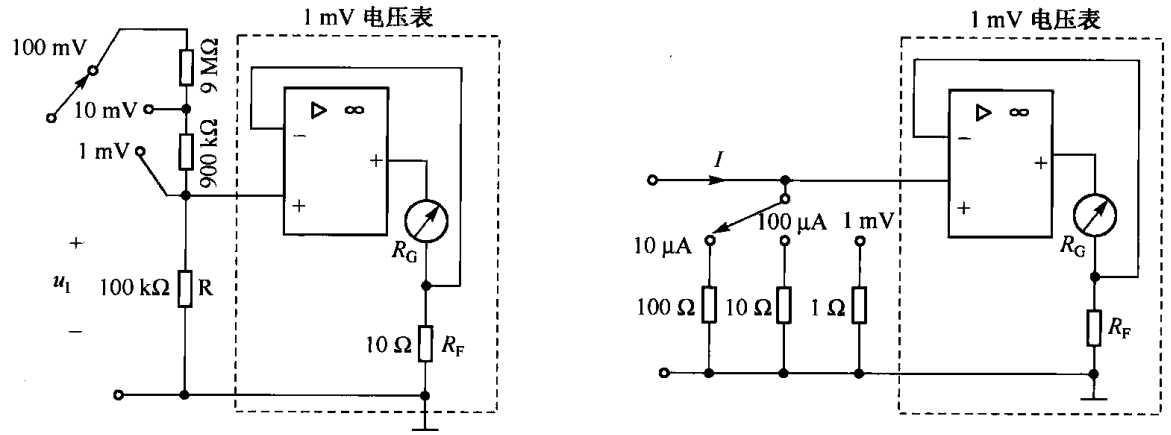
(1) 能测量 1 mV 左右的电压，这样高的灵敏度是一般万用表达不到的。

(2) 由于为同相输入方式，输入电阻很高，不从被测电压电路取用电流，这也是一般电工仪表达不到的。

(3) 由于输出采用电流负反馈，所以满偏电压不受表头内阻 R_G 的影响，只要是100 μA 的表头，不论内阻大小，换用后电压量程不变。

(4) 由于 R_F 的值不大，可以用温度系数较低的电阻丝绕制，改进了仪表性能。

以上述直流毫伏表为基础，加上分压器或分流器就可以构成多量程的直流电压表或电流表，如图3.3.18 所示。



(a) 多量程电压表　　(b) 多量程电流表

图 3.3.18　多量程电压表、电流表

如果将表头改接到一个桥式整流电路中，如图 3.3.19 所示，就可以测量交流电压和交流电流。由于负反馈的作用，减少了整流二极管非线性对仪表读数的影响，使表的读数可保持线性。

2．数据放大器

在工业自动控制和非电量测量等系统中，经常需要对电阻应变片、热电偶等各种传感器转换后的电量加以放大。图 3.3.20 所示电桥电路是最常用的传感器测量电路之一。设电桥的一个桥臂为电阻应变片，当被测元件的应力发生变化时，则桥路平衡被破坏，桥路的对角线 a, b 两点就有电压信号输出，显然在输出信号中有较大的共模分量。另外，在构成测量系统时，不可避免地会引进一些干扰信号，这些干扰信号对于后面的放大电路一般为共模输入信号。因此，要求用于放大这类信号的放大电路应具有放大差模信号，而抑制共模信号的能力。

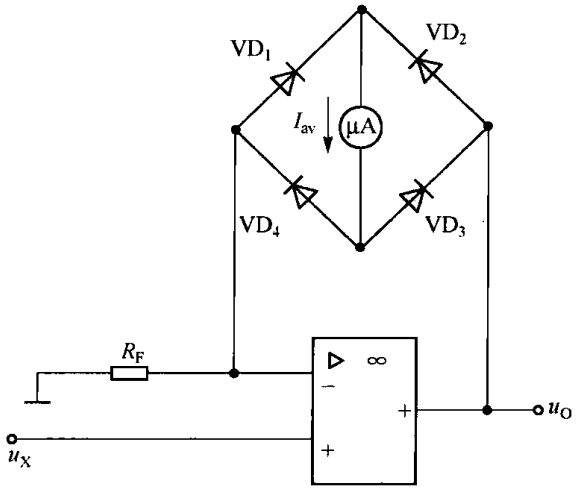


图 3.3.19　交流电压表电路

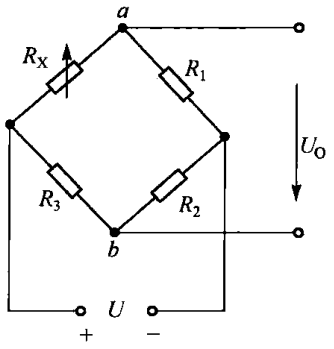


图 3.3.20　测量桥路

图 3.3.21 所示的由三个集成运算组成测量放大器，又称为数据放大器，就是常用的放大电路。它由两级直接耦合的放大电路组成。输入信号由 A_1, A_2 的同相输入端输入，因此输入阻抗高，由于电路结构对称，它们的失调和漂移有相互补偿的作用，且增益调节方便。第二级由 A_3 组成的差分放大电路组成，将差分浮地输入转换为单端对地输出。

由虚短和虚断的概念，可得下列关系式：

$$u_O = \frac{R_{F2}}{R}(u_{O2} - u_{O1})$$

$$u_{O2} - u_{O1} = i_O(R_{F1} + R_W + R_{F1})$$

$$i_O = \frac{u_{I2} - u_{I1}}{R_W}$$

$$u_O = \frac{R_{F2}}{R}(2R_{F1} + R_W)\frac{u_{I2} - u_{I1}}{R_W} = \left(1 + \frac{2R_{F1}}{R_W}\right)\frac{R_{F2}}{R}(u_{I2} - u_{I1}) \tag{3.3.28}$$

上式表明，输出电压与输入电压的差模分量有关，只要保证外电路元件严格对称，就能只放大差模信号，而抑制漂移等共模信号。改变 R_W，就可以对放大器的增益进行调整。

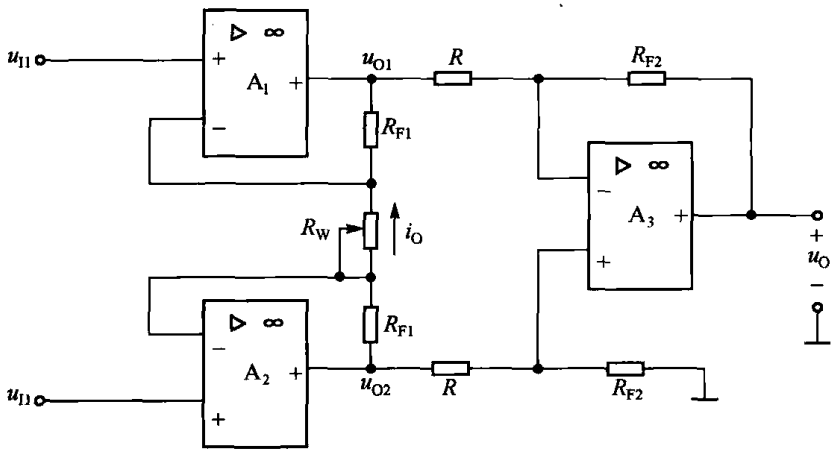


图 3.3.21 数据放大器

该电路也可以用叠加原理来分析。当 u_{I1} 作用，u_{I2} 等于零时，可求得

$$u'_{O1} = \left(1 + \frac{R_{F1}}{R_W}\right)u_{I1}, \qquad u'_{O2} = -\frac{R_{F1}}{R_W}u_{I1}$$

同理，当 u_{I2} 作用，u_{I1} 等于零时，可求得

$$u''_{O2} = \left(1 + \frac{R_{F1}}{R_W}\right)u_{I2}, \qquad u''_{O1} = -\frac{R_{F1}}{R_W}u_{I2}$$

所以有

$$u_{O1} = \left(1 + \frac{R_{F1}}{R_W}\right)u_{I1} - \frac{R_{F1}}{R_W}u_{I2}, \qquad u_{O2} = \left(1 + \frac{R_{F1}}{R_W}\right)u_{I2} - \frac{R_{F1}}{R_W}u_{I1}$$

$$u_O = \frac{R_{F2}}{R}(u_{O2} - u_{O1}) = \left(1 + \frac{2R_{F1}}{R_W}\right)\frac{R_{F2}}{R}(u_{I2} - u_{I1})$$

数据放大器应用十分广泛，已经成为精密测量电路和自动控制的通用产品。设计电路时，已有高性能的单片集成数据放大器以供选用，如 LH0036, AD521 和 AD524 等，实际应用时可参考相应手册。

3. 温度的测量

利用半导体二极管作为温度传感器构成的测温电路如图 3.3.22(a)所示。图中 A_1 与二极管 VD 构成温度传感器。硅二极管 PN 结正向压降的温度系数大约为 −2 mV/℃，其灵敏度比热电偶高 50～200 倍。二极管 VD 接在反馈回路中，同相输入端加基准电压 U_{R1}，利用“虚短”和“虚断”的原则，有

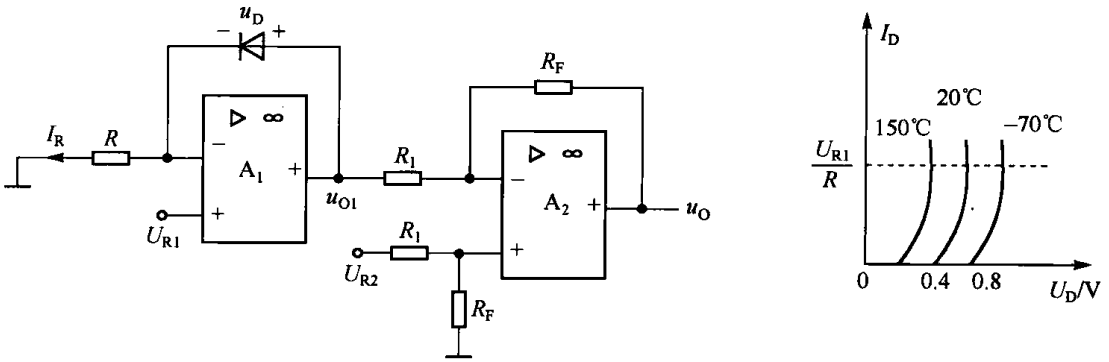
$$u_- = u_+ = U_{R1}$$

$$I_D = I_R = \frac{u_-}{R} = \frac{U_{R1}}{R} \tag{3.3.29}$$

由上式可见，二极管 VD 工作在恒流状态下，其正向压降 u_D 随温度变化的情况如图 3.3.22(b)所示。A_1 的输出电压为

$$u_{O1} = u_D + u_- = u_D + U_{R1}$$

它反映了 u_D 的变化，因此也反映了温度的变化。



(a) 测温原理电路　　(b) 二极管正向压降随温度变化曲线

图 3.3.22　温度测量电路

图 3.3.22(a)中 A_2 为差分输入放大电路，温度传感器输出 u_{O1} 加在反相输入端，同相输入端接一个基准电压 U_{R2}，则输出电压 u_O 为

$$u_O = \frac{R_F}{R_1}(U_{R2} - u_{O1}) = \frac{R_F}{R_1}(U_{R2} - U_{R1} - u_D) \tag{3.3.30}$$

当 U_{R1} 和 U_{R2} 一定，则 u_O 随着温度的变化而变化，并且为线性关系。

图3.3.22(a)中 U_{R1} 用于改变温度传感器中二极管 VD 的工作点，U_{R2} 用于标定时零点的调整。

3.3.5　有源滤波器

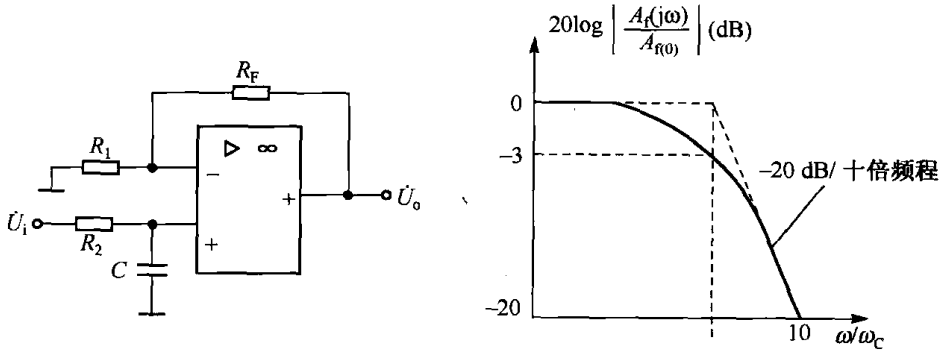
滤波器是常用到的一种选频电路，它的功能是让指定频段的信号通过，抑制其余频段的信号。能够通过的信号频率范围定义为通带，而抑制的信号频率范围称为阻带。通带和阻带的界限频率称为截止频率。根据通带的不同，一般可分为低通、高通、带通和带阻滤波器。相对于由 R, L 和 C 等无源元件组成的滤波器而言，由集成运算放大器和 RC 网络组成的滤波器称为有源滤波器。有源滤波器与无源滤波器相比，具有许多优点，主要是：① 不用电感，体积小，质量轻；② 输入阻抗高，输出阻抗低，各级之间相互影响小，且有一定的放大作用。但是由于集成运算放大器固有特性的限制，有源滤波器只适用于信号处理，并且一般不适用于高频、高压，以及大电流的场合。

1. 一阶低通滤波器

低通滤波器是指允许从直流到某一特定截止频率范围内的信号通过，而抑制高于截止频率的信号。图3.3.23是一种实际的一阶低通滤波器的电路和幅频特性。由图3.3.23(a)可见，它由一阶 RC 无源低通滤波器和同相输入比例器组成。运算放大器在这里起到了放大的作用，可以提高电路的增益。由于集成运算放大器的输入电阻很高，对 RC 无源低通滤波器的影响很小，而它的输出电阻又很小，大大提高了带负载的能力。

分析滤波器，主要是分析频率特性，因此一般用相量法进行分析。由图3.3.23(a)可得如下方程：

$$\dot{U}_o=\left(1+\frac{R_F}{R_1}\right)\dot{U}_+,\qquad \dot{U}_+=\frac{1/j\omega C}{R_2+(1/j\omega C)}\dot{U}_i=\frac{1}{1+j\omega CR_2}\dot{U}_i$$



(a) 电路　　(b) 幅频特性

图 3.3.23　一阶低通滤波器

联立以上两式，可得电路的传递函数为

$$A_f=\frac{\dot{U}_o}{\dot{U}_i}=\left(1+\frac{R_F}{R_1}\right)\frac{1}{1+j\omega CR_2}=\left(1+\frac{R_F}{R_1}\right)\frac{1}{1+j\dfrac{\omega}{\omega_C}}\tag{3.3.31}$$

式中，$\omega_C=1/CR_2$。由此可得

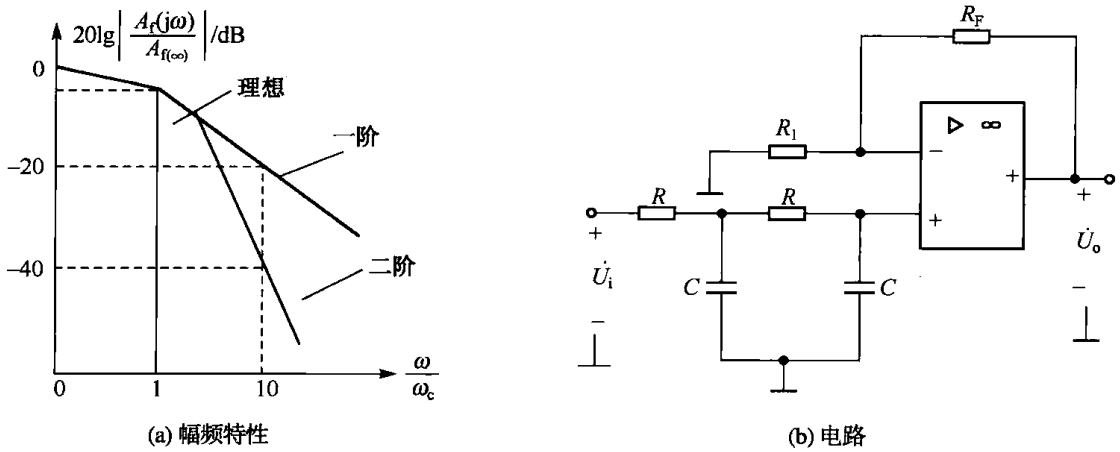
$$\text{幅频特性：}\ |A_f|=\frac{\dot{U}_o}{\dot{U}_i}=\left(1+\frac{R_F}{R_1}\right)\Big/\sqrt{1+\left(\frac{\omega}{\omega_C}\right)^2}\tag{3.3.32}$$

$$\text{相频特性：}\ \varphi=-\arctan(\omega CR_2)\tag{3.3.33}$$

由式(3.3.32)可见，当$\omega=0$时，$|A_f|=|A_f(0)|=(1+R_F/R_1)$；当$\omega=\omega_C$时，$|A_f|=\frac{1}{\sqrt{2}}(1+R_F/R_1)$，此时放大倍数下降到$\omega=0$时的$1/\sqrt{2}$，所以称$\omega_C$为上限截止频率。$0\sim\omega_C$(或$f_C$)为通带，又称为3 dB 带宽。$\omega>\omega_C$为阻带。此电路的特点是电路简单，但阻带衰减率不够大，仅为–20 dB/十倍频程，所以适用于要求不高的地方。所谓“–20 dB/十倍频程”的意思是：当频率从ω_C增加到$10\omega_C$时，电压放大倍数降低 20 dB。由式(3.3.31)可见，该电路频率特性与角频率的一次方有关，故称为一阶低通滤波器。为了改善滤波效果，一般均采用二阶以上的滤波器，二阶滤波器的幅频特性如图 3.3.24(a)所示。用二阶 RC 无源低通滤波器串联后接运算放大器组成的二阶有源滤波器如图3.3.24(b)所示。对于高阶滤波器分析，已超出本课程的要求，如需要可参阅有关的文献。

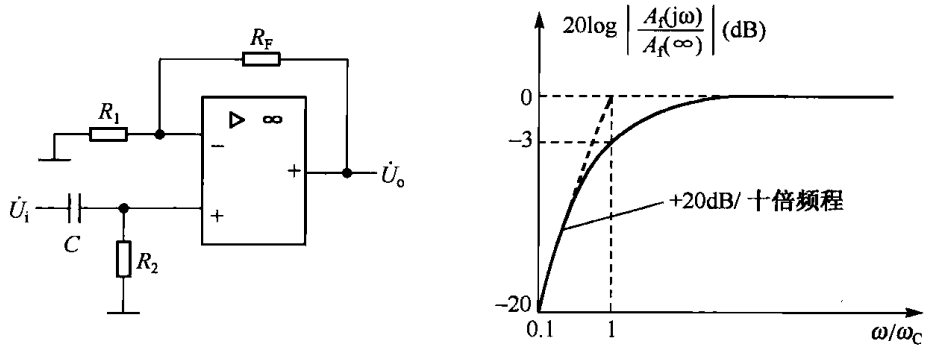
2. 一阶高通滤波器

如果将低通有源滤波器中的R_2和 C 的位置互换，就可得到高通滤波器，如图3.3.25(a)所示。图3.3.25(b)为高通滤波器的幅频特性。



(a) 幅频特性　　(b) 电路

图 3.3.24　二阶低通滤波器



(a) 电路　　(b) 幅频特性

图 3.3.25　一阶高通滤波器

思考题

3.3.1　一个理想集成运算放大器理想化的条件是什么？

3.3.2　理想集成运算放大器工作于线性区和饱和区各有何特点？分析方法有何不同。

3.3.3　如何实现集成运算放大器的线性应用？输入端“虚短”和“虚断”的基本概念是由什么条件得到的？

3.3.4　什么是“虚地”？在什么情况下存在“虚地”概念？

3.3.5　同相输入组态的基本特点是什么？应用时输入信号中是否有共模信号？

3.3.6　差分输入组态应用时，与反相输入组态和同相输入组态相比，有什么特殊性？

3.3.7　测量放大器与一般放大器相比，有什么特点？

3.3.8　与无源滤波器相比，有源滤波器有何特点？

3.4　集成运算放大器的非线性应用

集成运算放大器除广泛应用在线性电路中外，在非线性电路中也起着重要作用。集成运算放大器在非线性电路中有两种工作状态：一类是运算放大器工作在开环或正反馈状态，本身工作在非线性区；另一类是整个电路中有非线性元件，如二极管、稳压管等，使得输出 u_O 与输入 u_I 不再是线性关系，但运算放大器本身仍然工作在线性区。运算放大器的工作状态不同，其分析方法也将有所区别。如运算放大器工作于小信号的线性放大区，则前面分析中所用的“虚短”和“虚断”的两个基本概念是适用的。如运算放大器工作在大信号的非线性区，即开环比较、正反馈状态，则就不能应用线性

状态下才具有的“虚短”概念。引出“虚断”概念的条件是运算放大器的开环输入阻抗很高，如果u_I不是很大，流入运算放大器输入端的电流仍可略去不计的话，则“虚断”的概念对于各类非线性电路都是近似适用的。所以，在分析运算放大器非线性应用电路时，首先要弄清运算放大器的工作状态。

3.4.1 电压比较器

电压比较器的功能是对输入信号的电位进行鉴别与比较。它至少有两个输入端和一个输出端。在一般的应用中，一个输入端加上参考电压U_R（或称为门限电压）作为基准，另一个输入端加上被比较的信号u_I。当两者大小相等时，输出状态将发生跃变，由低电位到高电位，或者由高电位到低电位。它在测量、控制以及波形发生等电路中获得了广泛应用。目前有专用的集成电压比较器产品，但也可用集成运算放大器构成电压比较器。前者性能优良，后者便于理解。下面以后者为例来进行讨论。

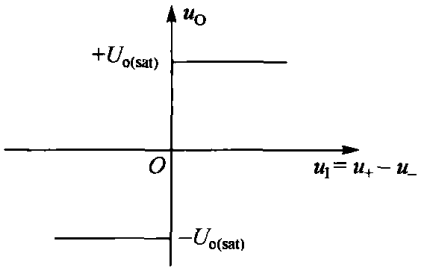


图 3.4.1 理想运算放大器开环电压传输特性

理想集成运算放大器的传输特性如图3.4.1所示。当$u_+ < u_-$时，$u_O = -U_{O(sat)}$；当$u_+ > u_-$时，$u_O = +U_{O(sat)}$。$u_+ = u_-$是两种输出状态的转折点。这也是分析此类电压比较器的依据。实际应用中为了改善转换速率，使输出状态的转换过程为阶跃形式，常在电路中引入正反馈。

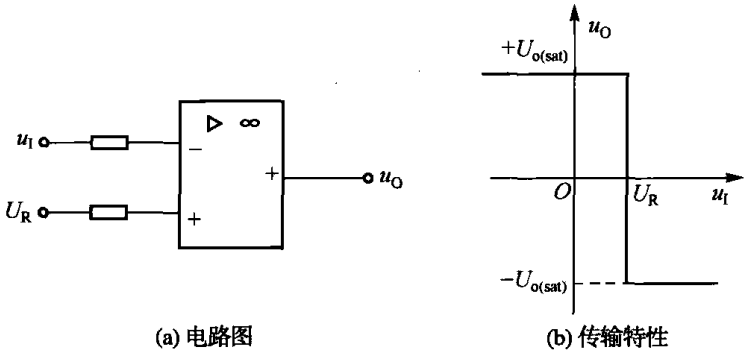
1．单门限电压比较器

单门限电压比较器只有一个门限电压。输入信号与门限电压或阈值电压比较，即输入信号是大于此门限电压，还是小于此门限电压，输出高电平或低电平。根据输入信号、参考电压的连接方式不同，有反相输入、同相输入电压比较器。

(1) 反向输入任意电平比较器

图3.4.2为反相输入任意电平比较器及其电压传输特性。由图3.4.2(a)可见，输入信号u_I加在反相输入端，参考电压U_R加在同相输入端。当输入电压大于U_R时，比较器的输出电压等于$-U_{O(sat)}$；当输入电压小于U_R时，比较器的输出电压等于$+U_{O(sat)}$，其输入- 输出关系如图3.4.2(b)所示。用数学表达式表示此关系为

$$u_O = \begin{cases} +U_{O(sat)} & u_I < U_R \\ -U_{O(sat)} & u_I > U_R \end{cases} \tag{3.4.1}$$



(a) 电路图　　(b) 传输特性

图 3.4.2 反相输入任意电平比较器

如输入电压 u_I 为正弦波时，则输出电压为正、负半周不相等的矩形波，其输出频率由输入电压的频率决定，如调整 U_R 的大小，可改变输出波形的占空比，如图 3.4.3 所示。若参考电压 $U_R = 0$，则称为零电平比较器。

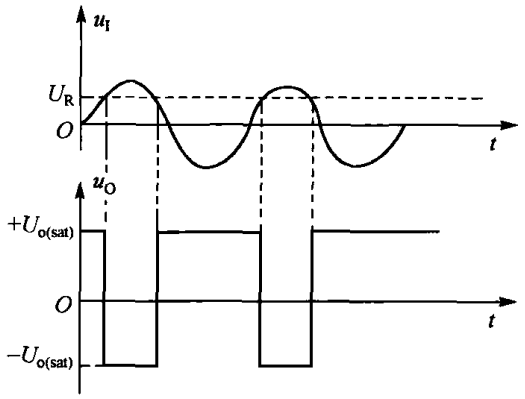


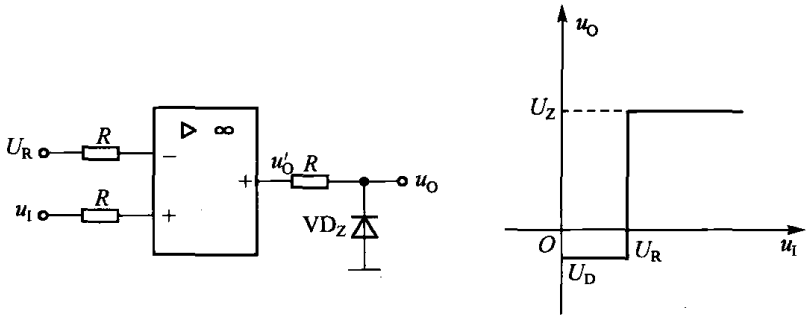
图 3.4.3　反相输入任意电平比较器的输入输出波形

(2) 同相输入任意电平比较器

如果输入信号 u_I 加在同相输入端，参考电压 U_R 加在反相输入端，电路就为同相输入的任意电平比较器，如图 3.4.4 所示。此时输出电压的极性就倒过来，即

$$u_O' = \begin{cases} +U_{O(sat)} & u_I > U_R \\ -U_{O(sat)} & u_I < U_R \end{cases} \tag{3.4.2}$$

有时为了满足一定的电平配合，也可接入钳位电路，如图3.4.4所示。则当 $u_I > U_R$ 时，$u_O = U_Z$，而 $u_I < U_R$ 时，$u_O = -U_D$，U_Z 为稳压管的稳压值，U_D 为其正向压降。



(a) 电路图　　(b) 电压传输特性

图 3.4.4　同相输入任意电平比较器

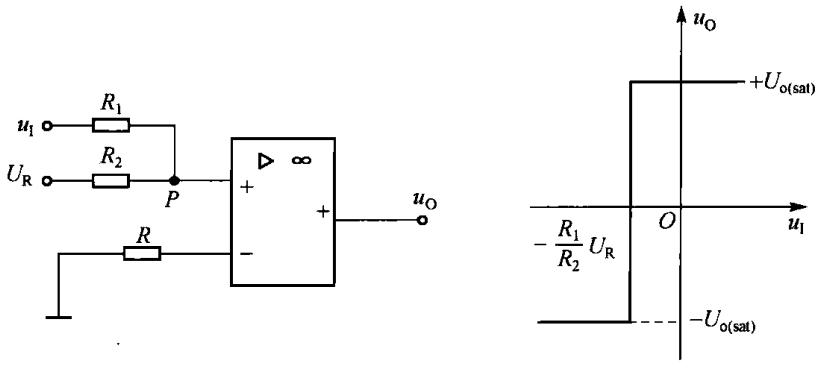
(3) 同相输入求和型任意电平比较器

图3.4.5为同相输入求和型任意电平比较器及其电压传输特性，输入信号 u_I 和参考电压 U_R 均加在同相输入端，反相输入端接地。当同相输入端 p 点电位为零时，比较器输出发生翻转，此时的输入电压即为门限电压，由叠加原理可求得

$$u_P = \frac{R_2}{R_1 + R_2} u_I + \frac{R_1}{R_1 + R_2} U_R = 0$$

即门限电平为 $u_I = -\dfrac{R_1}{R_2} U_R$。输入-输出关系可表示为

$$u_O = \begin{cases} -U_{O(sat)} & u_I < -\dfrac{R_1}{R_2} U_R \\ +U_{O(sat)} & u_I > -\dfrac{R_1}{R_2} U_R \end{cases} \tag{3.4.3}$$



(a) 电路图　　(b) 电压传输特性

图 3.4.5　同相输入求和型任意电平比较器

由式(3.4.3)可见，求和型比较器的门限电压为 $u_I=-\dfrac{R_1}{R_2}U_R$，所以在 U_R 给定后还可通过改变 R_1 或 R_2 对门限电压进行调整。

2. 多门限电压比较器

当单门限电压比较器的输入信号达到某一给定参考电平时，其输出就立即翻转，具有较高的灵敏高，但是这些电路也存在着严重的缺陷，当输入信号中伴有干扰和漂移时，则当 u_I 略大或略小于 U_R 时将产生误动作，如图 3.4.6 所示。图中 u_I 为输入信号，u_n 为干扰信号，U_R 为参考电压，解决此问题的电路之一就是迟滞电压比较器(又称施密特触发器)。

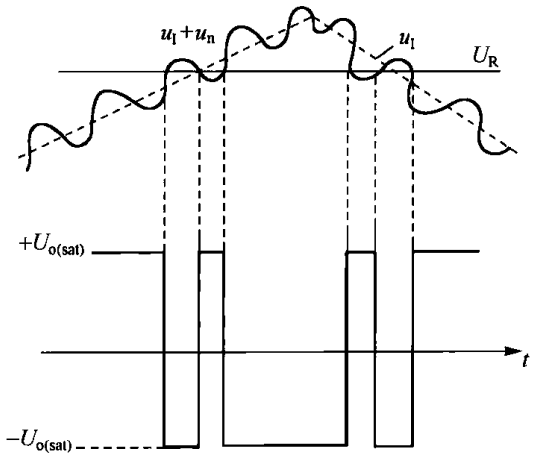


图 3.4.6　干扰引起的输出误动作

(1) 反相输入迟滞电压比较器

图 3.4.7(a)所示电路为反相输入迟滞电压比较器。由图 3.4.7 可见，输入电压经反馈电阻 R_1 送到电压比较器的同相端构成正反馈，它一方面加速输出电压的转换速率，即加速电路从一种输出状态翻转到另一种输出状态，另一方面给电路提供了双极性的参考电压，产生了迟滞特性。图 3.4.7(b)为其传输特性，它的迟滞特性使输入电压的波动范围扩大，从而提高了抗干扰能力。

其工作原理分析如下：由于引入了正反馈，使得同相输入端电位不仅由 U_R 决定，而且还受到输出电压 u_O 的影响。由于输出电压有两个值，由叠加原理可求得门限电压分别为

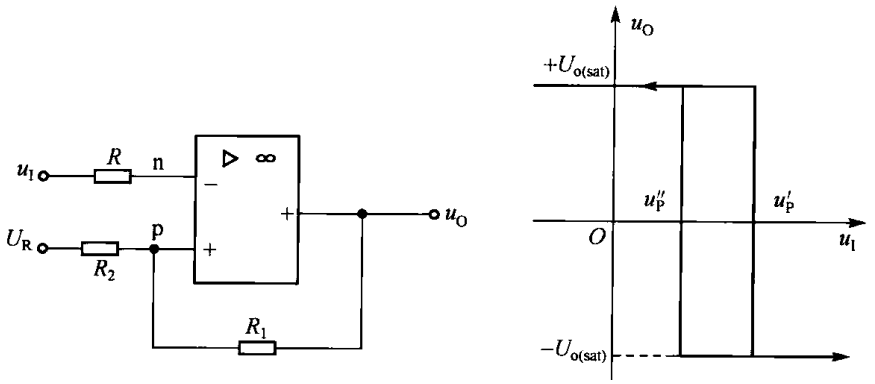
$$u'_P=\frac{R_1}{R_1+R_2}U_R+\frac{R_2}{R_1+R_2}U_{O(sat)} \tag{3.4.4}$$

$$u''_P=\frac{R_1}{R_1+R_2}U_R-\frac{R_2}{R_1+R_2}U_{O(sat)} \tag{3.4.5}$$

显然 $u'_P>u''_P$，故将 u'_P 和 u''_P 分别称为上、下限门限电压(习惯上也将它们称为上、下限触发电平，分别用 U_{TH}, U_{TL} 表示)。

现假设 u_O 为 $+U_{O(sat)}$，则门限电压为 u'_P，当 u_I 逐渐增大的过程中，在 $u_I\leqslant u'_P$ 以前，始终有 $u_-<u_+$，$u_O=U_{O(sat)}$。只有当反相输入端的输入信号 $u_I\geqslant u'_P$ 时，电路才发生翻转，$u_O=-U_{O(sat)}$，同时门限电压翻转为 u''_P。电路翻转后，u_I 大于 u''_P，输出电压始终维持 $u_O=-U_{O(sat)}$。只有当 u_I 再逐

渐减小，且$u_I \leqslant u_P''$时，才有$u_- < u_+$，电路才再次发生翻转，$u_O = U_{O(sat)}$。由此可以得出如图3.4.7(b)所示顺时针旋转的电压传输特性。



(a) 电路图　　(b) 传输特性

图 3.4.7　反相输入迟滞电压比较器

上、下限门限电压的差值为

$$u_P' - u_P'' = \frac{2R_2}{R_1 + R_2} U_{O(sat)} \tag{3.4.6}$$

该差值称为迟滞比较器的回差电压。正是由于回差电压的存在，迟滞比较器才提高了抗干扰能力，如图3.4.8所示。

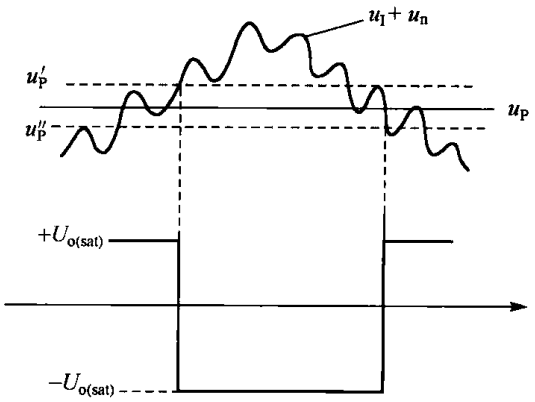


图 3.4.8　回差电压对干扰的抑制

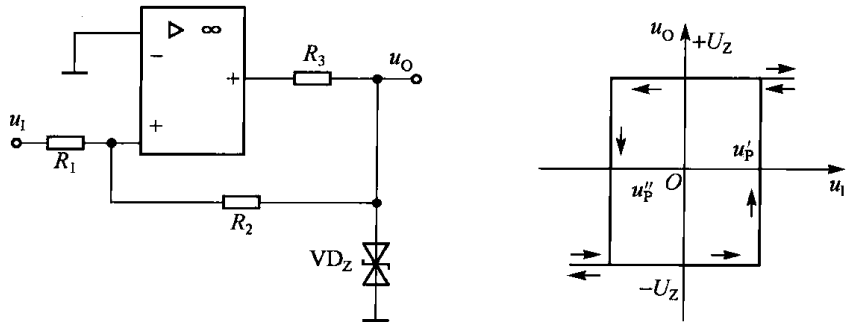
若$U_R = 0$，即为零电平施密特触发器，其上、下限门限电压分别为

$$u_P' = \frac{R_2}{R_1 + R_2} U_{O(sat)}, \qquad u_P'' = -\frac{R_2}{R_1 + R_2} U_{O(sat)}$$

回差电压仍然不变。

(2) 同相输入迟滞电压比较器

同相输入迟滞比较器电路如图 3.4.9(a)所示，其传输特性如图 3.4.9(b)所示。输入信号加在同相输入端，反相输入端接地，当u_+电位为零时，输出将发生翻转。



(a) 电路图　　(b) 传输特性

图 3.4.9　同相输入迟滞电压比较器

图3.4.9(a)中同相输入端电压为

$$u_P = \frac{R_2}{R_1+R_2}u_I \pm \frac{R_1}{R_1+R_2}U_Z$$

令其等于零，则可求得上、下限门限电压分别为

$$u'_P = \frac{R_1}{R_2}U_Z \tag{3.4.7}$$

$$u''_P = -\frac{R_1}{R_2}U_Z \tag{3.4.8}$$

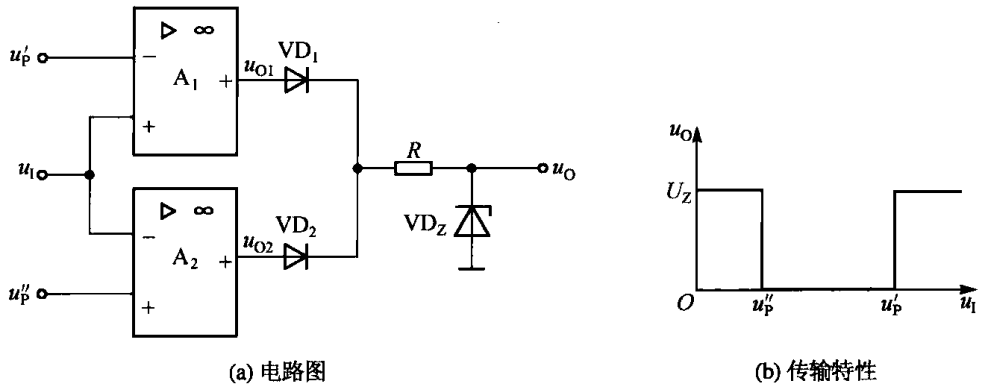
当输入信号u_I逐渐增大的过程中，在$u_I \leqslant u'_P$以前，$u_+ < u_-$，$u_O = -U_Z$，只有当$u_I \geqslant u'_P$时，电路才发生翻转，$u_O = U_Z$。当输入信号u_I逐渐减小时，且当$u_I \leqslant u''_P$时，才有$u_+ < u_-$，电路发生翻转，$u_O = -U_Z$。由此可以得出如图3.4.9(b)所示逆时针旋转的电压传输特性。

3. 窗口比较器

前面介绍的电压比较器在输入信号u_I单方向变化时，输出电压只能翻转一次。另一类常用的电压比较器是窗口比较器，它可以用来检测输入信号是否位于两个门限电压之间。当输入信号位于两个门限电压之间时，输出一个值；反之，则输出另一个值。这种电路常用于工业控制系统，当被测量(如温度、压力、液面等)超出规定范围时，便发出指示信号。

图3.4.10(a)所示为一种常用的窗口比较器电路。设两个门限电压均为正值，且$u'_P > u''_P$，电路工作原理如下。

当$u''_P < u_I < u'_P$时，运算放大器A_1, A_2的同相端电压均低于反相端电压，它们都输出低电平。因此，二极管VD_1, VD_2截止，所以电路的输出电压为零。



(a) 电路图　　(b) 传输特性

图 3.4.10　窗口比较器

当输入电压$u_I > u'_P$时，运算放大器A_1输出高电平，运算放大器A_2输出低电平，二极管VD_1导通，VD_2截止，所以电路的输出电压为高电平$u_O = U_Z$。

当输入电压$u_I < u''_P$时，运算放大器A_1输出低电平，运算放大器A_2输出高电平，二极管VD_1截止，VD_2导通，所以电路的输出电压为高电平$u_O = U_Z$。

由以上分析可以得出，该窗口比较器的电压传输特性如图3.4.10(b)所示。

例 3.4.1　如图3.4.11所示电路，设输入信号为一个正弦波，其周期为T，输出端外接 RC 电路的时间常数$RC \ll T/2$，试画出u_O，u_A和u_L的波形。

解：图中运算放大器构成同相输入过零电压比较器，当$u_I \geqslant 0$时，$u_O = U_{O(sat)}$，当$u_I \leqslant 0$时，$u_O = -U_{O(sat)}$。输出电压u_O的波形为如图3.4.11(c)所示的方波。输出电压u_O加于 RC 电路，由于$RC \ll T/2$，且u_A和u_L均由电阻上获得，故后接为微分电路。当$u_O = +U_{O(sat)}$时，二极管 VD 导通，

此时微分电路的时间常数$\tau_1=(R/\!/R_L)C$；而当$u_O=-U_{O(sat)}$时，二极管 VD 截止，电路的时间常数变为$\tau_2=RC$，故两次微分输出尖脉冲电压u_A宽度略不相同，如图3.4.11(d)所示。脉冲电压u_A经二极管VD加于负载电阻R_L上，由于二极管的单向导电性，u_L的波形仅为正脉冲波，如图3.4.11(e)所示。

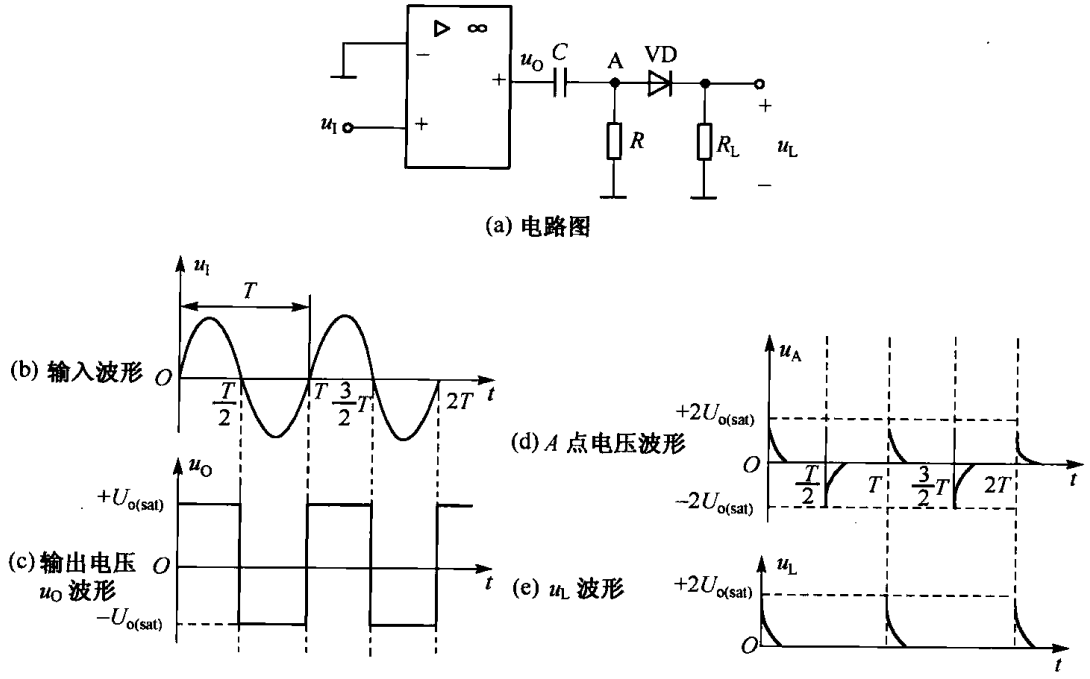


图 3.4.11　例 3.4.1 的图

3.4.2　精密整流电路

利用二极管的单向导电性可组成整流电路，但由于硅二极管的正向导通电压约为 0.7 V，因此，在用二极管组成的整流电路中，当输入信号电压与二极管的正向导通电压为同一数量级时将会造成很大误差。而对于小于二极管正向导通电压的信号，将无法整流。利用二极管与集成运算放大器组成的精密整流电路，不仅可以对小于二极管正向压降的信号进行整流，而且由于负反馈的作用使整流特性接近于理想。

图3.4.12(a)所示为反向输入的精密半波整流电路，其工作原理如下。

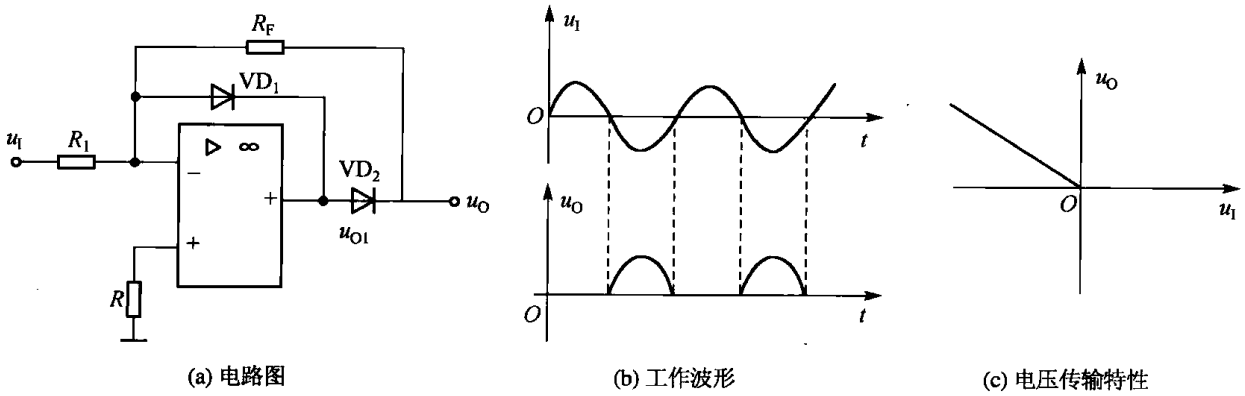


图 3.4.12　精密半波整流电路

设输入信号u_I为正弦波，当$u_I>0$时，由于运算放大器工作在反相输入组态，输出电压u_{O1}为负，所以二极管 VD_1 导通，二极管 VD_2 截止，输出端u_O与运算放大器输出u_{O1}隔开，而经反馈电阻R_F接于反相输入端。由于 VD_1 导通，运算放大器工作在深度负反馈状态，反向输入端u_-为虚地，R_F中无电流流过，故u_O为反相输入端电位u_-，即$u_O=u_-=0$。

当$u_I<0$时，运算放大器输出电压u_{O1}为正，所以VD_1截止，VD_2导通，运算放大器为反相输入比例运算电路，输出电压$u_O=-\frac{R_F}{R_1}u_I$，其输入输出波形如图3.4.12(b)所示。

图3.4.12(c)所示为该整流电路的电压传输特性。当$u_I<0$时，输出电压$u_O=-\frac{R_F}{R_1}u_I$，即该整流电路还具有放大作用，当$R_F=R_1$时，$u_O=-u_I$。由图3.4.12(a)可以看出，只要运算放大器的输出电压u_{O1}大于二极管的正向压降U_D，就能使VD_1和VD_2分别处于导通或截止状态，完成整流任务。所以，这个电路能整流的最小输入电压为U_D/A_{ud}。如果运算放大器的开环放大倍数A_{ud}为6×10^4，$U_D=0.6\ V$，则当u_I大于$10\ \mu V$时，二极管VD_1和VD_2便会导通，可见整流特性是很精密的。

思考题

3.4.1 集成运算放大器组成非线性电路应用时，集成运算放大器是否一定工作在饱和区？在什么条件下一定工作在饱和区？

3.4.2 集成运算放大器作为电压比较器应用时，运算放大器工作在什么区？怎样分析比较器电路？

3.4.3 为什么迟滞比较器的抗干扰性好于单门限电压比较器？怎样调整它的回差电压大小？

3.4.4 集成运算放大器组成精密整流电路应用时，运算放大器工作在什么区？其基本分析依据是什么？

3.5 集成运算放大器的选择和使用

随着集成电路技术的发展，集成运算放大器的种类越来越多，应用十分广泛。为了正确合理地使用集成运算放大器，在设计集成运算放大器的应用电路时，必须注意使用中遇到的一些问题。

3.5.1 选型

目前国内外生产的集成运算放大器型号很多，性能各异，有通用型和专用型之分。在使用时，应根据具体应用情况，如负载性质、电路的精度要求、输入信号特点、电源等查阅有关的产品手册，了解运算放大器的主要技术参数，选择适当型号的集成运算放大器。一般情况下应首先选择通用型的产品，因为其价格便宜、便于购买。如果某些性能指标不能满足要求，再选择专用型的产品，它们的特点如表3.5.1所示。

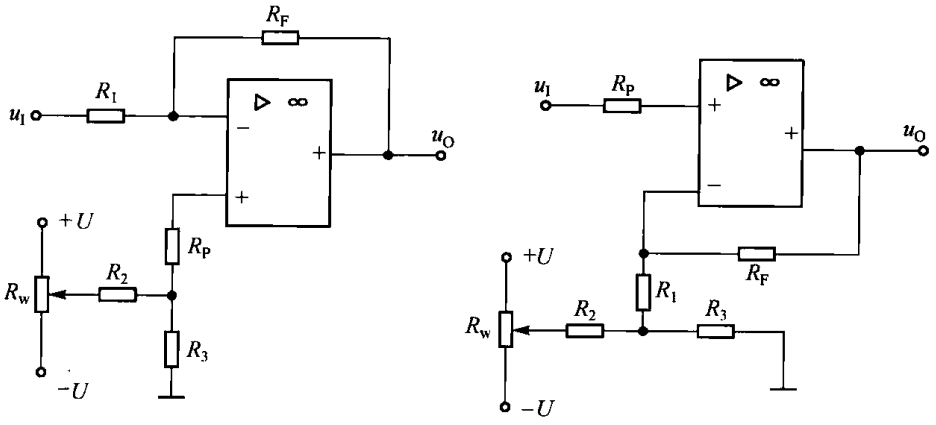
表3.5.1 各类运算放大器的特点和应用场合

类 型		特 点	应 用 场 合
通 用 型		种类多、价格便宜、便于购买	一般测量和运算电路
专用型	高精度	测量精度高、零漂小	毫伏级以下微弱信号的测量
	低功耗	功耗低	遥测和遥感电路
	高输入阻抗	对输入信号的影响小	生物医电等信号的提取和放大
	高速宽带	转换速率高、频带宽	高频振荡、视频放大电路
	高压	电源电压高	高输出电压和大输出功率

3.5.2 调零

由于失调电压和失调电流的存在，当输入信号为零时，运算放大器的实际输出一般不为零，此时就需要调零。常用的调零措施是外接调零电位器。μA741的调零电位器接线如图3.1.3(b)所示。不同型号的集成运算放大器应按产品手册规定接入调零电位器。

对于无调零端的运算放大器，可以在运算放大器的输入端施加一个补偿电压，以抵消运算放大器本身的失调电压，达到调零的目的，图 3.5.1 所示电路即为这种调零电路。这两种电路要求电源电压的变动必须很小。



(a) 同相输入调零电路　　(b) 反相输入调零电路

图 3.5.1　调零电路

3.5.3　消除自激振荡

由于集成运算放大器的增益很大，内部晶体管的各种寄生电容都有可能引起自激振荡，其表现为当输入信号 $u_I = 0$ 时，输出端有高频的交流信号输出，此时运算放大器不能正常工作。其原因是在电路中形成了正反馈。通常消除自激振荡的方法就是利用运算放大器所提供的频率补偿端子，引入某种 RC 网络，改变其固有频率特性，人为破坏自激振荡的相位平衡条件。不同类型的运算放大器有不同的频率补偿方法，最好的方式是按照厂家的说明进行补偿。μA741 频率补偿电容为 30 pF，接在中间增益级的输出与输入之间，现在生产厂家已将此电容制作在内部，所以已无需外部补偿电容了。在印刷电路板制作时，合理的元件排列和布线也有助于消除自激振荡。

3.5.4　保护措施

集成运算放大器在使用中若不注意，可能会被损坏。如在设计和制作电路时采取一些措施，可以确保电路甚至在过载情况下都能正常工作。

1．输入保护

如果运算放大器的输入信号超过其最大差模输入电压 U_{Idmax} 或共模输入电压 U_{Icmax} 时可能使其输入级晶体管损坏。当运算放大器外接负反馈网络时，由于存在“虚短”，它的两个输入端之间的电压近似为零，输入级无需保护。当运算放大器外接正反馈网络或开环应用时，“虚短”的特性将不复存在，两个输入端之间的电压有可能很大，需要加入保护电路。最常用的保护措施就是在输入端加二极管限幅电路，如图3.5.2所示，将输入电压限制在一定范围之内。

2．输出保护

目前生产的大多数集成运算放大器，在内部都有过载或短路保护电路，如遇上一些旧的无保护的集成运算放大器，可以在输出端串接一低阻值电阻，限制集成运算放大器的输出电流，如图 3.5.3(a) 所示。

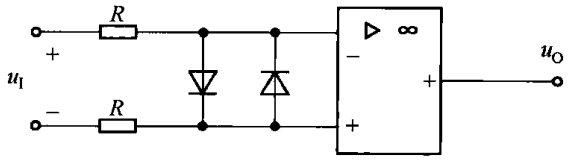
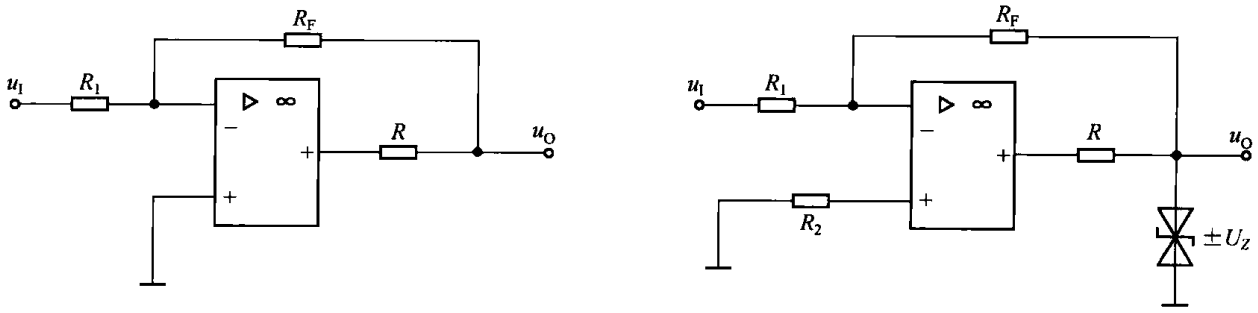


图 3.5.2　输入保护电路

R 的值一般应尽量小些，在数百欧姆，以保护在正常工作时，其电压降很小，对输出电压幅度影响不大。



(a) 输出端限流保护电路　　(b) 输出端限压保护电路

图 3.5.3　输出保护电路

限压保护电路如图 3.5.3(b)所示。正常工作时，稳压管不起作用；当输出电压出现过电压时，利用稳压管可以将输出电压控制在 $\pm U_Z$ 范围内，也可以防止输出端误接到外部电压而造成的过流或击穿。

3. 电源端保护

为了防止电源反接损坏集成运算放大器，可利用二极管的单向导电性，在电源接线中串接二极管来实现保护，如图 3.5.4 所示。

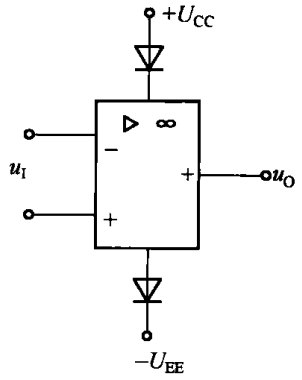


图 3.5.4　防止电源反接的保护电路

3.6　PSpice 例题分析

例 3.6.1　设图3.3.15 中比例–积分调节器的参数如下：$R_1 = R_f = 10\,\text{k}\Omega$，$C_f = 100\,\mu\text{F}$，$R_2 = 10\,\text{k}\Omega$，$\pm U_{CC} = 12\,\text{V}$，$u_I = 5\,\text{V}$，运算放大器型号为μA741。用 PSpice 仿真分析电路的调节特性。

解：利用 OrCAD9.1/Capture CIS 软件绘制图3.3.15的 PSpice 仿真电路如图3.6.1所示。

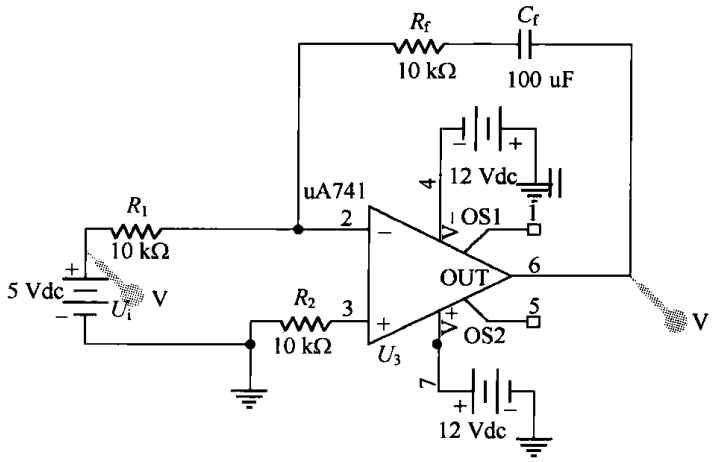


图 3.6.1　图 3.3.15 的 PSpice 仿真电路

新建一个 Simulation，利用瞬态特性分析(Transient Analysis)功能，观察 0～2 s 的输出电压的变化。在图形窗口中执行 Window/Copy to Clipboard 命令，即可得到输出电压及输入与输出随时间变化

的关系曲线如图 3.6.2 所示。可以看出，与图 3.3.15 中的结果一致，当 $t=0$ 时，调节器的输出电压由比例系数决定；当 $t>0$ 时，输出电压 u_o 按积分关系线性上升，调节器的输出电压增大；当积分时间超过最大值时，输出电压达到负的最大输出值。

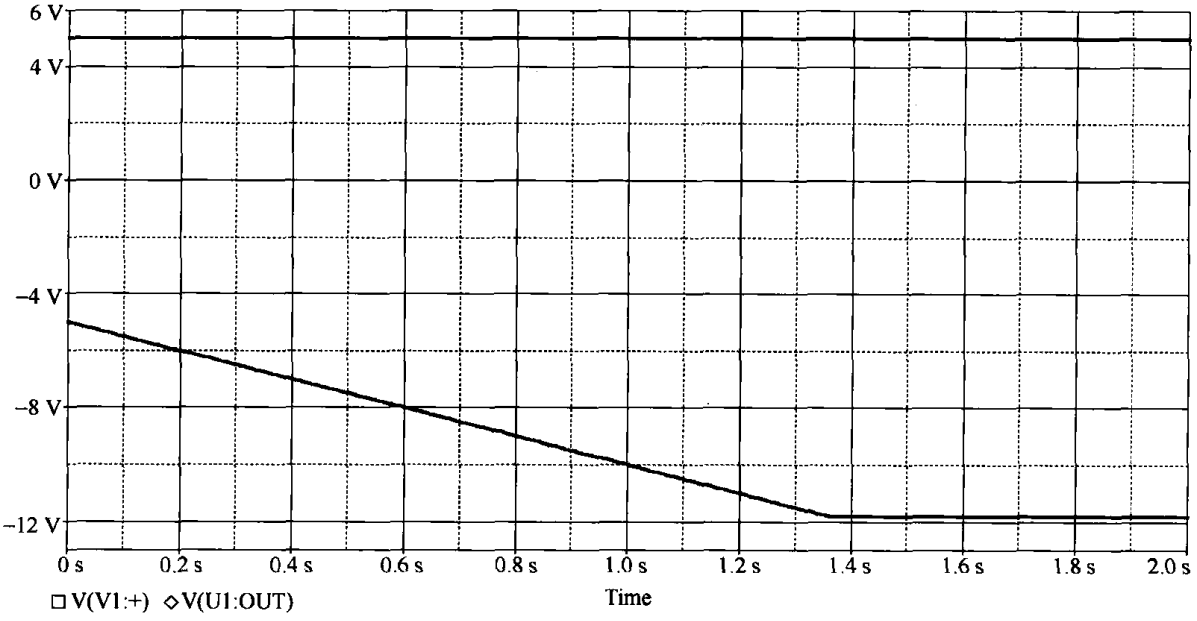


图 3.6.2　比例-积分调节器的仿真结果

例 3.6.2　设题 3.30 图(a)所示比较器电路的参数如下：$R_1 = 1\,\text{k}\Omega$, $R_2 = 10\,\text{k}\Omega$, $R_3 = 20\,\text{k}\Omega$, $\pm U_{CC} = 12\,\text{V}$，稳压管的稳压值为 $\pm 6\,\text{V}$，运算放大器型号为μA741。用 PSpice 仿真分析电路的电压传输特性及输入输出波形。

解：利用 OrCAD9.1/Capture CIS 软件绘制题 3.30 图(a)的 PSpice 仿真电路如图3.6.3 所示。

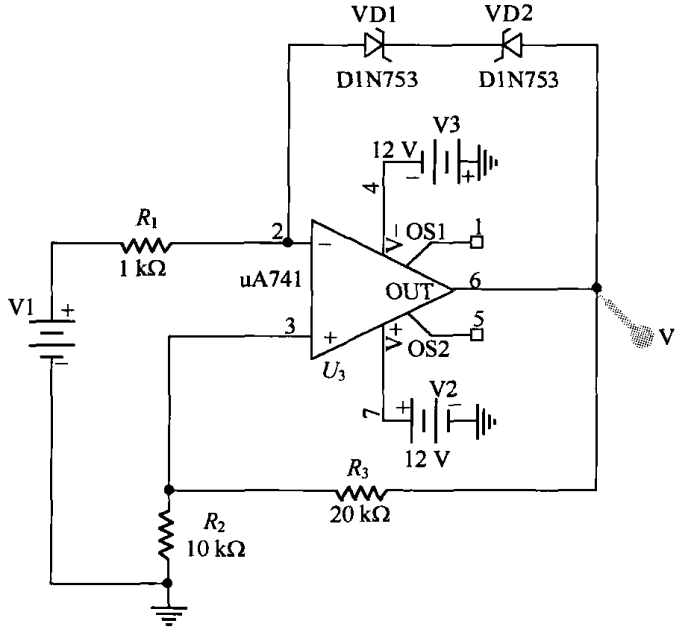


图 3.6.3　题 3.30(a)图的 PSpice 仿真电路

图中所选稳压管的实际稳压值并非 6 V，需对其参数进行修改，选中稳压管 D1N753 后，执行 Edit/Pspice Model 命令，将参数 BV 的值改为 6。对该电路做瞬态特性分析(Transient Analysis)，观察

一两个周期内的波形，设置仿真时间从 20 ms 到 50 ms，最大步长为 0.01 ms，得到仿真电压波形如图3.6.4 所示。

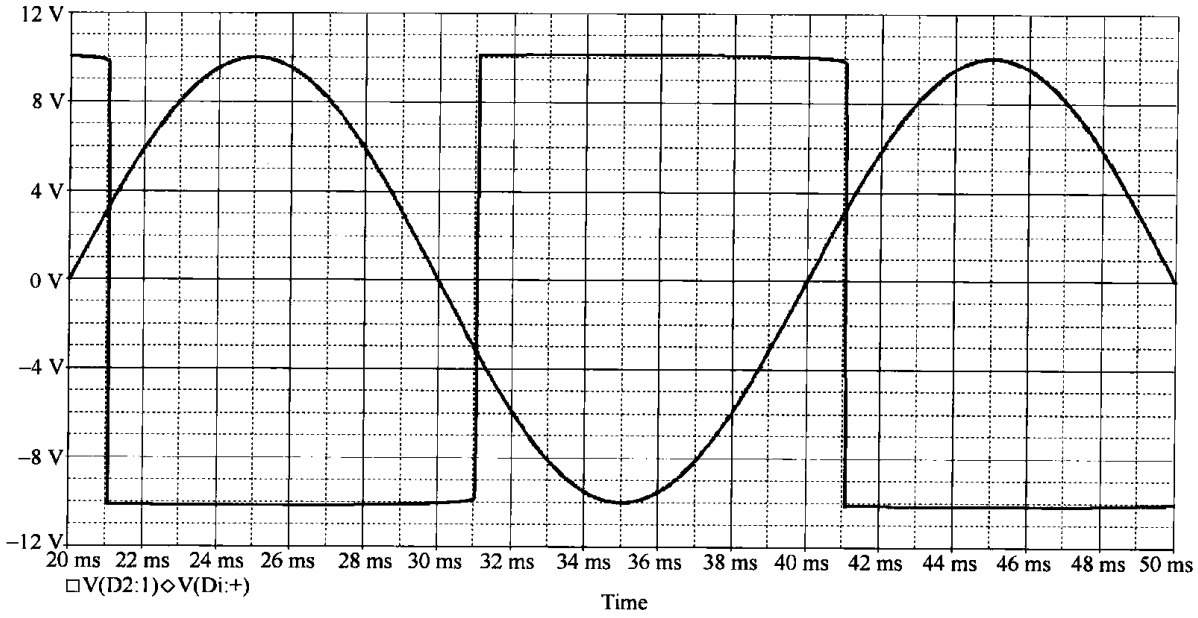


图 3.6.4 输入、输出电压波形

为了得到电压传输特性，在波形输出窗口中执行 Plot/Axis Settings 命令，图形界面会出现 Axis Settings 对话框，单击 Axis Variable 按钮，将 *X* 轴所对应的变量改为 Ui，即可得到该电路的电压传输特性，如图3.6.5所示。

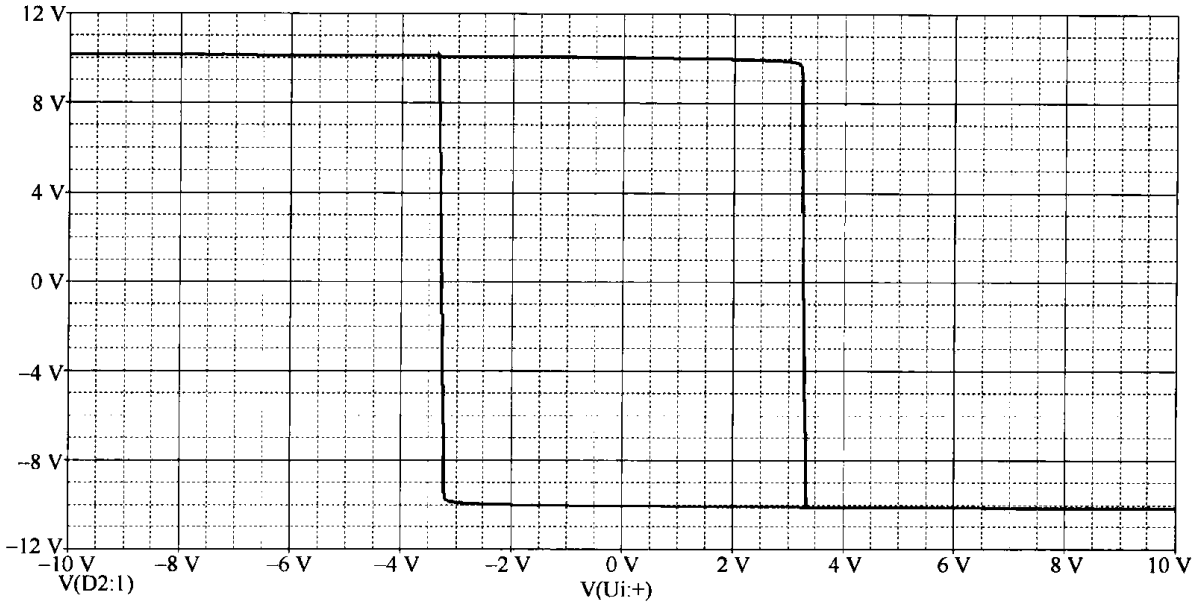


图 3.6.5 电压传输特性

本章小结

1．集成运算放大器是一种通用型的高增益直流放大器。为了抑制零点漂移和提高共模抑制比，输入级一般为差分电路；为了增强带负载能力，输出级采用了互补对称的 OCL 功放电路；为了提高

放大倍数，采用了有源负载。对于内部原理电路的简单了解，目的在于正确理解各项性能指标的含义，以便正确地应用。

2．反馈是指在放大电路中通过一个网络将输出信号的一部分或全部引回到输入端并影响净输入量，进而调节输出量的调节过程。若反馈量是削弱了净输入量，则为负反馈；反之，则为正反馈。按照这一原则，利用瞬时极性法可判别正、负反馈。

3．不同类型的负反馈对放大器性能的影响不同，所以对于各种实际的反馈电路要掌握其判别法。对于电压、电流反馈的判别，常采用负载交流短路法。即假设负载短路时，如反馈不存在，表明反馈信号正比于输出电压，则为电压反馈；反之，则为电流反馈。对于串联、并联反馈的判别，可以从反馈放大器的结构特点来分析。如果输入信号与反馈信号分别加在两个输入端时，则为串联反馈；反之，如果输入信号和反馈信号均加在一个输入端，则为并联反馈。

4．有目的引入负反馈可以稳定放大倍数，展宽通频带，改善非线性失真，改变输入电阻和输出电阻的值。电压负反馈稳定输出电压，表明闭环输出电阻减小了；电流负反馈稳定输出电流，表明闭环输出电阻增大了。串联负反馈使闭环输入电阻增大；并联负反馈使闭环输入电阻减小。

5．由理想运算放大器得出的“虚短”和“虚断”的概念是分析运算放大器线性应用的基本出发点，需要很好地掌握。反相输入组态、同相输入组态和差分输入组态是线性应用的三种基本电路结构形式。反相输入组态是应用集成运算放大器作为增益器件构成的电压并联负反馈电路，它的反相输入端为“虚地”的概念是其重要特点，应牢牢记住。同相输入组态是用集成运算放大器作为增益器件构成的电压串联负反馈电路，对集成运算放大器的共模抑制比有较高的要求。差分输入组态是两种反馈形式的组合，其共模抑制比就不仅与集成运算放大器本身的共模抑制比有关，还决定于外部电阻的匹配情况。

6．集成运算放大器的非线性应用是构成各种电压比较器。大多数情况下集成运算放大器工作在开环或正反馈状态，个别电路中集成运算放大器本身仍然工作在线性区，只是由于电路中存在着其他的非线性元件而使输出与输入呈非线性关系。运算放大器的工作状态不同，其分析方法也将有所区别。对于集成运算放大器工作于线性区时，“虚短”和“虚断”的两个基本概念是适用的。对于集成运算放大器工作于非线性区时，一般来说，“虚断”概念是适用的，而虚短已不复存在，但 $u_- = u_+$ 是两种输出状态的转折点，是分析此类电路的依据，应会正确地判断一个电路的门限电压。

习题 3

3.1　有一负反馈放大电路，已知 $A_{ud} = 400$，$F = 0.01$，试问：

(1) 闭环电压放大倍数 A_{uf} 为多少？

(2) 如果 A_{ud} 发生 ±10% 的变化，则 A_{uf} 的相对变化为多少？

3.2　指出题 3.2 图所示各电路级间交流反馈的支路或元件，并判断是正反馈还是负反馈？若是负反馈，属于哪种类型？题中 R_L 为负载电阻。

3.3　指出题3.3 图所示各电路级间交流反馈的支路或元件，并判断是正反馈还是负反馈？若是负反馈，属于哪种类型？

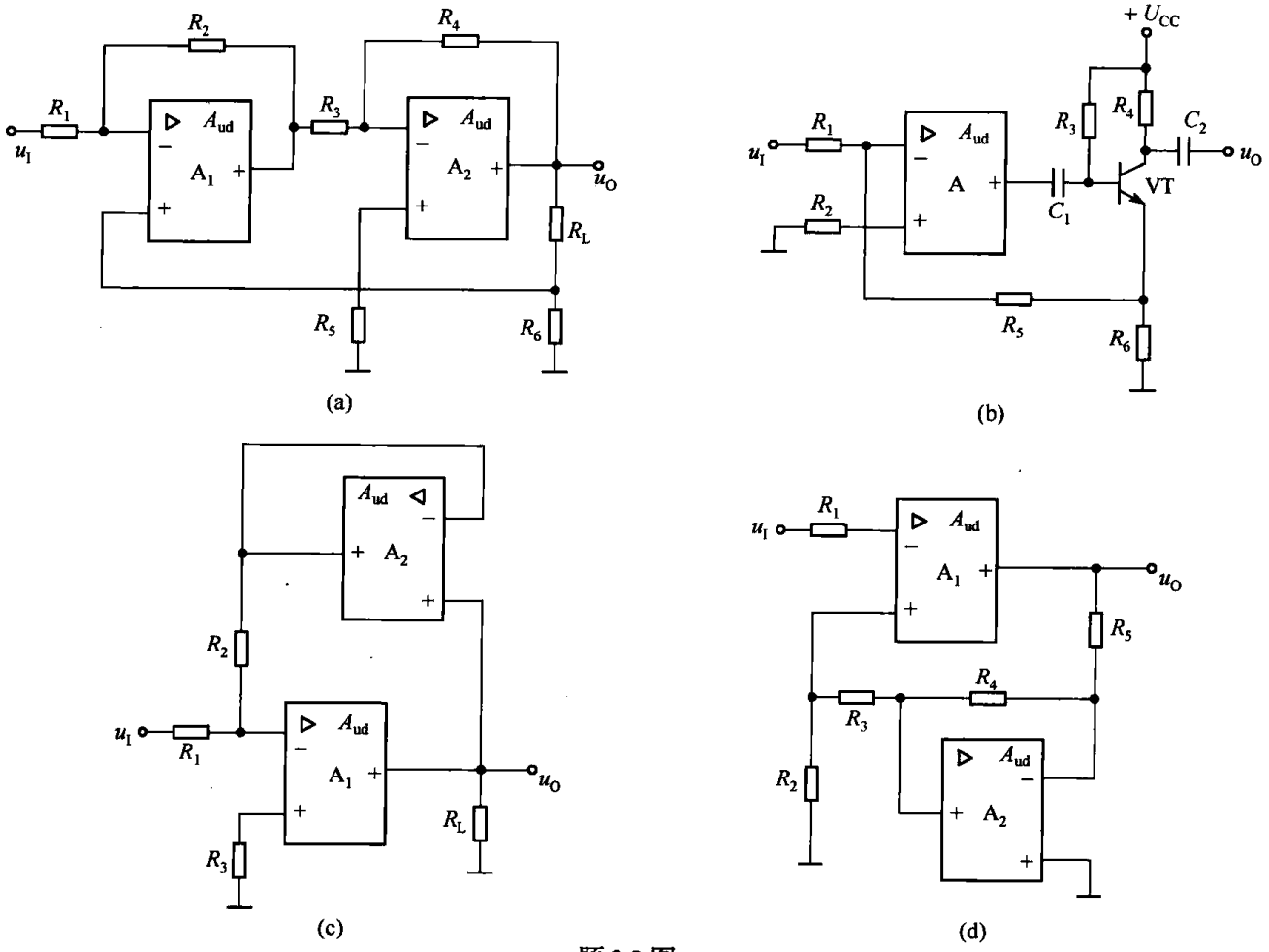
3.4　在放大电路中，应该引入哪种类型的负反馈来实现以下要求？

(1) 稳定输出电压，提高输入电阻；

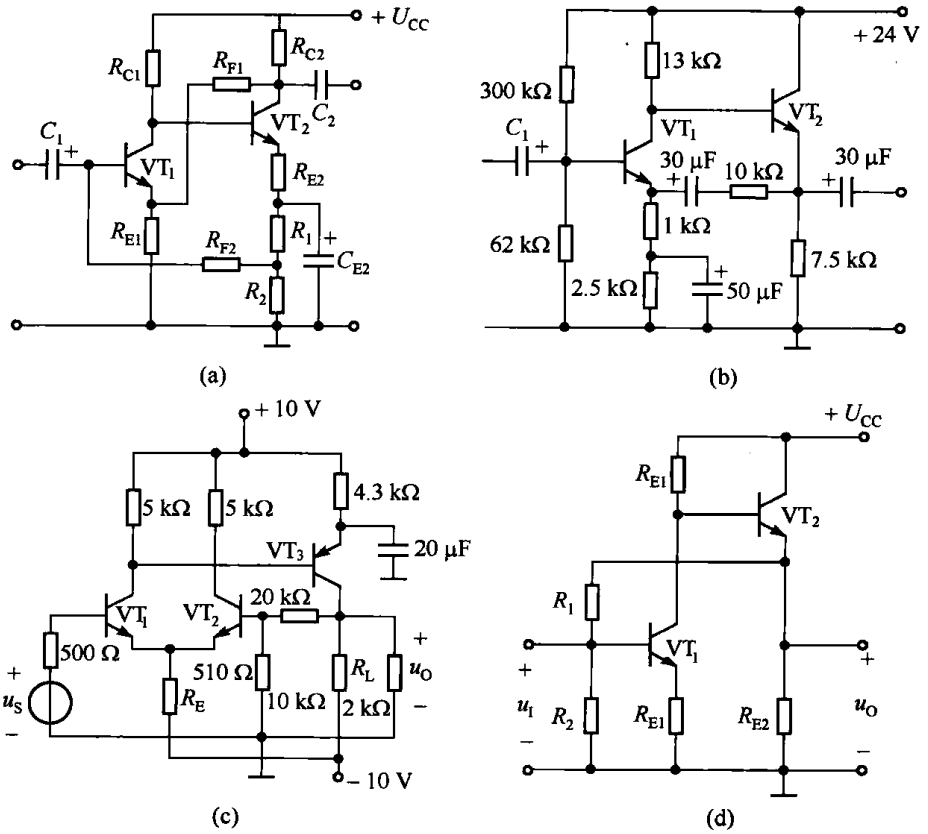
(2) 稳定输出电流，降低输入电阻；

(3) 降低输出电阻；降低输入电阻；

(4) 稳定输出电流，提高输入电阻。


R2
R4
R1
R3
Aud
A1
A2
uI
uO
RL
R5
R6
(a)
+UCC
R1
R3
R4
C2
uI
Aud
A
uO
R2
C1
VT
R5
R6
(b)
Aud
A2
R2
uI
R1
A1
uO
RL
R3
(c)
uI
R1
Aud
A1
uO
R5
R4
R3
R2
Aud
A2
(d)

题 3.2 图


+UCC
RC1
RF1
RC2
C2
VT2
C1
VT1
RE2
RE1
RF2
R1
CE2
R2
(a)
+24 V
13 kΩ
300 kΩ
VT1
VT2
C1
30 μF
10 kΩ
30 μF
1 kΩ
62 kΩ
7.5 kΩ
2.5 kΩ
50 μF
(b)
+10 V
5 kΩ
5 kΩ
4.3 kΩ
VT3
20 μF
20 kΩ
VT1
VT2
500 Ω
510 Ω
RL
uO
uS
RE
10 kΩ
2 kΩ
−10 V
(c)
+UCC
RE1
VT2
R1
VT1
uI
R2
RE1
RE2
uO
(d)

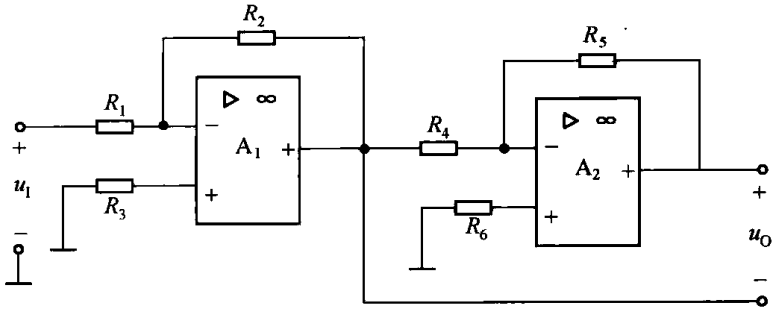
题 3.3 图

3.5　电路如题 3.5 图所示，设 $R_1=1\,\text{k}\Omega$，$R_2=R_4=R_5=10\,\text{k}\Omega$。

(1) 求 R_3 和 R_6 的值；

(2) 求 u_O/u_I；

(3) 若运算放大器电源为 $\pm 15\,\text{V}$，$u_I=1\,\text{V}$ 时，则电路能否正常工作?



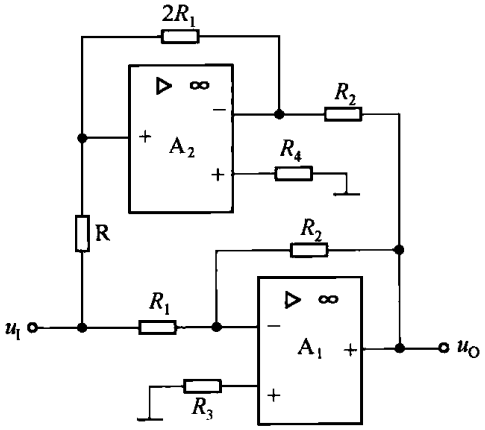
题 3.5 图

3.6　求题 3.6 图所示运算放大器的输入电阻及使输入电阻为最大值的条件，A_1 和 A_2 为理想运算放大器，$R_3=R_1/\!/R_2$，$R_4=2R_1/\!/R_2$。

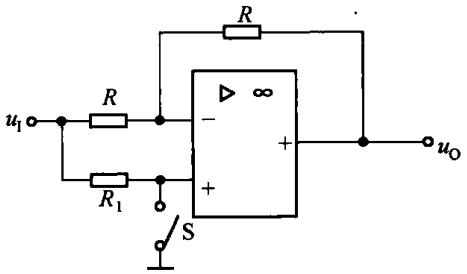
3.7　题 3.7 图所示放大器的增益由开关控制，求：

(1) 当开关 S 闭合时 u_O/u_I 的值；

(2) 当开关 S 断开时 u_O/u_I 的值。

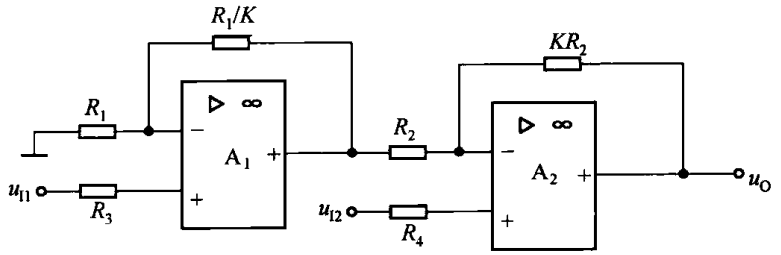


题 3.6 图



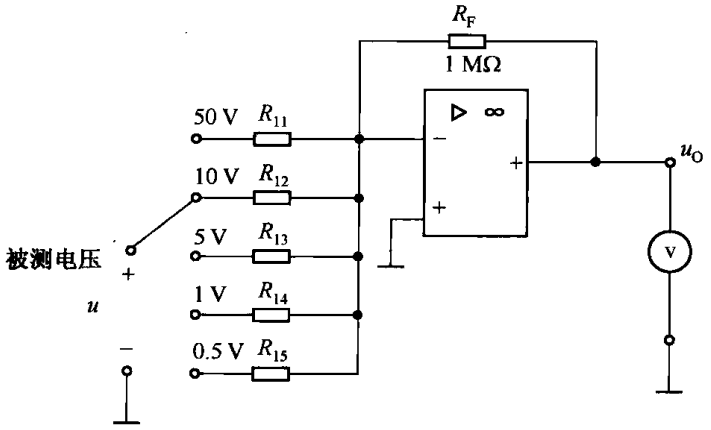
题 3.7 图

3.8　题 3.8 图所示是利用两个运算放大器组成的较高输入电阻的差分放大电路，试求出 u_O 与 u_{I1}，u_{I2} 的运算关系式。



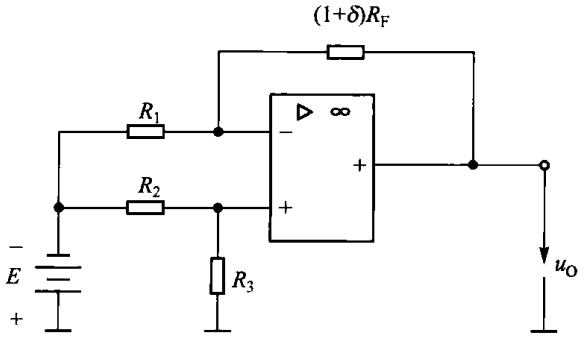
题 3.8 图

3.9　应用运算放大器可以制成测量电压的电压表，其特点是输入电阻较高，其原理如题 3.9 图所示。若要得到 0.5, 1, 5, 10 和 50 V 五种量程，试计算 $R_{11}\sim R_{15}$ 的值。输出端接有满量程 5 V，500 μA 的电压表。



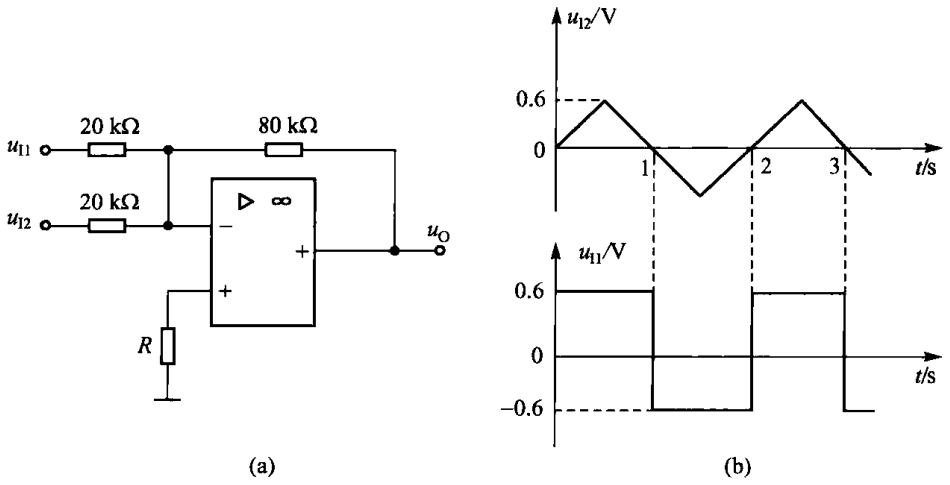
题 3.9 图

3.10 题 3.10 图所示是运算放大器构成的非电量测量电路。图中 E 是直流电源，R_1，R_2 和 R_3 的阻值固定，R_F 是检测电阻。由于某个非电量(如应变、压力或温度)的变化使 R_F 发生变化，其相对变量化 $\delta = \Delta R_F$，而 δ 与非电量有一定的函数关系。如果能得出输出电压 u_o 与 δ 的关系，就可测出该非电量。设 $R_1 = R_2 = R$，$R_3 = R_F$，并且 $R \gg R_F$，试求 u_o 与 δ 的关系。



题 3.10 图

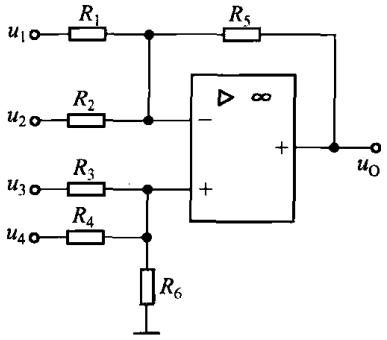
3.11 题 3.11 图(a)所示为一个反相加法电路，题 3.11 图(b)所示为两输入电压 u_{I1} 和 u_{I2} 的波形，试画出 u_O 的波形。



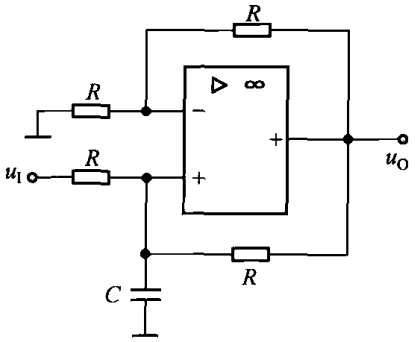
题 3.11 图

3.12 加减运算电路如题 3.12 图所示，$R_1 = R_3 = 10\ \text{k}\Omega$，$R_2 = R_4 = 25\ \text{k}\Omega$，$R_5 = R_6 = 50\ \text{k}\Omega$，$u_1 = 0.5\ \text{V}$，$u_2 = 1\ \text{V}$，$u_3 = -0.5\ \text{V}$，$u_4 = -1\ \text{V}$，求输出电压 u_O。

3.13　题 3.13 图所示为一个同相积分电路。在电阻 R 皆相同的条件下，证明 $u_O=\dfrac{2}{RC}\int u_I dt$。



题 3.12 图



题 3.13 图

3.14　按下列运算关系画出运算电路，并计算各电阻的阻值，括号中的反馈电阻 R_F 和电容 C_F 是已给定的。

(1) $u_O=-(u_{I1}+0.2u_{I2})$　($R_F=100\ \text{k}\Omega$)

(2) $u_O=2u_{I1}-u_{I2}$　($R_F=10\ \text{k}\Omega$)

(3) $u_O=-10\int u_{I1}dt-5\int u_{I2}dt$　($C_F=1\ \mu\text{F}$)

(4) $u_O=5\int u_{I1}dt-5u_{I2}$　($C_F=1\ \mu\text{F}$)

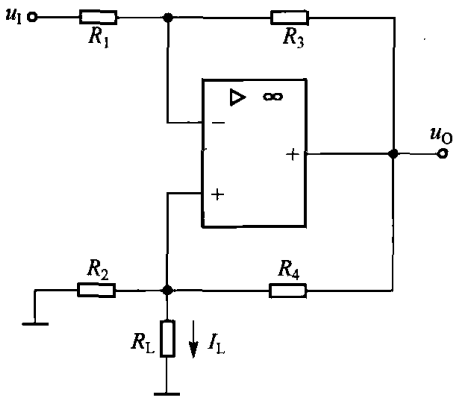
3.15　题 3.15 图为电压-电流变换器电路。设

$$\frac{R_4}{R_2}=\frac{R_3}{R_1}$$

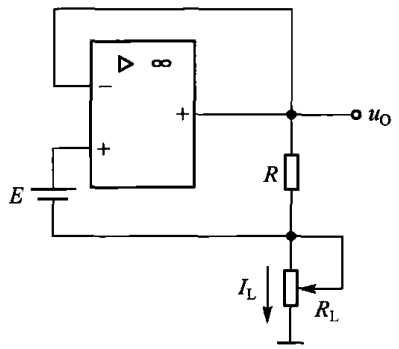
证明

$$I_L=-\frac{u_I}{R_2}$$

3.16　写出题 3.16 图所示电路的输出电流 I_L 与 E 的关系式，并说明其功能。



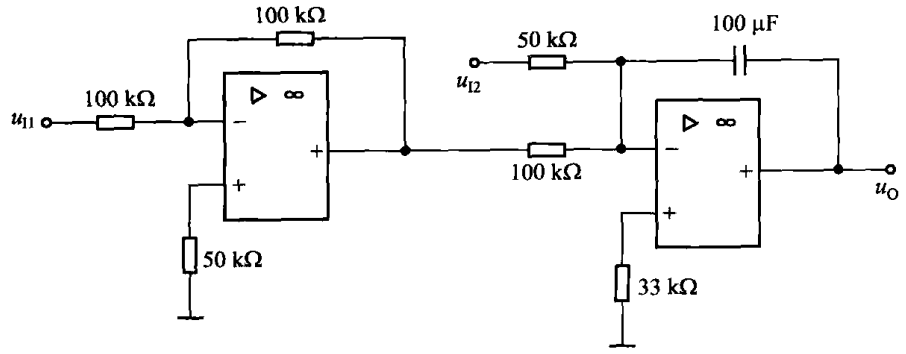
题 3.15 图



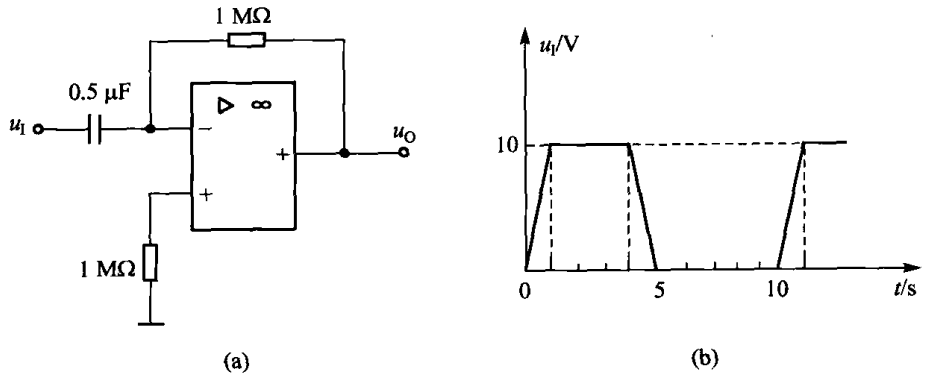
题 3.16 图

3.17　在题3.17图中，设电容上初始电压为零，在 $t=0\ \text{s}$ 时，输入电压 $u_{I1}=1\ \text{V}$，$u_{I2}=0.5\ \text{V}$，求 $t=10\ \text{s}$ 时的 u_O 的值。

3.18　在题3.18(a)图所示微分电路中，输入电压波形如题3.18(b)图所示，试画出输出电压 u_O 的波形。



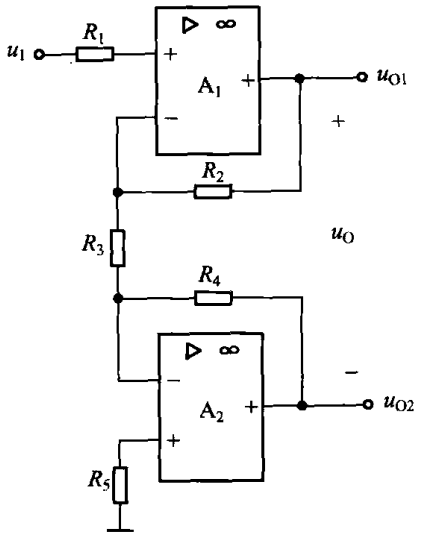
题 3.17 图



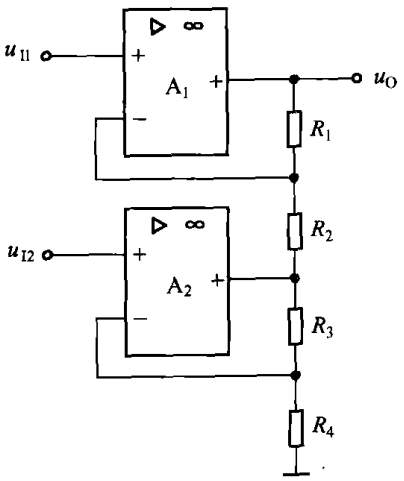
题 3.18 图

3.19 如题 3.19 图所示电路，试求输出电压 u_{O1}，u_{O2}，u_O 与输入电压 u_I 的运算关系式。

3.20 如题 3.20 图所示电路，(1) 试求输出电压 u_O 与输入电压 u_{I1}，u_{I2} 的运算关系式；(2) 如果 $R_1 = R_4$，$R_2 = R_3$，重新求 (1) 的运算关系式，并由此说明哪种情况下电路的抗共模干扰能力强。



题 3.19 图



题 3.20 图

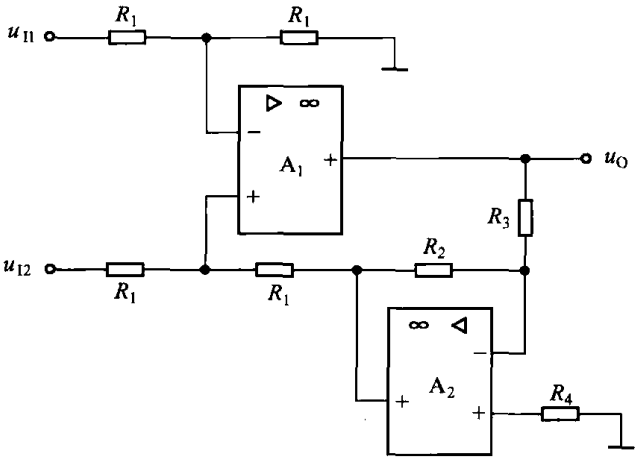
3.21 对于如题 3.21 图所示电路，试求输出电压 u_O 与输入电压 u_{I1}，u_{I2} 的运算关系式。

3.22 在控制系统中，常需移相电路，即输出电压的幅度不变，但输出电压对输入电压的相位差可调。题 3.22 图所示是利用集成运算放大器组成的一种移相电路。

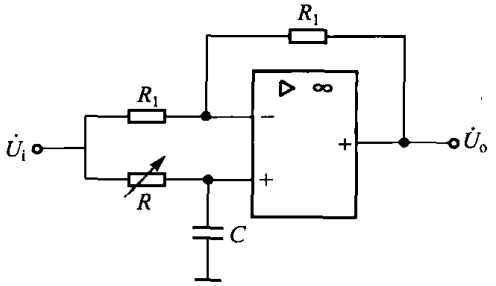
(1) 证明 $A_f = \dfrac{\dot{U}_o}{\dot{U}_i} = \dfrac{1 - j\omega RC}{1 + j\omega RC}$，其中 ω 为输入信号的角频率；

(2) 写出 A_f 的幅值 $|A_f|$ 和相角 φ 的表达式；

(3) 分析当 R 变化时，输出电压和输入电压之间相位差 φ 的变化范围。



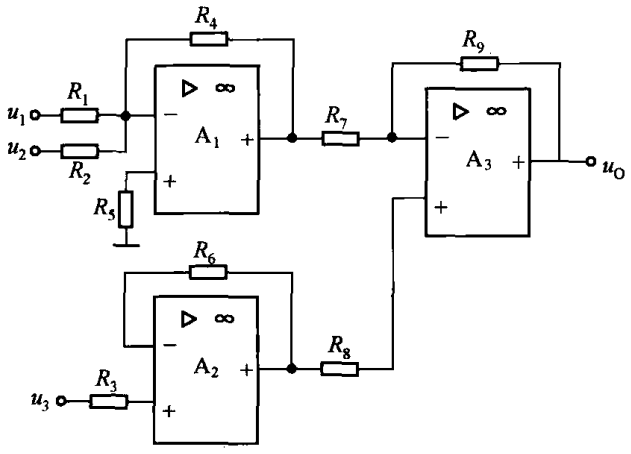
题 3.21 图



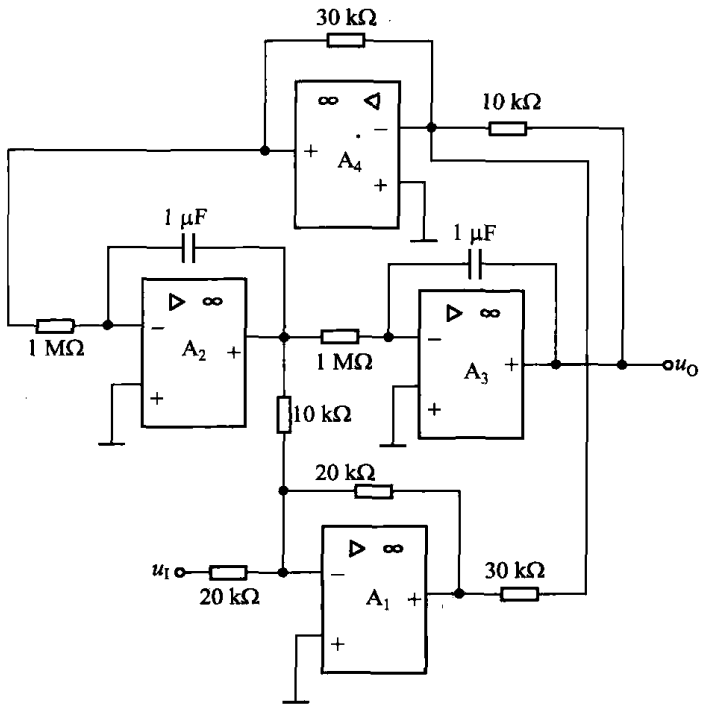
题 3.22 图

3.23　在题 3.23 图中，已知 $R_1 = 20\ \text{k}\Omega$，$R_2 = R_8 = 50\ \text{k}\Omega$，$R_4 = R_7 = R_9 = 100\ \text{k}\Omega$，$R_3 = R_6 = 10\ \text{k}\Omega$，试推导输出电压与输入电压之间的运算关系。

3.24　根据题 3.24 图所示的电子模拟结构图，试写出输出电压与输入电压之间的微分方程(不考虑初始条件)。



题 3.23 图

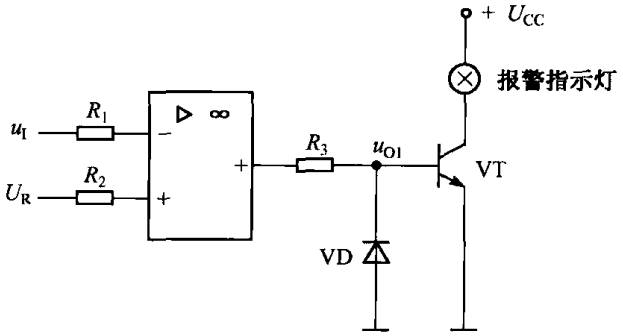


题 3.24 图

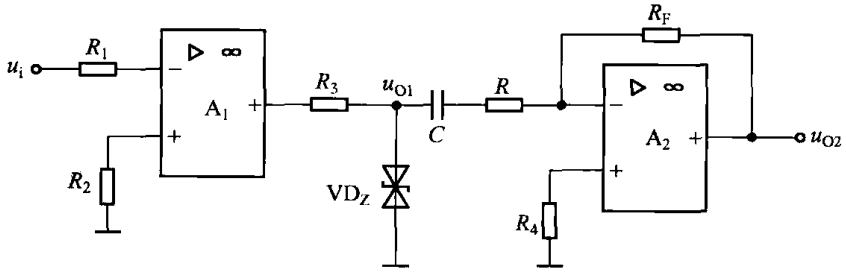
3.25　题 3.25 图所示是某监控报警电路，u_I 是由传感器转换来的监控信号，U_R 是基准电压。当 u_I 超过正常值时，报警灯亮，试说明其工作原理。二极管 VD 和电阻 R_3 在此起何作用?

3.26　在题 3.26 图所示电路中，A_2 组成近似微分电路，稳压管稳定电压为 ±6 V，正向压降为 0.7 V。若输入电压 $u_i = 0.5\sin\omega t$ V，试画出输出电压 u_{O1} 和 u_{O2} 的波形。

3.27　在题 3.27 图所示的比较器电路中，已知 $R_1 = 20\ \text{k}\Omega$，$R_2 = 40\ \text{k}\Omega$，$U_R = 3$ V，设所用双向稳压管的稳压值为 ±6 V，试求该比较器的门限电压值，并画出电路的电压传输特性。

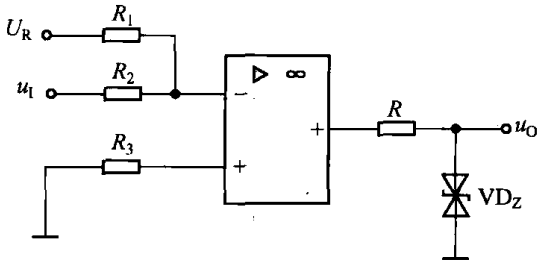


题 3.25 图

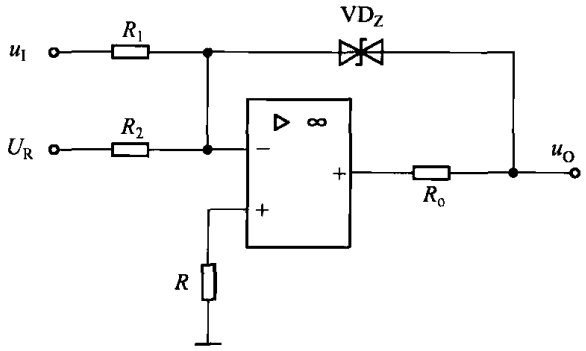


题 3.26 图

3.28 在题 3.28 图所示的比较器电路中，已知 $R_1 = R_2 = 50\ \text{k}\Omega$，设双向稳压管的稳压值为 $\pm 6\ \text{V}$，$U_R = 6\ \text{V}$，$u_i = 10\sin\omega t\ \text{V}$，试求该比较器的门限电压值，并画出电路的电压传输特性和输出电压 u_O 的波形。

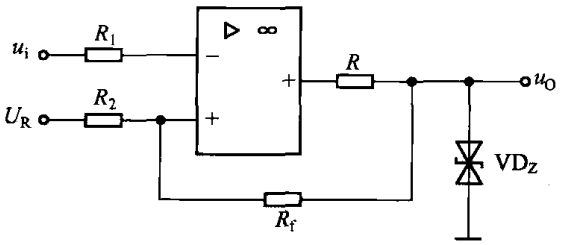


题 3.27 图



题 3.28 图

3.29 在题 3.29 图所示的反相输入迟滞电压比较器电路中，已知参考电压 $U_R = 2\ \text{V}$，$R_2 = 10\ \text{k}\Omega$，$R_f = 20\ \text{k}\Omega$，设双向稳压管的稳压值为 $\pm 6\ \text{V}$，$u_i = 6\sin\omega t\ \text{V}$，试求该比较器的门限电压值，并画出电路的电压传输特性。

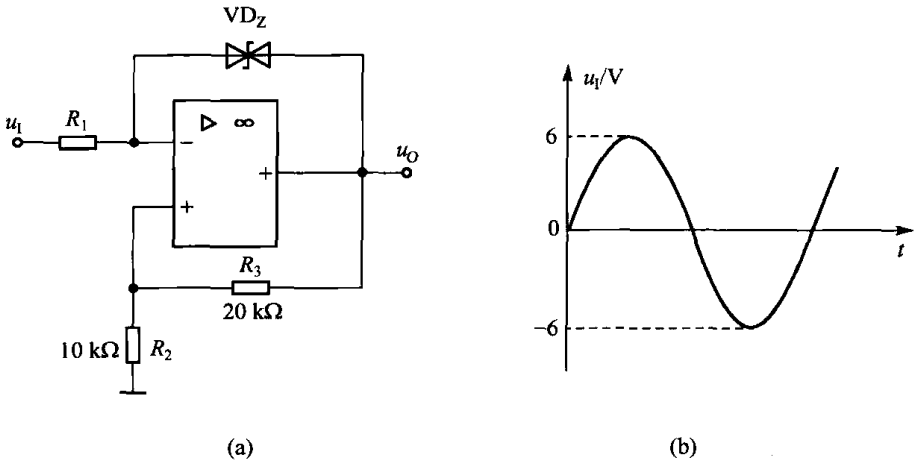


题 3.29 图

3.30 在题 3.30(a)图所示的比较器应用电路中，设所用双向稳压管的稳压值为 $\pm 6\ \text{V}$。

(1) 试求该比较器的门限电压值，并画出电路的电压传输特性；

(2) 当输入为题 3.30(b)图所示的正弦电压时，试画出输出电压的波形。



(a)　(b)

题 3.30 图

第 4 章　电力电子技术基础

电力电子(Power Electronics)技术是横跨电力、电子和控制工程技术领域之间的边沿学科，是利用电力电子器件对电能进行变换和控制的一门技术，包括电力电子器件、变换电路和相应的控制技术。随着不断涌现的新型电力电子器件的应用，促进了电力电子技术的快速进步，限于篇幅，本章仅简单地阐述以普通晶闸管为代表的大功率半导体器件和绝缘栅双极型晶体管，以及常用的整流、逆变、交流调压、变频、直流斩波等技术。

4.1　电力电子器件

电力电子器件(Power Electronic Device)是指在电能变换与控制的电路中实现电能的变换或控制的电子器件，现一般指基于半导体材料的各种电力电子器件。电力电子器件发展非常迅速，品种也非常多，但目前最常用的为数并不是很多。在电力电子电路中，电力电子器件均是工作在开关状态下，根据开关特性的不同，一般可分为如下三种类型：

(1) 不可控器件　如电力二极管。这类器件通常为二端器件，其基本特性与电子电路中的二极管一样，除了改变加在器件两端的电压极性以外，不能主动控制器件的开通和关断。

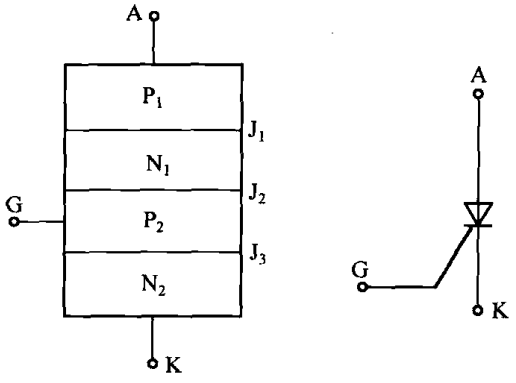
(2) 半控型器件　如普通晶闸管(SCR)及其大部分的派生器件。这类器件通常为三端器件，通过控制信号只能控制其开通，而不能控制其关断。

(3) 全控型器件　这类器件通常也为三端器件，通过控制信号，既能控制其开通，也能控制其关断。如目前最常用的绝缘栅双极型晶体管(IGBT)、电力场效应晶体管(P-MOSFET)、门极可关断晶闸管(GTO)、电力晶体管(GTR)等。

另外按载流子类型，电力电子器件可分为单极型、双极型和混合型三类。按控制信号性质，电力电子器件可分为电压控制型和电流控制型两种。

4.1.1　晶闸管

晶体闸流管简称晶闸管(Thyristor)，因是用半导体硅材料制成的器件，故又称为可控硅(Silicon Controlled Rectifier，SCR)。直到目前为止，由于晶闸管能承受的电压和电流容量仍然是目前电力电子器件中最高的，因此在高电压、大电流的应用场合仍然是无可替代的最佳选择。晶闸管还包括许多的派生器件，但一般所说的晶闸管是指其基本类型——普通晶闸管。本节将主要介绍普通晶闸管的工作原理、基本特性和主要参数，然后对其各种派生器件也进行简要介绍。



(a) 结构示意图　　(b) 图形符号

图 4.1.1　晶闸管的示意图和符号

1. 晶闸管的基本结构

普通晶闸管的结构示意图如图 4.1.1(a)所示。由图4.1.1(a)可见，晶闸管由 4 层半导体 P1，N1，P2 和 N2

组成，形成了三个 PN 结，最外层的 P1 和 N2 分别引出阳极 A 和阴极 K，中间的 P2 层引出控制极 G（或称为门极）。晶闸管的符号如图4.1.1(b)所示。

晶闸管从外形上分，按电流由小到大的顺序有塑封式、螺栓式和平板式三种。在使用晶闸管时，一般都要加装散热器。

2. 晶闸管的工作原理

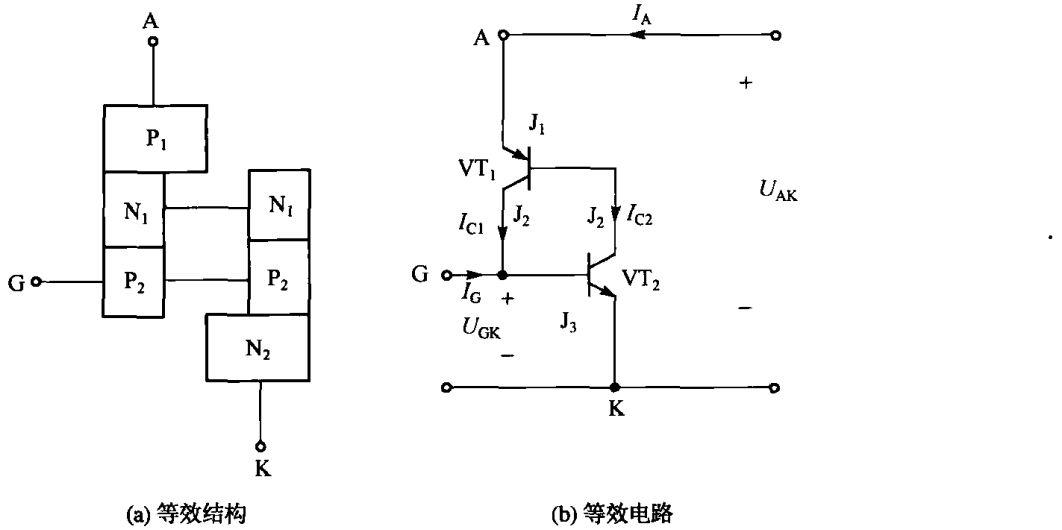
晶闸管是一种可控的单向导电开关，具有导通和阻断（截止）两种工作状态。这两种工作状态在什么条件下成立，是我们要研究的问题。

1）晶闸管的阻断工作状态

当晶闸管的控制极与阴极之间无触发电流时，即加反向电压或悬空时，则晶闸管无论加反向电压还是加正向电压，均呈现阻断工作状态。当阳极与阴极之间加反向电压时，由于 PN 结 J1, J3 处于反向偏置，只能流过很小的反向漏电流，因此晶闸管处于反向阻断状态；当阳极与阴极之间加正向电压，由于 PN 结 J2处于反向偏置，只能流过很小的反向漏电流，因此晶闸管也不会导通，处于正向阻断状态。

2）晶闸管的导通工作状态

为了说明晶闸管的导通原理，可把晶闸管等效为 PNP 和 NPN 型两个双极型晶体管的组合，如图4.1.2所示。中间的 N1, P2 层为两管共有，即每一个晶体管的基极与另一个晶体管的集电极相连。



(a) 等效结构　　(b) 等效电路

图 4.1.2　晶闸管等效电路

当晶闸管的控制极与阴极之间加正向电压时，即 $U_{GK}>0$，VT_2 的发射结 J_3 处于正向偏置，$I_G\neq 0$。但晶闸管能否导通，还需看阳极与阴极之间所加电压的极性。如果阳极与阴极之间加的是反向电压，即 $U_{AK}<0$，VT_1 的发射结 J_1 处于反向偏置，VT_1 处于截止状态，晶闸管仍不会导通，处于反向阻断状态。如果阳极与阴极之间加的是正向电压，即 $U_{AK}>0$，由于 VT_1, VT_2 的发射结 J_1, J_3 处于正向偏置，集电结 J_2 反向偏置，VT_1, VT_2 处于放大工作状态。此时产生的控制极电流 I_G 就是 VT_2 的基极电流，经 VT_2 放大后，集电极电流 $I_{C2}=\beta I_G$，VT_2 的集电极电流又是 VT_1 的基极电流，经 VT_1 放大后，集电极电流 $I_{C1}=\beta_1\beta_2 I_G$，由于 VT_1 的集电极电流又是 VT_2 的基极电流，再次被 VT_2 放大。这样循环下去，反复放大，形成强烈的正反馈，使 VT_1, VT_2 很快进入饱和，晶闸管处于导通状态。

由以上分析可见，晶闸管导通后，它的导通状态可以依靠自身的正反馈作用来维持。因此，控制极的作用仅仅是触发晶闸管导通，导通后，控制极就失去了控制作用。若要晶闸管回到阻断状态，

必须使阳极电流减小到不能维持其正反馈的数值，晶闸管才会自行关断，此时对应的阳极电流称为维持电流 I_H。

根据上述分析，只有当晶闸管的控制极与阴极之间加正向电压，且阳极与阴极之间也加正向电压时，晶闸管才可以导通。要使晶闸管由导通状态回到阻断状态，可以将阳极与电源断开或在阳极与阴极之间加一反向电压。

3. 晶闸管的伏安特性

晶闸管的伏安特性即阳极和阴极之间的电压 U_{AK} 与阳极电流 I_A 及控制极电流 I_G 的关系曲线，如图4.1.3所示。

第Ⅰ象限是晶闸管的正向工作特性。当控制极开路时，$I_G=0$，晶闸管处于正向阻断状态，只有很小的正向漏电流，即特性曲线的 OA 段。但当晶闸管正向电压继续增加超过正向转折电压 U_{BO} 时，反偏的 J_2 结击穿，则阳极电流急剧增大，从图中 A 点迅速经 B 点至 C 点，晶闸管转入导通状态。这是一种非正常触发状态。晶闸管导通后，若阳极电流小于维持电流 I_H，则晶闸管将由导通状态转为阻断状态。

如前所述，当晶闸管的正向电压小于正向转折电压 U_{BO} 时，若施加正向触发电压，形成触发电流，则晶闸管从正向阻断状态转入导通状态。所加门极触发电流越大，阳极正向转折电压越低。晶闸管正向导通后，和普通二极管的正向特性相似，其导通压降约为 1V。

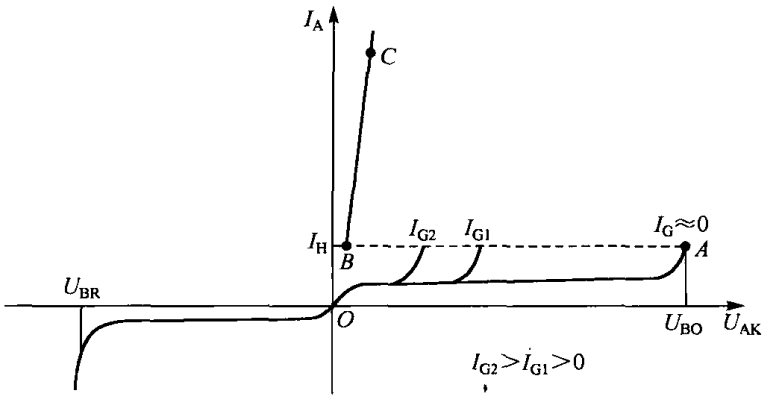


图 4.1.3 晶闸管的伏安特性

第Ⅲ象限是晶闸管的反向工作特性。当施加反向电压时，晶闸管处于反向阻断状态，只有很小的反向漏电流，当继续增大反向电压，超过反向击穿电压 U_{BR} 时，反向电流剧增，晶闸管反向击穿。此段特性与二极管的反向特性很相似。

4. 晶闸管的主要参数

(1) 正向重复峰值电压 U_{FRM}，在晶闸管控制极开路且正向阻断情况下，可以重复加在晶闸管上的正向峰值电压。通常规定此电压值为正向转折电压 U_{BO} 的 80%。

(2) 反向重复峰值电压 U_{RRM}，在控制极开路时，可以重复加在晶闸管上的反向峰值电压。通常规定为反向击穿电压 U_{BR} 的 80%。

(3) 额定电压 U_N，通常把 U_{FRM} 和 U_{RRM} 中较小的一个作为额定电压。选用时，一般取额定电压为正常工作时晶闸管所承受峰值电压的 2～3 倍。

(4) 额定正向平均电流 I_F，在环境温度为 40° 和规定的冷却条件下，晶闸管处于全导通时所允许流过的最大工频正弦半波电流的平均值。可以看出，这个参数是按照电流的发热效应来定义的。因此在使用时，应按照实际波形的电流与额定平均电流所造成的发热相等，即有效值相等的原则来选取，并留有一定的余量，一般取为计算结果的 1.5～2 倍。

设正弦电流峰值为 I_m，则额定正向平均电流 I_F 为

$$I_F=\frac{1}{2\pi}\int_0^{\pi}I_m\sin\omega t\mathrm{d}\omega t=\frac{I_m}{\pi} \tag{4.1.1}$$

该正弦半波电流的有效值为

$$I_t=\sqrt{\frac{1}{2\pi}\int_0^{\pi}(I_m\sin\omega t)^2\mathrm{d}\omega t}=\frac{I_m}{2} \tag{4.1.2}$$

非正弦周期电流的有效值与其平均值之比称为该非正弦周期电流的波形系数。根据式(4.1.1)和式(4.1.2)可知，正弦半波电流的波形系数为

$$k_f=\frac{I_t}{I_F}=1.57 \tag{4.1.3}$$

由式(4.1.3)可知，额定电流为100A的晶闸管允许通过的电流有效值为157A。在实际电路中，流过晶闸管的是任意波形的非正弦波，按有效值相等的原则，应将实际电流的有效值 I_t（或平均值 I_T）折合成等效正弦半波电流的平均值去选择晶闸管的额定值，即

$$I_t=k_fI_T=1.57I_F \tag{4.1.4}$$

$$I_F=\frac{k_fI_T}{1.57}=\frac{I_t}{1.57} \tag{4.1.5}$$

式(4.1.4)中的 k_f 为非正弦波的波形系数。考虑一定的安全余量，则

$$I_F=(1.5-2)\frac{k_fI_T}{1.57}=(1.5-2)\frac{I_t}{1.57} \tag{4.1.6}$$

(5) 维持电流 I_H，控制极断开后，维持晶闸管继续导通所必需的最小电流。

除上述静态指标外，晶闸管还有一些动态指标，如断态电压临界上升率 $\mathrm{d}u/\mathrm{d}t$、通态电流临界上升率 $\mathrm{d}i/\mathrm{d}t$ 等，使用时可查阅有关手册。

例 4.1.1　已知流过某晶闸管的电流波形如图 4.1.4 所示，设该晶闸管的额定正向平均电流为 100 A，安全余量取为 2，求允许通过该晶闸管的正向平均电流值。

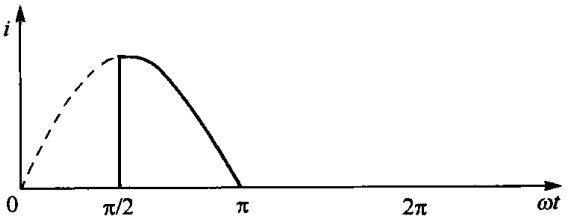


图 4.1.4　晶闸管的电流波形

解：实际电流的平均值为

$$I_T=\frac{1}{2\pi}\int_{\pi/2}^{\pi}I_m\sin\omega t\mathrm{d}\omega t=\frac{I_m}{2\pi}$$

实际电流的有效值为

$$I_t=\sqrt{\frac{1}{2\pi}\int_{\pi/2}^{\pi}(I_m\sin\omega t)^2\mathrm{d}\omega t}=I_m\sqrt{\frac{1}{8}}=\frac{\sqrt{2}I_m}{4}$$

该电流的波形系数为

$$k_f=\frac{I_t}{I_T}=\frac{I_m\sqrt{2}/4}{I_m/2\pi}=2.21$$

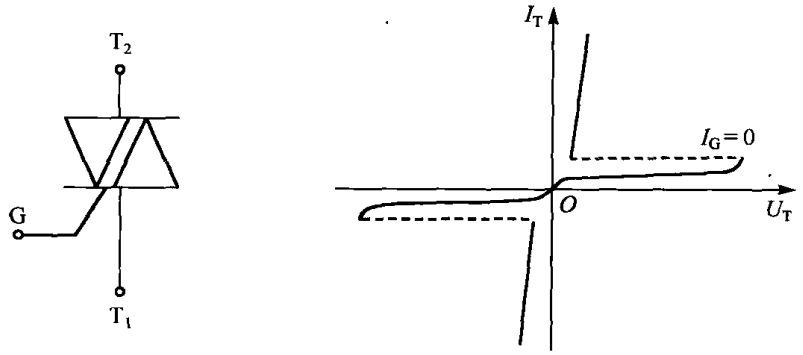
考虑安全余量后，额定电流为 100 A 的晶闸管允许通过的电流平均值为

$$I_T=\frac{1.57I_F}{k_f2}=\frac{1.57\times100}{2.21\times2}=35.5\ \mathrm{A}$$

4.1.2 派生晶闸管

1. 双向晶闸管

双向晶闸管(Triode AC Switch，TRIAC)由5层半导体NPNPN组成，它有4个PN结，两个主电极 T_1，T_2 和一个门极G，其图形符号和伏安特性分别如图4.1.5(a)和(b)所示。双向晶闸管可以看成是一对反向并联的普通晶闸管，门极使器件在正、反两个方向都能触发导通，这种结构使它在第Ⅰ，Ⅲ象限有同样对称的开关特性。



(a) 图形符号　　(b) 伏安特性

图 4.1.5　双向晶闸管的图形符号和伏安特性

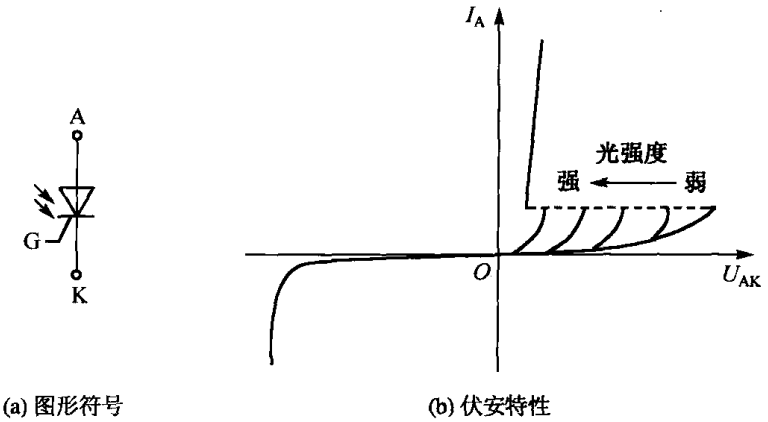
双向晶闸管常用于交流调压、交流电动机软起动和用做固态继电器电路。与使用一对反并联的普通晶闸管相比，双向晶闸管不仅成本低，而且控制电路也比较简单。但是应该注意，由于双向晶闸管通常用在交流电路中，因而不用平均值而用有效值来表示其额定电流。例如，交流有效值电流100A的双向晶闸管，其峰值电流为 $\sqrt{2}\times100=141$ A。而一个峰值电流为141A的普通晶闸管，其额定正向平均电流为

$$I_F=\frac{I_m}{\pi}=\frac{141}{\pi}=44.9\ \text{A}$$

所以，一个100 A(有效值)的双向晶闸管可代替两个44.9 A(平均值)的普通晶闸管。

2. 光控晶闸管

光控晶闸管(Light Triggered Thyristor，LTT)又称为光触发晶闸管，是利用一定波长的光照信号触发导通的晶闸管，其图形符号和伏安特性分别如图4.1.6(a)和(b)所示。由于采用光触发保证了主电路与控制电路之间的绝缘，而且可以避免电磁干扰，因此光控晶闸管适合用于高压大功率的场合。



(a) 图形符号　　(b) 伏安特性

图 4.1.6　光控晶闸管的图形符号和伏安特性

另外还有一些特殊用途的晶闸管，如快速晶闸管(Fast Switching Thyristor，FST)和逆导晶闸管(Reverse Conducting Thyristor，RCT)等。FST 专为快速应用而设计的晶闸管，可分别应用于 400 Hz 和 10 kHz 以上的功率变换电路中。RCT 是将晶闸管反并联一个二极管制作在同一管芯上的功率集成器件。这种器件不具有承受反向电压的能力，可用于不需要阻断反向电压的电路中，使用时可参考有关书籍。

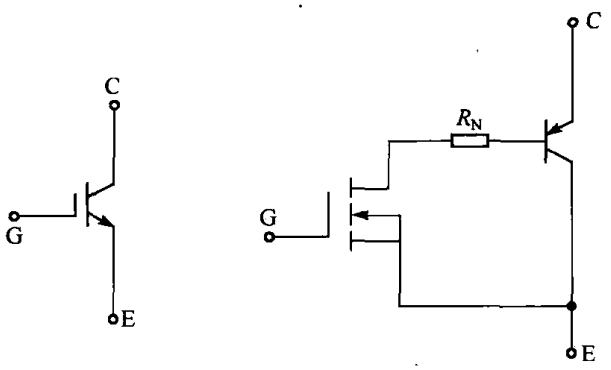
4.1.3　典型的全控型器件

在晶闸管问世后不久，具有全控能力的门极可关断晶闸管就已经出现。之后，随着电力电子应用技术的要求和半导体制造技术的发展，产生了一代又一代高频化、全控型、采用集成电路制造工艺的电力电子器件，从而将电力电子技术又带入了一个崭新时代。目前常见的全控型器件主要有门极可关断晶闸管(Gate-Turn-Off Thyristor, GTO)、功率晶体管 (Giant Transistor，GTR，又称为电力晶体管)、电力场效应晶体管(Power MOSFET)、绝缘栅双极晶体管(Insulated-Gate Bipolar Transistor，IGBT)、智能功率模块(Intelligent Power Module，IPM)等。

GTO 也是晶闸管的一种派生器件，但可以通过在门极施加负的脉冲电流使其关断。GTR 是一种耐高压、大电流的双极型晶体管(BJT)，它是一种电流控制的全控型器件。MOSFET 是一种单极性电压控制的全控型器件，具有输入阻抗高、驱动功率小、开关速度快、工作频率高等优点。IGBT 是综合了 GTR 和 MOSFET 的优点复合而成的一种新型器件，即有 GTR 耐高压、电流大的特点，又兼有 MOSFET 输入阻抗高、驱动功率小等优点。智能功率模块是将驱动电路、保护电路与 IGBT 集成在一个模块中，便于散热和安装。限于篇幅，本节仅简单地介绍使用较多的 IGBT。

IGBT 的图形符号和等效电路分别如图4.1.7(a)和(b)所示。

IGBT 也是三端器件，具有栅极 G、集电极 C 和发射极 E。由图4.1.7(b)可见，IGBT 是由 MOSFET 与双极型晶体管构成的复合结构，其中 MOSFET 为驱动元件，GTR 为主导元件，R_N 为基区内的调制电阻。图示器件的 MOSFET 为 N 沟道增强型，称为 N 沟道 IGBT。相应的还有 P 沟道 IGBT，其图形符号仅将箭头反向即可。



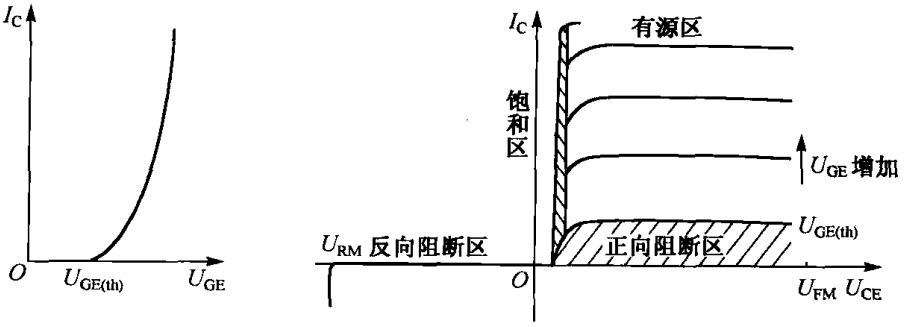
(a) 图形符号　　(b) 等效电路

图 4.1.7　IGBT 其图形符号和等效电路

由图 4.1.7(b)还可以看出，IGBT 的转移特性与 N 沟道增强型 MOSFET 的转移特性相似，IGBT 是一种电压控制的器件，其开通和关断是受栅极和发射极之间的电压 u_{GE} 控制的。当 u_{GE} 为正，且大于开启电压 $U_{GE(th)}$ 时，MOSFET 内形成导电沟道，并为 PNP 管提供基极电流，进而使 IGBT 导通，其输出特性与双极型晶体管的输出特性相似。当栅极和发射极间开路或加反向电压时，MOSFET 内导电沟道消失，PNP 管的基极电流被切断，IGBT 即关断。

图 4.1.8(a)和(b)所示分别是 IGBT 的转移特性和输出特性。转移特性描述的是集电极电流 I_C 与栅射电压 U_{GE} 之间的关系。开启电压 $U_{GE(th)}$ 是 IGBT 能实现导通的最低栅射电压，一般为 2～6 V。

输出特性描述的是以栅射电压为参考变量时，集电极电流 I_C 与集射极间电压 U_{GE} 之间的关系。此特性与 GTR 的输出特性相似。IGBT 的输出特性也分为三个区域：正向阻断区、有源区和饱和区。这分别与 GTR 的截止区、放大区和饱和区相对应。此外，当 $U_{CE}<0$ 时，IGBT 为反向阻断工作状态。在电力电子电路中，IGBT 工作在开关状态，因而是在正向阻断区和饱和区之间来回转换的。



(a) 转移特性　　(b) 输出特性

图 4.1.8　IGBT 的转移特性和输出特性

思考题

4.1.1　不可控、半控和全控型电力电子器件的主要区别是什么?

4.1.2　使晶闸管导通和阻断的条件是什么?

4.1.3　晶闸管导通时，其中的电流大小由电路中的哪些因素决定?

4.2　整流与滤波电路

所谓整流，就是利用具有单向导电性的电子元器件将交流电转换成直流电，整流也称为 AC-DC 变换。整流后的单向脉动电压中不仅含有有用的直流分量，而且还含有有害的交流分量，滤波的目的就是去除输出电压中的交流电而得到比较平滑的直流电。

4.2.1　不可控整流电路

1．单相半波整流电路

单相半波整流电路的原理如图4.2.1所示。整流变压器 Tr 将电网电压 u_1 变换为合适的交流电压 u_2，接入变压器的另一目的是使电路的整流部分与电网之间没有直接的电接触，起隔离作用。假设二极管是理想的，且 $u_2=\sqrt{2}U_2\sin\omega t$，当变压器副边电压 u_2 为正半周时，上端的电位高于下端，二极管因承受正向电压而导通。电流通路为

$$\mathrm{a}\rightarrow \mathrm{VD}\rightarrow \mathrm{R_L}\rightarrow \mathrm{b}$$

当 u_2 为负半周时，二极管因承受反向电压而截止，负载电阻 $\mathrm{R_L}$ 上没有电压。因此，在负载电阻 $\mathrm{R_L}$ 上得到的是半波整流电压 u_O。在导通时，忽略二极管的正向压降，可以认为 u_O 的这半个波和 u_2 的正半波是相同的。单相半波整流电路的电压、电流波形如图4.2.2所示。

这种单向脉动电压，常用一个周期的平均值来说明它的大小。根据负载电压的波形，可求得其平均值为

$$U_\mathrm{O}=\frac{1}{2\pi}\int_0^\pi\sqrt{2}U_2\sin\omega t\mathrm{d}\omega t=\frac{\sqrt{2}}{\pi}U_2=0.45U_2 \tag{4.2.1}$$

式中，U_2 是变压器副边电压 u_2 的有效值。由此可求出负载电流 i_O 的平均值为

$$I_\mathrm{O}=\frac{U_\mathrm{O}}{R_\mathrm{L}}=0.45\frac{U_2}{R_\mathrm{L}} \tag{4.2.2}$$

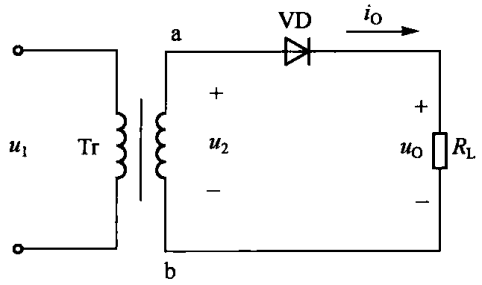


图 4.2.1　单相半波整流电路原理图

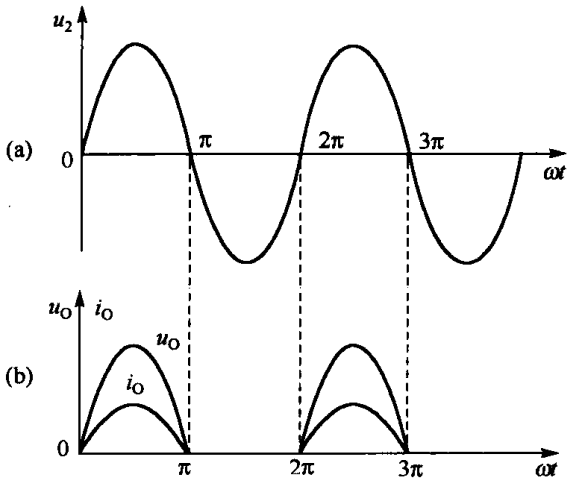


图 4.2.2　单相半波整流电路的电压、电流波形

作为整流电路，需要选择适当的整流元件。由以上分析可知，二极管只导通半周，导通角为 π，因而通过二极管的电流平均值即为负载电流：

$$I_D = I_O \tag{4.2.3}$$

二极管在截止时承受的反向电压为 u_2 的最大值，即

$$U_{DRM} = \sqrt{2}U_2 \tag{4.2.4}$$

进一步分析，当需要求变压器容量时，除电压外，还要求出副边电流 i_2，其有效值为

$$I_2 = \sqrt{\frac{1}{2\pi}\int_0^{\pi}(I_m \sin\omega t)^2 \mathrm{d}\omega t} = \frac{I_m}{2} \tag{4.2.5}$$

而输出电流 i_O 的平均值为

$$I_O = \frac{1}{2\pi}\int_0^{\pi} I_m \sin\omega t \mathrm{d}\omega t = \frac{I_m}{\pi} \tag{4.2.6}$$

所以

$$I_2 = \frac{\pi}{2} I_O = 1.57 I_O \tag{4.2.7}$$

2. 单相桥式整流电路

单相桥式整流电路的原理如图 4.2.3 所示。4 个整流二极管接成桥式，其中 VD_1 和 VD_2 的阴极连在一起作为输出直流电压的正极性端；VD_3 和 VD_4 的阳极连在一起作为输出电压的负极性端。

假设二极管是理想的，且 $u_2 = \sqrt{2}U_2 \sin\omega t$V，则当 u_2 为正半周时，二极管 VD_1，VD_3 导通，相当于短路，同时 VD_2，VD_4 因承受反向电压而截止。电流通路为

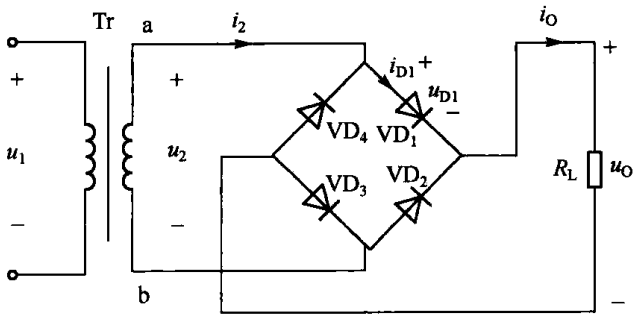


图 4.2.3　单相桥式整流电路原理图

$$a \rightarrow VD_1 \rightarrow R_L \rightarrow VD_3 \rightarrow b$$

当u_2为负半周时，二极管VD_2, VD_4导通，VD_1, VD_3因承受反向电压而截止，电流通路为

$$b \rightarrow VD_2 \rightarrow R_L \rightarrow VD_4 \rightarrow a$$

可见，无论电压u_2是在正半周还是在负半周，负载电阻R_L上都有电流流过，而且方向相同，因此R_L得到单向脉动电压和电流。单相桥式整流电路的电压、电流波形如图4.2.4所示。根据负载电压的波形，可求得其平均值为

$$U_O = \frac{1}{\pi}\int_0^{\pi}\sqrt{2}U_2 \sin\omega t \mathrm{d}\omega t = \frac{2\sqrt{2}}{\pi}U_2 = 0.9U_2 \tag{4.2.8}$$

式中，U_2是变压器副边电压u_2的有效值。由此可求出负载电流i_o的平均值为

$$I_O = \frac{U_O}{R_L} = 0.9\frac{U_2}{R_L} \tag{4.2.9}$$

在桥式整流电路中，每个二极管只导通半周，导通角为π，因而通过每个二极管的电流平均值为负载电流的一半，即

$$I_D = \frac{1}{2}I_O \tag{4.2.10}$$

每个二极管在截止时承受的反向电压为u_2的最大值，即

$$U_{DRM} = \sqrt{2}U_2 \tag{4.2.11}$$

变压器副边电流i_2仍是正弦电流，其有效值为

$$I_2 = \frac{I_m}{\sqrt{2}} = \frac{U_2}{R_L} = \frac{U_O}{0.9R_L} = 1.11I_O \tag{4.2.12}$$

实际应用中，为了减少接线和提高可靠性，经常将4个整流二极管封装在一起使用，称为整流桥模块，这些模块只有交流输入和直流输出引脚，使用起来非常方便。

例4.2.1 设计一个输出电压为36 V、输出电流为2 A的直流电源，采用桥式整流电路，(1)试确定变压器二次绕组的电压及电流；(2)选择相应的整流二极管。

解： (1) 考虑到电源电压的波动和二极管的正向压降，变压器二次绕组电压大约要比理论计算值高10%，所以二次绕组电压的有效值为

$$U_2 = 1.1\times\frac{U_O}{0.9} = 1.1\times\frac{36}{0.9} = 44\ \mathrm{V}$$

二次绕组电流的有效值为

$$I_2 = 1.11I_O = 1.11\times 2 = 2.22\ \mathrm{A}$$

(2) 流过整流二极管的平均电流为

$$I_D = \frac{1}{2}I_O = 1\ \mathrm{A}$$

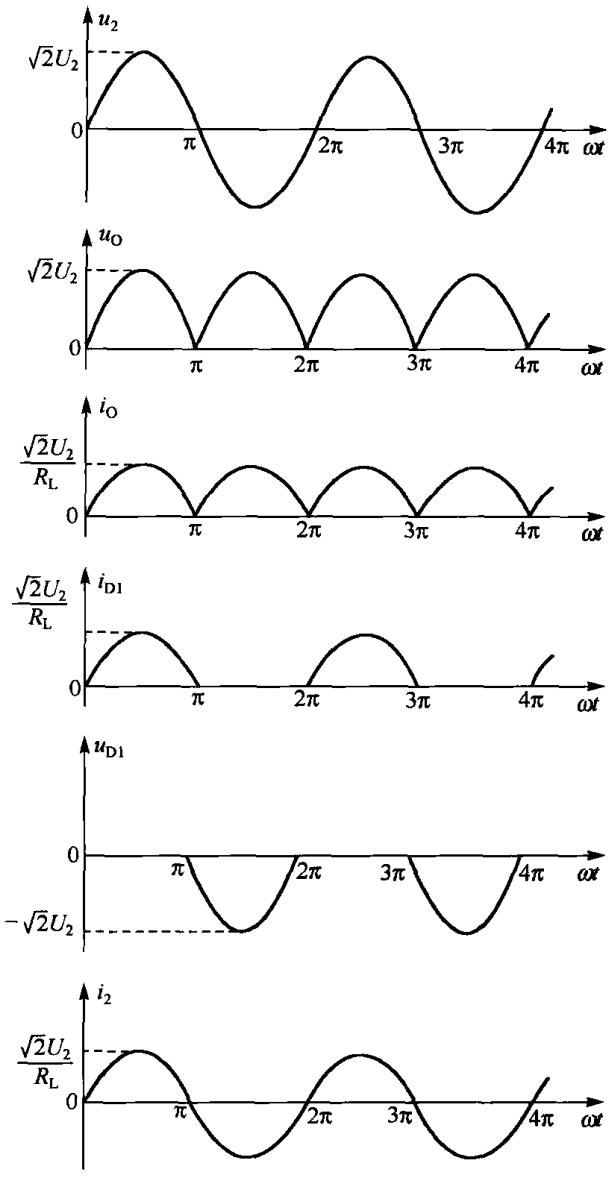


图4.2.4 单相桥式整流电路的电压、电流波形

整流二极管承受的最高反向电压为

$$U_{\mathrm{DRM}}=\sqrt{2}U_2=\sqrt{2}\times 44=62\ \mathrm{V}$$

因此可选用 4 个 2CZ12B 整流二极管，其最大整流电流为 3 A，最高反向工作电压为 100 V。

3. 三相桥式整流电路

单相整流电路的输出功率较小，一般为几瓦到几百瓦，常用于电子仪器中。若电气设备要求的整流功率较大，达到几千瓦以上时，为了保证三相电网负载的平衡，通常采用三相整流电路。有些场合中，虽然整流输出功率不大，但为了较小输出电压的脉动程度，也采用三相整流电路。

三相桥式整流电路的原理如图 4.2.5 所示，它由一个三相整流变压器和 6 个整流二极管组成。一般变压器副绕组接成星型连接，三相电压 u_{a}，u_{b} 和 u_{c} 的波形如图4.2.6所示。

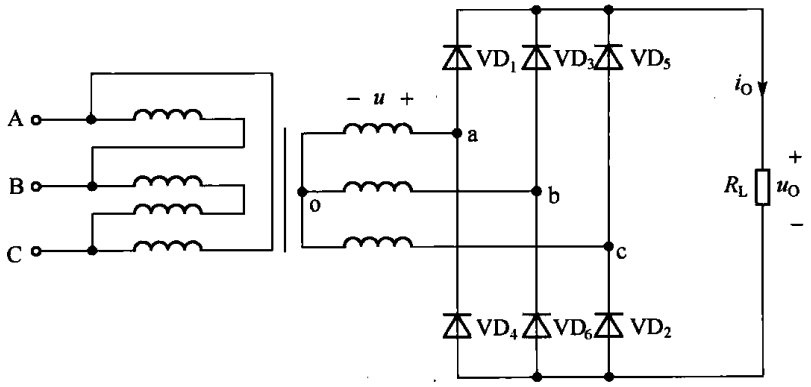


图 4.2.5　三相桥式整流电路原理图

二极管 $\mathrm{VD_1}$, $\mathrm{VD_3}$, $\mathrm{VD_5}$ 的阴极联在一起，称为共阴极组；$\mathrm{VD_2}$, $\mathrm{VD_4}$, $\mathrm{VD_6}$ 的阳极连在一起，称为共阳极组。由图4.2.5 可以看出，以 o 点作为交流电压的参考点，共阴极组中阳极电位最高者导通，共阳极组中阴极电位最低者导通。每一组中三个整流二极管轮流导通，同一时间有两个二极管导通。例如在 t_1～t_2期间，a 点电位最高，b 点电位最低，因此，共阴极组中只有 $\mathrm{VD_1}$ 导通，共阳极组中只有 $\mathrm{VD_6}$ 导通，同时 $\mathrm{VD_2}$, $\mathrm{VD_3}$, $\mathrm{VD_4}$, $\mathrm{VD_5}$ 因承受反向电压而截止。电流通路为

$$\mathrm{a}\rightarrow \mathrm{VD_1}\rightarrow \mathrm{R_L}\rightarrow \mathrm{VD_6}\rightarrow \mathrm{b}$$

如果忽略二极管的正向导通压降，加在负载上的整流电压就是变压器二次侧的线电压 u_{ab}。以此类推，就可以列出图 4.2.5 中所示二极管的导通次序。共阴极组的三个二极管 $\mathrm{VD_1}$, $\mathrm{VD_3}$, $\mathrm{VD_5}$ 在 t_1, t_3, t_5 等时刻轮流导通；共阳极组的三个二极管 $\mathrm{VD_2}$, $\mathrm{VD_4}$, $\mathrm{VD_6}$ 在 t_2, t_4, t_6 等时刻轮流导通。负载上所得的整流电压的大小等于每一时刻最大一个线电压的值，其平均值为

$$\begin{aligned}U_{\mathrm{O}}&=\frac{1}{\pi/3}\int_{\pi/6}^{\pi/2}\sqrt{2}U_{\mathrm{ab}}\left(\sin\omega t+\frac{\pi}{6}\right)\mathrm{d}\omega t\\&=\frac{3}{\pi}\int_{\pi/6}^{\pi/2}\sqrt{2}\times\sqrt{3}U\left(\sin\omega t+\frac{\pi}{6}\right)\mathrm{d}\omega t=2.34U\end{aligned}\qquad(4.2.13)$$

式中，U 为变压器二次侧相电压的有效值。

负载电流的平均值为

$$I_O = \frac{U_O}{R_L} = 2.34\frac{U}{R_L} \tag{4.2.14}$$

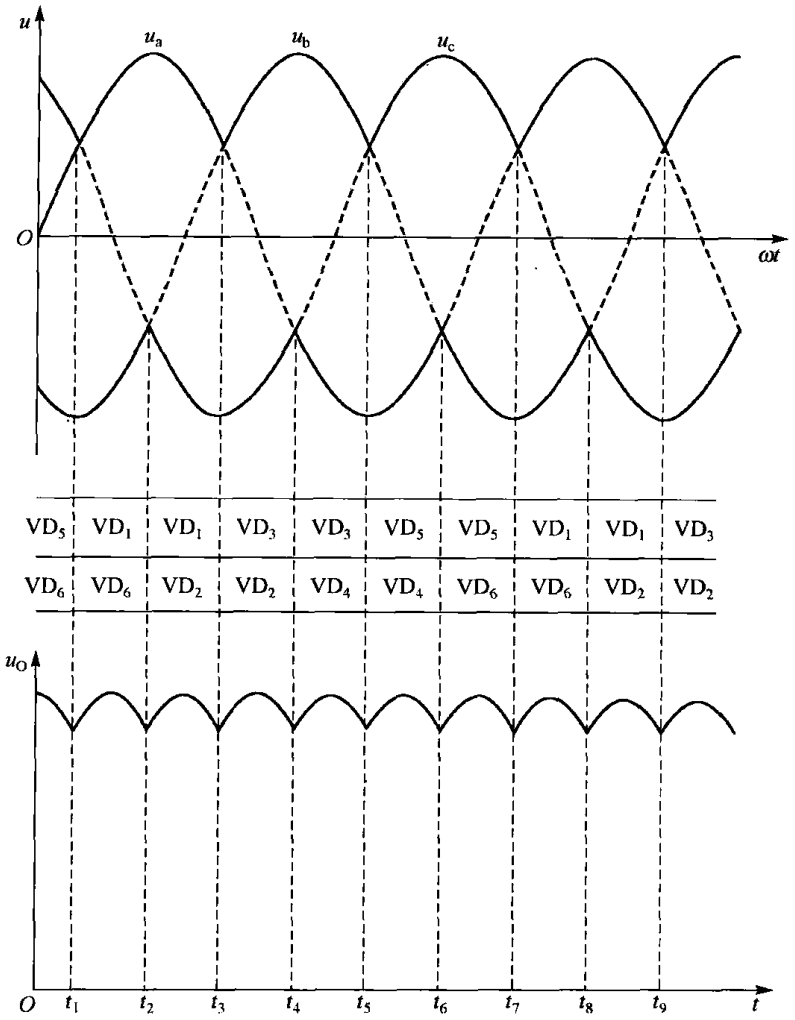


图 4.2.6 三相电压和整流电压的波形

由于在一个周期中，每个二极管导通1/3周期，因而通过每个二极管的电流平均值为

$$I_D = \frac{1}{3}I_O \tag{4.2.15}$$

因此，每个二极管所承受的反向电压峰值为变压器二次侧线电压的幅值，即

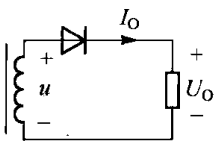
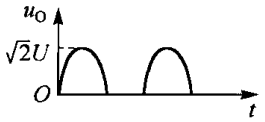
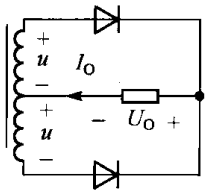
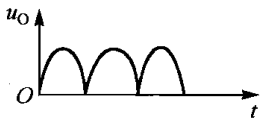
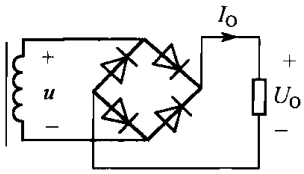
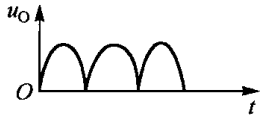
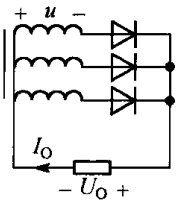
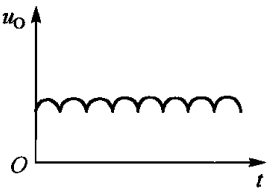
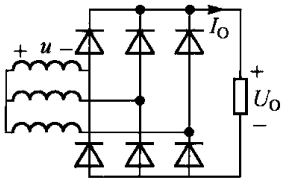
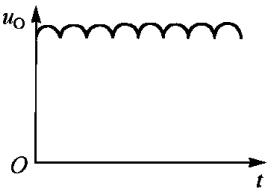
$$U_{DRM} = \sqrt{3}\times\sqrt{2}U = 2.45U \tag{4.2.16}$$

常用的几种不可控整流电路的性能指标如表 4.2.1 所示。

4.2.2 可控整流电路

二极管整流电路在输入电压一定时，输出电压的大小是不变的，常称为不可控整流电路。若把不可控整流电路中的二极管用晶闸管代替，通过改变晶闸管触发信号出现的时间，即控制晶闸管的导通时间，就可以将交流电变换成电压平均值可调的直流电，故称为可控整流电路。

表 4.2.1　常用的几种不可控整流电路的性能指标

类　型	电　路	整流电压波形	整流电压平均值	每管电流平均值	每管承受最高反压	变压器副边电流有效值
单相半波			0.45U	I_O	$\sqrt{2}U$	1.57I_O
单相全波			0.9U	$\frac{1}{2}I_O$	$2\sqrt{2}U$	0.79I_O
单相桥式			0.9U	$\frac{1}{2}I_O$	$\sqrt{2}U$	1.11I_O
三相半波			1.17U	$\frac{1}{3}I_O$	$\sqrt{3}\times\sqrt{2}U$	0.58I_O
三相桥式			2.34U	$\frac{1}{3}I_O$	$\sqrt{3}\times\sqrt{2}U$	0.82I_O

1．单相半波可控整流电路

同一种整流电路当负载性质不同时，电路的工作情况也不同，下面就电阻性和电感性负载分别讨论。

(1) 电阻性负载

图 4.2.7 是接有电阻性负载的单相半波可控整流电路。图中所示电路称为主电路，加在控制极和阴极之间产生触发脉冲的电路称为触发电路。触发电路将在本节后面部分讨论。

设变压器二次绕组电压 $u_2=\sqrt{2}U_2\sin\omega t$，由图4.2.7可见，在交流电压 u_2 为正半周时，晶闸管 VT 承受正向电压，但在控制极没有加触发脉冲前并不导通。若在时刻 t_1 给门极加上触发脉冲 u_G，则晶闸管导通，负载上得到输出电压 u_O，当交流电压 u 下降到接近零值时，晶闸管正向电流小于维持电流而关断。在交流电压的为负半周时，晶闸管承受反向电压而处于反向阻断状态，负载电压和电流全等于零。各电压和电流的波形如图4.2.8所示。

从晶闸管开始承受正向电压起到触发脉冲加入的这一电角度称为控制角，用 α 表示；而晶闸管

导通期间对应的电角度称为导通角，用θ表示，$\theta=\pi-\alpha$。在晶闸管承受正向电压期间，改变控制角α，负载上的输出电压u_O的大小随之改变，u_O与α之间的关系为

$$U_O=\frac{1}{2\pi}\int_{\alpha}^{\pi}\sqrt{2}U_2\sin\omega t\mathrm{d}\omega t=\frac{\sqrt{2}}{2\pi}U_2(1+\cos\alpha)$$
$$=0.45U_2\frac{1+\cos\alpha}{2} \tag{4.2.17}$$

式中，U_2是变压器副边电压u_2的有效值。

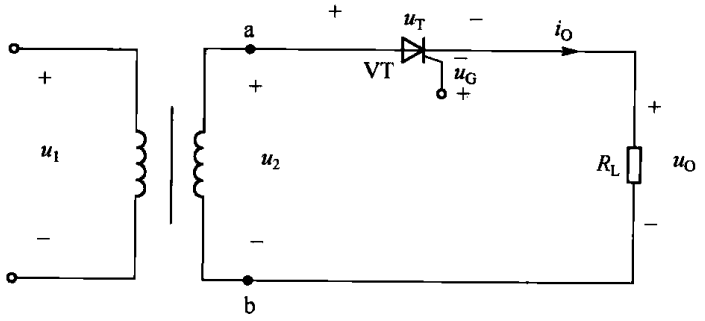


图 4.2.7 电阻性负载的单相半波可控整流电路

由式(4.2.17)可以看出，当$\alpha=0°$时，晶闸管在正半周全导通，$U_O=0.45U_2$，输出电压的平均值最大，相当于二极管单相半波整流电压；当$\alpha=180°$时，晶闸管全关断，$U_O=0\,\mathrm{V}$。由此可求出负载电流i_o的平均值为

$$I_O=\frac{U_O}{R_L}=\frac{\sqrt{2}U_2}{\pi R_L}\frac{1+\cos\alpha}{2}=0.45\frac{U_2}{R_L}\frac{1+\cos\alpha}{2} \tag{4.2.18}$$

流过晶闸管的电流的有效值，即变压器二次绕组电流的有效值为

$$I_t=\sqrt{\frac{1}{2\pi}\int_{\alpha}^{\pi}(I_m\sin\omega t)^2\mathrm{d}\omega t}=\frac{U_2}{R_L}\sqrt{\frac{1}{4\pi}\sin2\alpha+\frac{\pi-\alpha}{2\pi}} \tag{4.2.19}$$

据此可求出单相半波可控整流电路电阻性负载的波形系数为

$$k_f=\frac{I_t}{I_O}=\frac{\sqrt{\frac{\pi}{2}\sin2\alpha+\pi(\pi-\alpha)}}{1+\cos\alpha} \tag{4.2.20}$$

利用式(4.2.20)，若已知负载电流的平均值，则可计算出晶闸管电流的平均值，从而根据发热量相等(即电流有效值相等)，选择晶闸管电流。

晶闸管所承受的反向电压峰值为变压器二次侧线电压的幅值，即$\sqrt{2}U_2$。

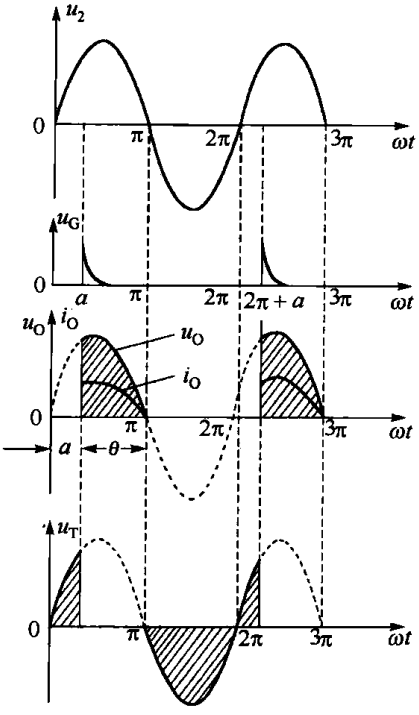


图 4.2.8 电阻性负载的单相半波可控整流电路的电压、电流波形

(2) 电感性负载

在生产实践中，很多负载是电感性的，如电机的励磁绕组、各种电感线圈等，电感性负载可用电感L和电阻R串联表示。

电感有阻碍电流变化的特性，当流过电感的电流变化时，在其两端产生感应电动势，它的极性总是阻止电流变化的，这是阻感负载的特点。也是理解整流电路带阻感负载工作情况的关键之一。

图 4.2.9 所示为电感性负载的半波可控整流电路及其电压、电流波形。当无触发脉冲时，晶闸管处于阻断状态，负载电压电流均为零，u_2 全部加在晶闸管两端。当 $\omega t=\alpha$ 时触发晶闸管，u_2 立刻加在负载两端，因电感 L 的存在，回路中的电流 i_O 只能由零逐渐增加，同时电感的感应电动势 e_L 试图阻碍电流的增加，其极性如图 4.2.9(a)所示为上正、下负。此时交流电源除供给电阻消耗的能量外，还要供给电感吸收的磁场能量。当电流 i_O 达到最大值时，感应电动势 e_L 为零，此后电流开始减小，感应电动势 e_L 改变极性，将力图阻碍电流的减小。在 $\omega t=\pi$ 时，u_2 经过零值变负，但 i_O 尚未减小到零，晶闸管继续承受正向电压导通，因而负载上出现负的电压。此时电感释放出电流 i_O 增加过程中吸收的磁场能量，直至回路电流 i_O 小于维持电流，晶闸管关断。

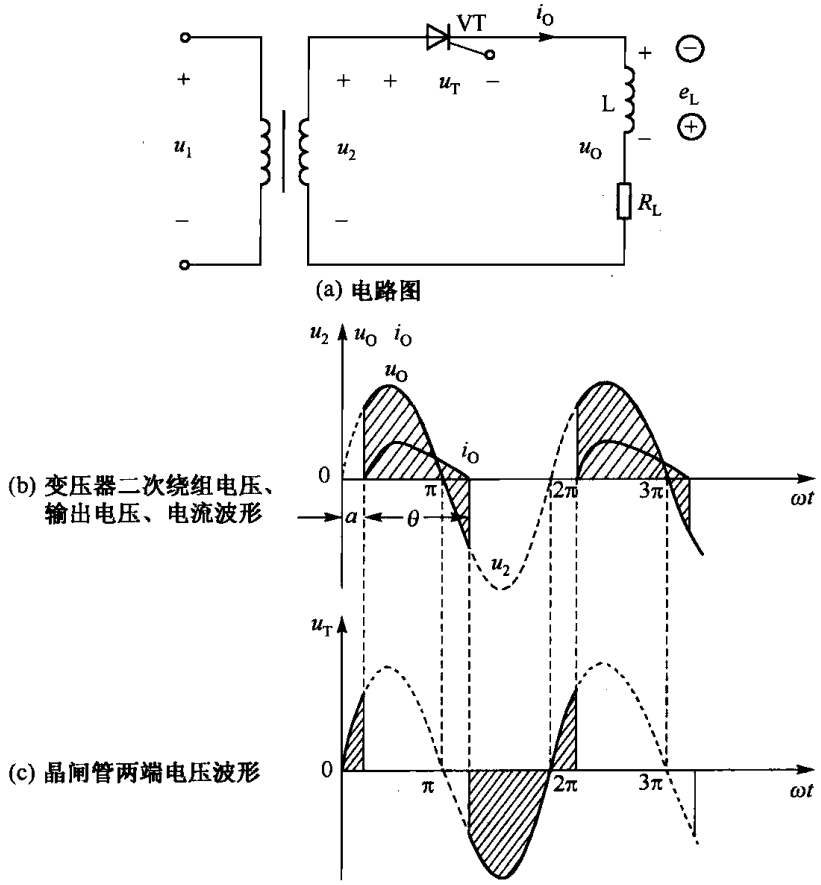


图 4.2.9　电感性负载的半波可控整流电路及其电压、电流波形

由以上分析可知，由于电感 L 的存在，晶闸管的导通角 θ 大于 $180^O-\alpha$。导通角 θ 的大小与控制角 α、负载电阻 R_L 和电感 L 有关。就控制角 α 和电感 L 而言，α 越小，L 值越大，电感中的储能就越大，维持晶闸管导通的能力就越强，θ 角就越大。就负载电阻 R_L 而言，R_L 越小，电感储能释放得越慢，θ 角就越大。导通角 θ 越大，在一个周期内负载电压 u_O 中出现负向电压的时间就越长，负载电压和电流的平均值越小。为了提高负载平均电压，应设法在电源电压 u_2 下降到零时及时关断晶闸管，使负载电压不出现负值。为此，可在负载两端并联一个续流二极管 VD，如图 4.2.10(a)所示。因在晶闸管阻断期间，二极管 VD 能够维持负载电流继续流通，故常称其为续流二极管。

在图 4.2.10(a)中，当 u_2 过零变负后，续流二极管 VD 导通，晶闸管因承受反向电压而阻断，电感 L 的感应电势产生的负载电流经过续流二极管继续流通；电感释放的能量消耗在负载电阻 R_L 上，

如果忽略续流二极管的正向压降，则负载电压$u_O=0$，如图4.2.10(b)所示。假设负载电感 L 很大，$\omega L >> R_L$，则流过负载的电流i_O将基本上维持不变，电感越大，电流波形越接近于一条水平线，设其大小为i_O，如图4.2.10(c)所示。负载电流由晶闸管和续流二极管轮流提供，在晶闸管导通期间，从晶闸管流过，在晶闸管阻断期间，则从续流二极管中流过，如图4.2.10(d)和(e)所示。

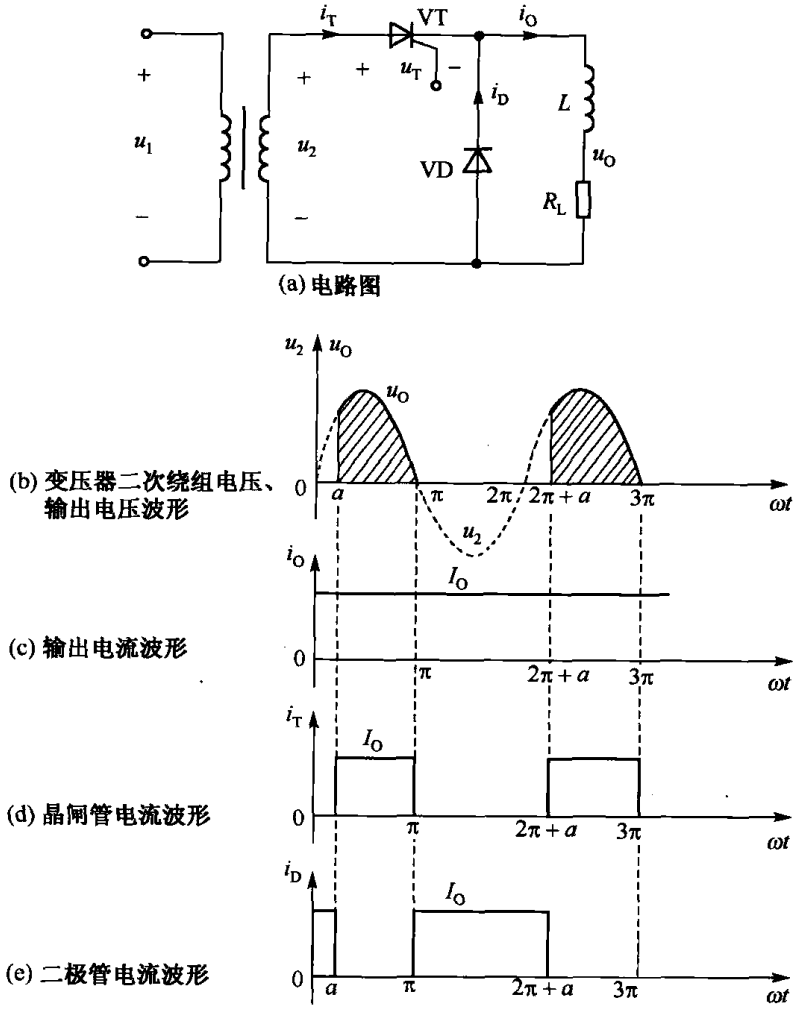


图 4.2.10 大电感负载并联续流二极管半波可控整流电路及其电压、电流波形

如果晶闸管的控制角为α，则并联二极管后其导通角$\theta=\pi-\alpha$，流过晶闸管的平均电流为I_T为

$$I_T=\frac{\pi-\alpha}{2\pi}I_O \tag{4.2.21}$$

流过续流二极管的平均电流为

$$I_D=\frac{2\pi-\theta}{2\pi}I_O=\frac{\pi+\alpha}{2\pi}I_O \tag{4.2.22}$$

晶闸管电流i_T即变压器二次绕组电流的有效值为

$$I_t=\sqrt{\frac{1}{2\pi}\int_{\alpha}^{\pi}(I_O)^2\mathrm{d}\omega t}=I_O\sqrt{\frac{\pi-\alpha}{2\pi}} \tag{4.2.23}$$

流过续流二极管电流i_D的有效值为

$$I_d=\sqrt{\frac{1}{2\pi}\int_{\pi}^{2\pi+\alpha}(I_O)^2\mathrm{d}\omega t}=I_O\sqrt{\frac{\pi+\alpha}{2\pi}} \tag{4.2.24}$$

当控制角α在 0～π之间变化时，不难看出，晶闸管所承受的反向电压峰值为变压器二次侧线电压的幅值，即$\sqrt{2}U_2$，续流二极管承受的反向电压峰值也为$\sqrt{2}U_2$。

例 4.2.2　某发电机的直流励磁绕组采用具有续流二极管的半波可控整流电路供电，励磁线圈的电感很大$\omega L >> R_L$，电阻 $R_L = 5\,\Omega$，励磁电流为 10 A，直接由 220 V 交流电源供电。试计算晶闸管和续流二极管中电流的平均值和有效值。

解：由已知条件可求得输出直流电压为

$$U_O = I_O \times R_L = 10 \times 5 = 50\ \text{V}$$

由式(4.2.17)可得

$$\cos\alpha = \frac{2U_O}{0.45U_2} - 1 = 0.01$$

所以

$$\alpha \approx 90^\circ$$

由式(4.2.21)～式(4.2.24)可得

$$I_T = \frac{\pi-\alpha}{2\pi} I_O = \frac{\pi-\pi/2}{2\pi} 10 = 2.5\ \text{A}$$

$$I_D = \frac{\pi+\alpha}{2\pi} I_O = \frac{\pi+\pi/2}{2\pi} 10 = 7.5\ \text{A}$$

$$I_t = I_O \sqrt{\frac{\pi-\alpha}{2\pi}} = 10\sqrt{\frac{\pi-\pi/2}{2\pi}} = 5\ \text{A}$$

$$I_d = I_O \sqrt{\frac{\pi+\alpha}{2\pi}} = 10\sqrt{\frac{\pi+\pi/2}{2\pi}} = 8.7\ \text{A}$$

2. 单相半控桥式整流电路

把单相不可控桥式整流电路中的两个二极管用晶闸管代替，如图 4.2.11 所示，就构成了单相半控桥式整流电路，由于该电路中还有两个不可控的二极管，故称为半控桥式整流电路。下面仅讨论接电阻性负载时的工作情况。

在u_2正半周，电路中 a 点的电位高于 b 点的电位，晶闸管 VT_1 和整流二极管 VD_1 承受正向电压，VT_2，VD_2 承受反向电压。如果在$\omega t = \alpha$时给控制极加入触发脉冲u_G，VT_1 导通，VT_2 则由于承受反向电压，虽然控制极有触发信号，但仍处于阻断状态，电流经 a → VT_1 → R_L → VD_1 → b 形成通路。当u_2过零时，晶闸管 VT_1 自行关断。

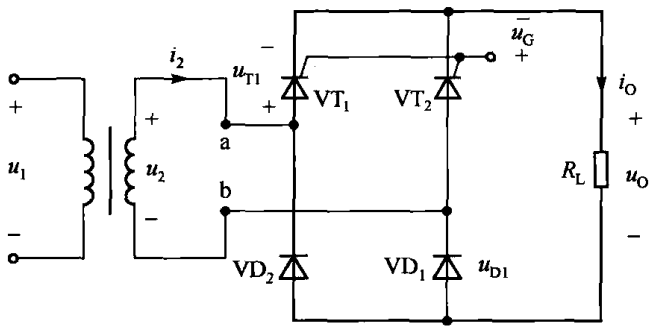


图 4.2.11　单相半控桥式整流电路

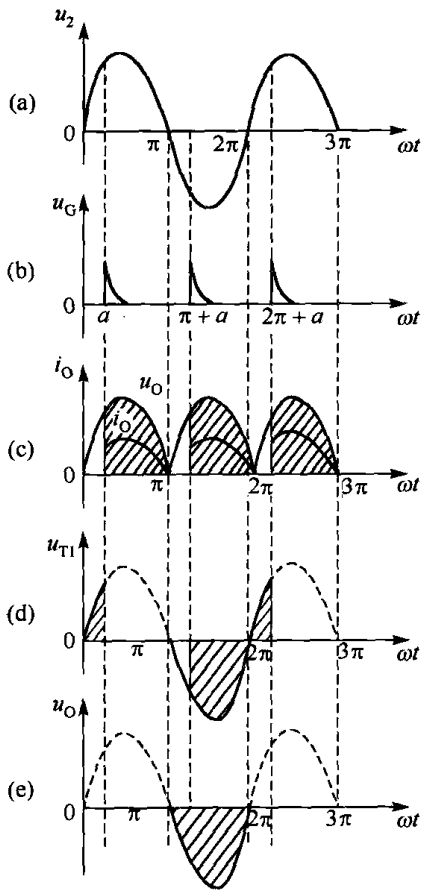


图 4.2.12 电阻性负载的单相半控桥式整流电路中各电压和电流的波形

同理，在u_2的负半周，b 点的电位高于 a 点的电位，晶闸管 VT_2 和 VD_2 承受正向电压，而 VT_1 和 VD_1 承受反向电压。如果在 $\omega t=\pi+\alpha$ 时给控制极加入触发脉冲 u_G，VT_2 导通，VT_1 则由于承受反向电压，虽然控制极有触发信号，但仍处于阻断状态，电流经 $b\rightarrow VT_2\rightarrow R_L\rightarrow VD_2\rightarrow a$ 形成通路。当 u_2 过零时，晶闸管 VT_2 自行关断。电阻性负载的单相半控桥式整流电路中各电压和电流的波形如图4.2.12所示。

与电阻性负载的单相半波可控整流电路相比，电阻性负载的单相半控桥式整流电路的输出电压的平均值 U_O 要大一倍，即

$$U_O=\frac{1}{\pi}\int_{\alpha}^{\pi}\sqrt{2}U_2\sin\omega t\mathrm{d}\omega t=0.9U_2\frac{1+\cos\alpha}{2} \tag{4.2.25}$$

晶闸管和二极管所承受的反向电压峰值均为变压器二次侧电压的幅值，即 $\sqrt{2}U_2$。

输出电流平均值为

$$I_O=\frac{U_O}{R_L}=0.9\frac{U_2}{R_L}\frac{1+\cos\alpha}{2} \tag{4.2.26}$$

流过晶闸管和二极管的电流平均值均为

$$I_T=I_D=\frac{1}{2}I_O \tag{4.2.27}$$

负载电流的有效值，即变压器副边电流的有效值 I_2 为

$$I_2=\sqrt{\frac{1}{\pi}\int_{\alpha}^{\pi}\left(\frac{\sqrt{2}U_2}{R_L}\sin\omega t\right)^2\mathrm{d}\omega t}=\frac{U_2}{R_L}\sqrt{\frac{1}{2\pi}\sin 2\alpha+\frac{\pi-\alpha}{\pi}} \tag{4.2.28}$$

流过每个晶闸管中电流的有效值为

$$I_t=\sqrt{\frac{1}{2\pi}\int_{\alpha}^{\pi}\left(\frac{\sqrt{2}U_2}{R_L}\sin\omega t\right)^2\mathrm{d}\omega t}=\frac{U_2}{\sqrt{2}R_L}\sqrt{\frac{1}{2\pi}\sin 2\alpha+\frac{\pi-\alpha}{\pi}}=\frac{1}{\sqrt{2}}I_2 \tag{4.2.29}$$

例 4.2.3 图4.2.11所示的单相半控桥式整流电路，要求输出的直流平均电压为 30～60 V 连续可调，在这个范围内输出的平均电流为 30 A。为了控制可靠，设最小控制角 $\alpha_{min}=20°$，并考虑晶闸管和二极管的平均压降为 2 V，接线压降为 1 V。试计算晶闸管电流的有效值和变压器副边电压和电流的有效值。

解： 最大整流输出电压为

$$U_{Omax}=60+2+1=63\ \mathrm{V}$$

根据 U_{Omax} 和最小控制角 $\alpha_{min}=20°$，由式(4.2.25)可得变压器副边电压有效值 U_2 为

$$U_2=\frac{U_{Omax}}{0.45(1+\cos\alpha_{min})}=\frac{63}{0.45(1+\cos 20°)}=72\ \mathrm{V}$$

因为要求输出电压在 30～60 V 之间输出电流均能达到 30 A，因此变压器副边电流有效值的计算应考虑最严重的工作情况，即以输出电压最小时的电流有效值作为选取变压器和晶闸管的依据。

$$U_{\mathrm{Omin}}=30+2+1=33\ \mathrm{V}$$

根据式(4.2.25)可得

$$\cos\alpha_{\max}=\frac{U_{\mathrm{O}}}{0.45U_2}-1=\frac{33}{0.45\times72}-1=0.019$$

$$\alpha_{\max}=89^\circ$$

根据$\alpha_{\max}$可求出此时单相半波可控整流电路电阻性负载的波形系数为

$$k_{\mathrm{f}}=\frac{I_{\mathrm{t}}}{I_O}=\frac{\sqrt{\dfrac{1}{2\pi}\sin2\alpha_{\max}+\dfrac{\pi-\alpha_{\max}}{\pi}}}{0.45(1+\cos\alpha_{max})}=1.56$$

$$I_2=1.56\times I_{\mathrm{O}}=1.56\times30=46.8\ \mathrm{A}$$

根据式(4.2.29)，晶闸管电流的有效值为

$$I_{\mathrm{t}}=\frac{I_2}{\sqrt{2}}=\frac{46.8}{\sqrt{2}}=33.1\ \mathrm{A}$$

3. 触发电路

晶闸管触发电路的作用是产生符合要求的控制极触发脉冲，保证晶闸管在需要的时刻由阻断转为导通。对触发电路的基本要求是

(1) 触发脉冲必须与主电路电源电压同步，即触发脉冲与主电路电源电压必须保持某种固定的相位关系。

(2) 触发脉冲信号要有足够的宽度，以保证晶闸管有足够的时间完成开通过程。

(3) 触发电流应有足够的幅度，一般可取所需触发电流大小的两倍左右，但要注意勿超过晶闸管控制极允许的电压、电流和功率极限值。

(4) 应有良好的抗干扰性能，实际应用中经常需要采用脉冲变压器或光耦合器将触发电路与主电路进行隔离。

随着晶闸管的广泛应用，晶闸管触发电路的种类也越来越多，现在已有商品化的集成触发电路可供选择。在小功率可控整流装置中，常用一种比较简单的单结晶体管触发电路。

1) 单结晶体管

单结晶体管(Uni-Junction Transistor，UJT)又称为双基极二极管，其内部结构如图4.2.13(a)所示。在一块低掺杂(高电阻率)的 N 型硅片的一侧两端引出两个欧姆接触电极，分别称为第一基极 B_1 和第二基极 B_2，在硅片的另一侧靠近 B_2 处掺入 P 型杂质，并引出电极，称为发射极 E，因为发射极和 N 型硅片之间形成了一个 PN 结，故称为单结晶体管。图4.2.13(b)是其图形符号。

单结晶体管可以用如图4.2.13(c)所示的等效电路来表示。图中二极管 VD 表示发射极与基片之间的 PN 结。PN 结到两个基极之间的等效电阻用 R_{B1} 和 R_{B2} 表示。当 B_1 和 B_2 之间加上电压 U_{BB} 后，R_{B1} 上分得的电压为

$$U_{\mathrm{A}}=\frac{R_{\mathrm{B1}}}{R_{\mathrm{B1}}+R_{\mathrm{B2}}}U_{\mathrm{BB}}=\eta U_{\mathrm{BB}}\qquad(4.2.30)$$

式中，$\eta=\dfrac{R_{B1}}{R_{B1}+R_{B2}}$ 称为单结晶体管分压比(或称为分压系数)，其数值由单结晶体管的结构决定，一般在0.4～0.8之间。

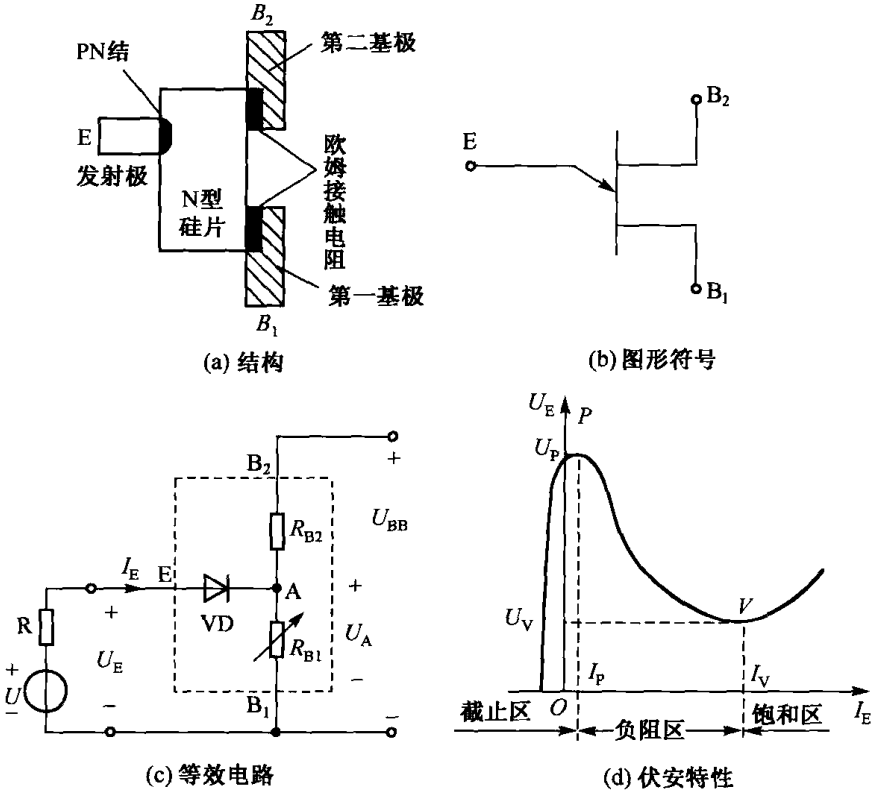


图 4.2.13 单结晶体管结构、符号、等效电路及伏安特性

单结晶体管的伏安特性如图4.2.13(d)所示，它是在单结晶体管两基极之间加固定电压 U_{BB} 后，发射极电流 I_E 和发射极对第一基极 B_1 之间电压 U_E 的关系曲线，即

$$I_E=f(U_E)\big|_{U_{BB}=常数}$$

当发射极电压 $U_E<(U_A+U_D)$ 时(U_D 为 PN 结的正向压降，约为 0.7 V)，PN 结因承受反向电压而截止，I_E 为很小的反向漏电流，如图4.2.13(d)中的截止区。当 $U_E>(U_A+U_D)$ 时，PN 结承受正向电压而导通，发射区向基区注入大量的空穴，使 A 和 B_1 之间载流子浓度增加，从而使 R_{B1} 数值减小。由于 B_2 处的电位高于 E 处的电位，所以空穴不会向 B_2 处运动，R_{B2} 数值基本上维持不变。这样 U_A 将减小，PN 结将承受更大的正向电压，以致产生更大的电流 I_E。显然这是一个正反馈过程，因此随着 I_E 的增加，发射极电压 U_E 在迅速减小，呈现出负阻特性，如图4.2.13(d)中的负阻区。截止区和负阻区的转折点 P 称为峰点，P 点对应的电压 U_P 和电流 I_P 分别称为峰点电压和峰点电流。显然，峰点电压为

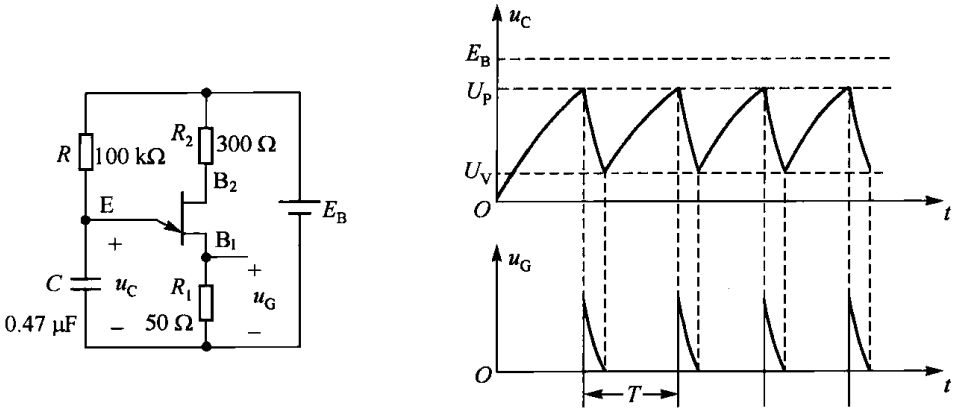
$$U_P=\eta U_{BB}+U_D \tag{4.2.31}$$

当 U_E 下降到 $U_E<U_V$，PN 结又因反偏而截止，负阻特性结束。标志负阻特性结束的转折点 V 称为谷点。V 点对应的电压 U_V 和电流 I_V 分别称为谷点电压和谷点电流。越过谷点以后，R_{B1} 不再继续减小，U_E 又随 I_E 的增加缓慢上升，单结晶体管进入饱和区。

2) 单结晶体管振荡电路

单结晶体管构成的振荡电路如图4.2.14(a)所示。图中 R_1 的阻值通常为几十欧，用于输出脉冲电

压，R_2 的阻值通常为几百欧，用于温度补偿，以使电路的振荡频率稳定。R 和 C 构成一个充电回路，其数值将主要决定振荡频率。由于 R_1，R_2 比单结晶体管的 R_{BB} 要小得多，所以 R_1，R_2 的引入对单结晶体管的工作特性没有明显地影响。



(a) 电路图　　(b) 波形图

图 4.2.14　单结晶体管振荡电路

假设接通电源前，电容 C 的初始电压为零。接通电源后，电容 C 两端的电压 u_C 按指数规律上升，如图4.2.14(b)中所示。当 u_C 上升到单结晶体管的峰点电压 U_P 时，单结晶体管导通，R_{B1} 的数值急剧减小(约 20 Ω)。电容 C 通过发射极 E、基极 B_1 和 R_1 放电。由于(R_1+R_{B1})数值较小，放电过程很快，放电电流在 R_1 上形成一个尖脉冲。当 u_C 随着放电过程的进行减小到单结晶体管的谷点电压 U_V 时，单结晶体管又截止，电源又对电容 C 充电，如此周而复始，在 R_1 上就得到连续的尖脉冲。

脉冲电压 u_G 的振荡周期主要取决于电容 C 的充电时间，其大小与充电时间常数 RC 和单结晶体管分压比 η 有关，近似为

$$T \approx RC \ln \frac{1}{1-\eta} \tag{4.2.32}$$

图4.2.14 中的 R_2 起温度补偿的作用，因 $U_P = \eta U_{BB} + U_D$，当温度升高时，U_D 具有负温度系数，所以 U_P 减小，电容 C 的充电时间减小，U_G 的周期将减小。但当温度升高时，单结晶体管的 R_{BB} 值将增加，流过 B_2 和 B_1 之间的电流减小，这样在 R_1 和 R_2 上的电压就减小，则 U_{BB} 增大一些，只要 R_2 的值适当，就可以补偿温度增加引起的 U_p 减小值，使 U_p 维持不变，从而使 U_G 周期稳定。

为了能可靠地产生振荡，R 的阻值范围一般在几 kΩ 到 2 MΩ 之间，C 的常用范围为 0.01 μF 到几十 μF 。

3) 单结晶体管同步触发电路

上述的单结晶体管振荡电路，不能直接用做晶闸管的触发电路。因为在可控整流电路中，晶闸管接在交流电源上，需要在它承受正向电压时向其控制极送去触发脉冲，而且在每个半周内，控制极获得的第一个触发脉冲出现的时间应相同。否则，由于每个半周内的控制角不相同，输出电压的平均值就会发生波动，所以在可控整流电路中，一般要求触发电路与电源电压同步工作。同步触发的可控桥式整流电路如图4.2.15所示。电路工作时各处的电压波形如图4.2.16所示。

在图4.2.15 中同步变压器 T 和主变压器接在同一交流电源上，其作用是使触发电路电源与主回路电源为同一频率，即同步工作。同步变压器二次侧的交流同步信号经桥式整流和稳压管削波限幅后，得到梯形波电压 u_{DZ}，作为触发电路的工作电源。当交流电源电压过零时，梯形波电压也同时过零，因此 B_2 和 B_1 之间电压 U_A 也过零，使单结晶体管内部 A 点电位 $U_A = 0$ V，单结晶体管内 PN 结导通，

电容电压 U_C 很快放掉，保证电容基本上都是从零开始充电。这样保证了每个半周内触发电路送出的第一个触发脉冲的控制角是相同的。

触发电路中的电位器 RP 是起移相控制作用的。改变 R_P 的阻值，就改变了充电回路的时间常数，即改变了控制角 α 的大小，达到调节输出电压的目的。

功率较大的可控整流装置对触发电路的控制精度和稳定性要求较高，目前已有许多通用集成的模拟或数字触发电路可供选用。

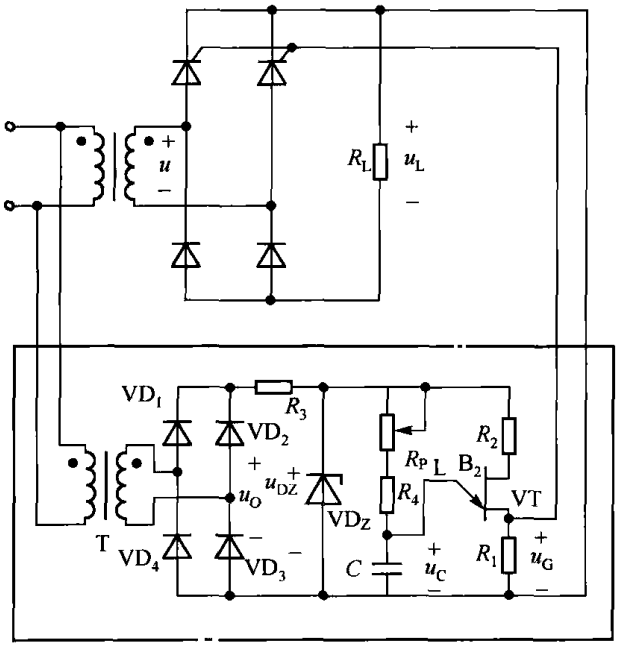


图 4.2.15 单结晶体管同步触发单相半控桥式整流电路

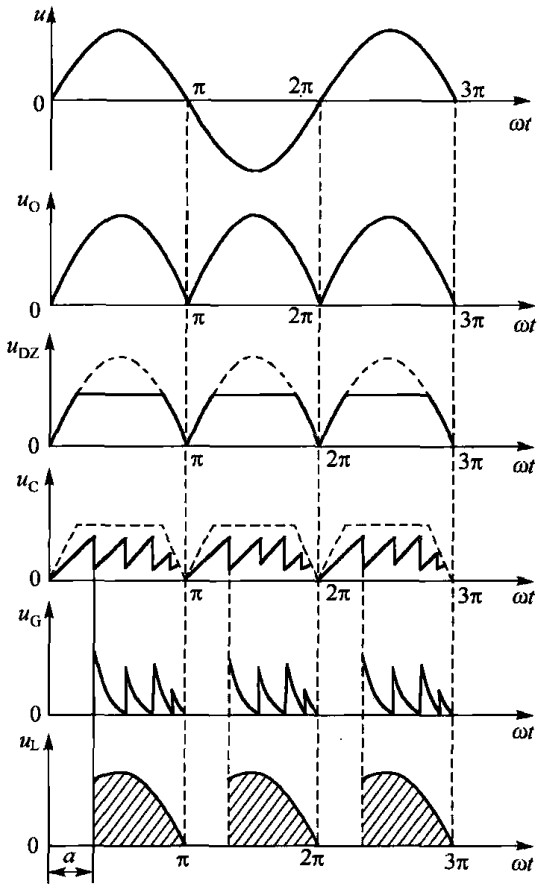


图 4.2.16 单结晶体管同步触发的电压波形

4.2.3 滤波电路

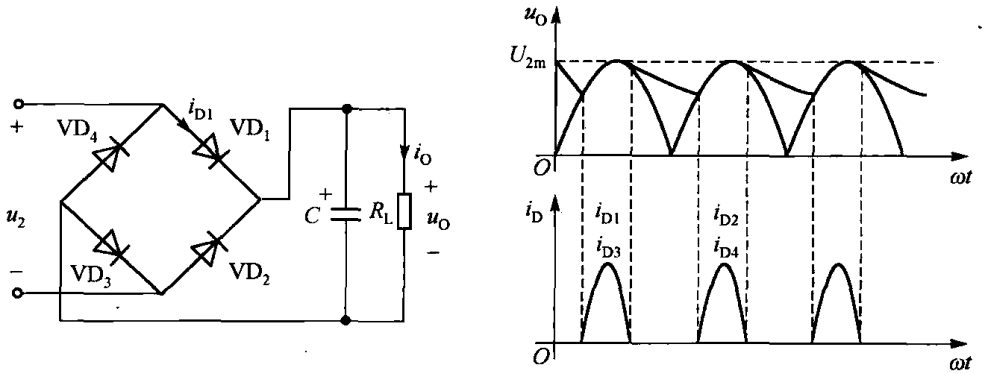
利用整流电路可以把交流电转换为脉动直流电，但这种脉动直流电只能供给电解、电镀等对直流电压平滑度要求不高的负载。而对于诸如收音机、电子仪器等要求直流供电电压非常平滑的负载，则不能采用这种脉动直流电。因而，必须采用由电容、电感储能元件组成的滤波器将交流成分滤除。

1. 电容滤波电路

在小功率电子线路中，应用最广泛的是电容滤波，其电路是利用电容电压不能突变的特点，在整流电路的直流输出侧并联一个电容 C，起到平滑输出电压的目的。桥式整流电容滤波电路如图4.2.17(a)所示。

由图 4.2.17(a)可见，当 u_2 处于正半周且 $u_2 > u_o$ 时，二极管 VD_1 和 VD_3 导通，电源一方面向负载提供电流，同时也向电容 C 充电。利用戴维南定理，可以求出充电时间常数 $\tau = (r_o // R_L)C$，其中 r_o 包括变压器副绕组的等值内阻和二极管 VD_1 和 VD_3 导通时的正向电阻。由于 r_o 数值一般很小，所以充电时间常数很小，电容两端电压随着电源电压 u_2 的上升而上升，当 u_2 过了最大值以后，u_2 按正

弦规律下降，但只要$u_2 > u_o$，电源将继续对电容 C 充电，直到$u_2 = u_o$，u_2将按正弦规律进一步下降，而电容两端电压不能突变，二极管 VD_1 和 VD_3 将因承受反向电压而截止。此时电容两端的电压按指数曲线向负载放电，放电时间常数为$\tau = R_L C$，其下降速度慢于u_2的下降速度，直至降至u_2的负半周$|u_2| > u_o$时，二极管 VD_2和 VD_4承受正向电压导通，电容 C 再次被充电。这样循环下去，电容 C 周期性地充电和放电，使输出电压脉动减小。输出电压和二极管中的电流波形如图 4.2.17(b)所示。



(a) 电路图　　(b) 输出电压和二极管中电流波形

图 4.2.17　桥式整流电容滤波电路及其电压、电流波形

采用电容滤波后，电路具有如下特点。

(1) 整流电源的外特性变软

输出电压 U_O 随输出电流 I_O 的变化规律称为外特性，如图4.2.18所示。由图可见，当电路空载时，输出电压 U_O 等于电源电压的峰值；当电容 C 一定时，输出电压随负载电流的增加而减小；当负载电流一定时，输出电压随电容 C 的减小而减小；这是因为负载电阻和电容量的变化都将会改变放电时间常数。当放电时间常数减小时，输出电压纹波分量增大、平均值减小，当负载电流达到一定程度时，几乎没有滤波作用，整流电源的外特性与无滤波电容时的外特性趋于一致。

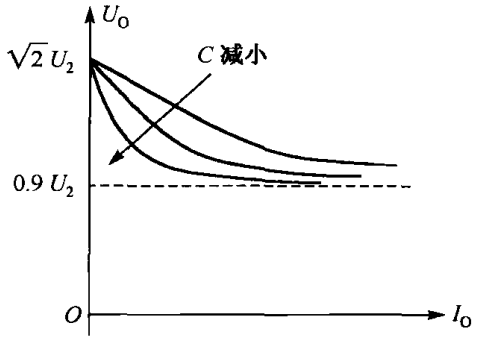


图 4.2.18　桥式整流电容滤波电路的外特性

由以上讨论可知，桥式整流电容滤波电路空载时输出电压的平均值最大，其值等于$\sqrt{2}U_2$；当电容 C 为零时，输出电压的平均值最小，其值等于$0.9U_2$；当电容 C 不为零且电路不空载时，输出电压的平均值取决于放电时间常数的大小，其值在上述二者之间。

所以，工程上通常按如下经验公式计算放电时间常数：

$$\tau = R_L C > (3 \sim 5)\frac{T}{2} \tag{4.2.33}$$

则输出电压的平均值为

$$U_O = \begin{cases} U_2(\text{半波}) \\ 1.2U_2(\text{全波}) \end{cases} \tag{4.2.34}$$

式中，T是电源电压的周期。

(2) 二极管导通角减小

当未加滤波电容时，二极管的导通角为 180°；加上滤波电容后，二极管的导通角小于 180°。由于电容器中的平均电流为零，故每个二极管中的平均电流仍为负载电流平均值的一半，即

$$I_D = \frac{1}{2} I_O = \frac{1.2U_2}{2R_L} = \frac{0.6U_2}{R_L} \tag{4.2.35}$$

显然，与没有滤波电容的情况相比，流过二极管的平均电流增加了，但二极管的导通时间缩短，故流过二极管的冲击电流较大。在选择二极管时应留有一定的余量，通常按平均电流的 2～3 倍选择二极管的最大整流电流。

至于二极管截止时可能承受的最高反向电压 U_{DRM}，则与整流电路的具体形式有关，如表 4.2.2 所示。

表 4.2.2 截止二极管上的最高反向电压 U_{DRM}

电　路	无滤波电容	有滤波电容
单相半波整流	$\sqrt{2}U_2$	$2\sqrt{2}U_2$
单相全波整流	$2\sqrt{2}U_2$	$2\sqrt{2}U_2$
单相桥式整流	$\sqrt{2}U_2$	$\sqrt{2}U_2$

对于单相半波整流电容滤波电路而言，当负载开路时，二极管承受的反向电压最高。因为在交流电压的正半周时，电源给电容充上 $\sqrt{2}U_2$ 的电压，由于开路，电容不能放电，这个电压维持不变，而在交流电压的负半周时，二极管承受的最高反向电压为电源电压的最大值与电容电压之和，即等于 $2\sqrt{2}U_2$。

(3) 整流变压器的二次绕组电流的估算

整流变压器的二次绕组与整流元件串联，所以流过整流变压器的二次绕组的电流也是非正弦波，其电流有效值通常按负载平均电流的 1.5～2 倍来估算，即

$$I_2 = (1.5 \sim 2) I_O \tag{4.2.36}$$

例 4.2.4 设计一个单相桥式整流电容滤波电路，要求输出电压 $U_O = 30\ \text{V}$，已知负载电阻 $R_L = 100\ \Omega$，交流电源频率为 50 Hz，试计算变压器二次电压和电流的有效值，并选择整流二极管和滤波电容。

解：(1) 计算变压器二次电压和电流

根据式(4.2.34)和式(4.2.36)，有

$$U_2 = \frac{U_O}{1.2} = \frac{30}{1.2} = 25\ \text{V}$$

$$I_2 = 2I_O = 2\frac{U_O}{R_L} = 2 \times \frac{30}{100} = 0.6\ \text{A}$$

(2) 选择整流二极管

流过整流二极管的平均电流为

$$I_D = \frac{1}{2} I_O = \frac{1}{2} \times \frac{30}{100} = 0.15\ \text{A}$$

整流二极管承受的最高反向电压为

$$U_{DRM} = \sqrt{2}U_2 = \sqrt{2} \times 25 = 35\ \text{V}$$

考虑到电容充电时流过二极管的冲击电流较大，因此选用最大整流电流为 500 mA、最高反向电压为 100 V 的 2CZ54C 型整流二极管作为整流元件。

(3) 选择电容器

根据式(4.2.33)，取 $R_L C = 5\times\frac{T}{2} = 5\times\frac{0.02}{2} = 0.05\ \text{s}$，则

$$C = \frac{0.05}{R_L} = \frac{0.05}{100} = 500\ \mu\text{F}$$

可选用 500 μF、耐压 50 V 的电解电容器。

2. 电感滤波电路

电感滤波电路如图 4.2.19 所示，即在整流电路与负载电阻 R_L 之间串联一个电感 L，由于通过电感线圈中的电流发生变化时电感将产生感应电动势来阻碍电流的变化，使电流脉动趋于平缓而起到滤波作用。

电感滤波的作用也可以从电感的感抗作用来理解。因电感线圈对交流分量呈现很大的阻抗，而直流电阻却很小，所以直流分量大部分降在 R_L 上；而交流分量的谐波频率越高，感抗越大，因而交流分量大部分降在电感上，这样在输出端负载上就得到较平滑的直流电压。

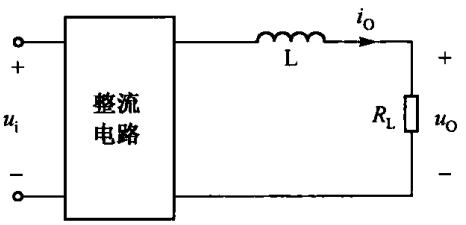
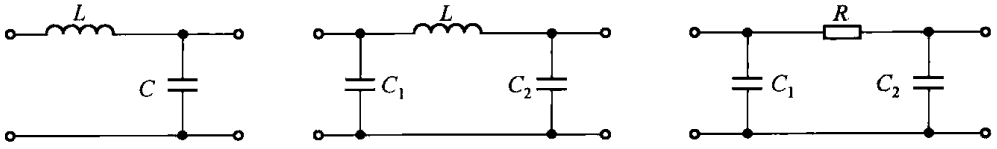


图 4.2.19　电感滤波电路

电感滤波适用于负载电流较大的场合。它的缺点是铁心线圈笨重、体积大，且存在电磁干扰。

3. 复合滤波电路

如果单独使用电容或电感滤波的效果不能满足较高的滤波要求，则可以采用由电容和电感组成的 LC 滤波电路，如图4.2.20(a)所示。因电感线圈对交流分量呈现很大的阻抗，而电容对交流分量呈现低阻抗，因此高频谐波分量几乎全部降在电感上，输出电压中就只有直流分量。如要求输出电压脉动更小的场合，则可以在 LC 滤波电路前再并联一个电容，组成 π 形 LC 滤波电路，如图4.2.21(b)所示。它的滤波的效果比 LC 滤波电路更好，但流过二极管的冲击电流较大。



(a) LC 滤波电路　　(b) π形 LC 滤波电路　　(c) π形 RC 滤波电路

图 4.2.20　复合滤波电路

以上两种滤波电路适用于负载电流较大的场合，在负载较轻时，经常也可以采用电阻替代电感，构成如图4.2.20(c)所示的 π 形 RC 滤波电路，同样可以获得脉动很小的输出电压。但电阻对交、直流均有压降和功率损耗，故只适用于负载电流较小的场合。

思考题

4.2.1　在单相桥式整流电路中，如果某个整流二极管发生开路、短路或反接三种情况，则电路会出现什么问题?

4.2.2　在图 4.2.9 接电感性负载可控整流电路中，为什么负载上会出现负电压? 而接续流二极管后情况又如何?

4.2.3　在图4.2.15 所示单结晶体管同步触发单相半控桥式整流电路中，电阻 R_3 和稳压二极管 VD_Z 组成的削波电路有什么作用? 如果在削波电路前并联一个电容，该电路还能否正常工作?

4.2.4 具有电容滤波的整流电路，当负载电阻一定时，如果增大滤波电容值，则对整流二极管的参数要求有何变化?

4.3 直流稳压(DC-DC)电路

交流电经变压、整流和滤波后可使负载上得到比较平滑的直流电，但是，直流电压往往受交流电源波动和负载变化的影响，稳定性能较差。对于大多数需要稳定直流电压的场合，则必须采用稳压措施。

目前，半导体直流稳压电路主要有三种类型：硅稳压管稳压电路、线性直流稳压电路和开关直流稳压电路。

4.3.1 硅稳压管稳压电路

1. 工作原理

硅稳压管稳压电路如图4.3.1所示，它由限流电阻和并接在负载电阻R_L两端的稳压管组成。电路中输入电压U_I是整流滤波电路输出的直流电压，稳压管的电压U_Z也就是负载电压，只要稳压管工作在稳压区，负载上得到的就是一个比较稳定的电压。下面具体讨论电路稳定输出电压的物理过程。

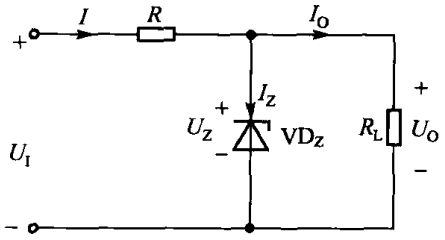


图4.3.1 稳压管稳压电路

如果电网电压升高，必然会引起整流滤波后的直流电压U_I增加，而U_I的增加会引起输出电压U_O的增加。类似地，如果负载电阻R_L增大，则会引起输出电流减小，因而输出电压U_O也增加。根据稳压管的伏安特性，当U_Z稍有增加时，I_Z就会显著地增加，引起限流电阻 R 两端的电压增加，从而补偿掉U_I的增加量，使输出电压U_O基本维持不变；反之亦然。

由以上分析可见，无论U_I或R_L的变化，都会引起稳压管中电流的急剧变化而对其引起的变化进行补偿，从而使输出电压U_O基本不变。值得指出的是，输出电压U_O不可能绝对保持不变，因为该电路正是利用输出电压U_O(即U_Z)的微小变化引起稳压管中电流的急剧变化来补偿其变化。

2. 电路元件的选择

只要流过稳压管的电流在其最小稳定电流I_{Zmin}和最大稳定电流I_{Zmax}之间，其两端电压就基本上恒定。设计稳压管稳压电路的已知条件一般是：输出电压U_O，输出负载电流I_O的变化范围I_{Omin}～I_{Omax}，输入电压U_I的波动范围$\pm\Delta U_I$，计算步骤如下。

1) 确定输入电压U_I

输入电压U_I可按下式确定：

$$U_I = (2\sim3)U_O \tag{4.3.1}$$

由此可知

$$U_{Imin} = U_I - \Delta U_I, \qquad U_{Imax} = U_I + \Delta U_I$$

2) 选择稳压管

稳压管的稳定电压应等于输出电压U_O，最大稳定电流应是负载最大电流的2～3倍，即

$$U_Z = U_O \tag{4.3.2}$$

$$I_{Zmax} = (2\sim3)I_{Omax} \tag{4.3.3}$$

根据以上两个参数，可查半导体元件性能手册选定合适的稳压管。

3) 确定限流电阻 R

限流电阻 R 的大小应满足两个条件，首先当 U_I 最大而负载电流最小时，流过稳压管的电流最大，这个最大电流不应超过稳压管的最大稳定电流 I_{Zmax}，即

$$\frac{U_{Imax} - U_O}{R} - I_{Omin} < I_{Zmax}$$

因而

$$R > \frac{U_{Imax} - U_O}{I_{Omin} + I_{Zmax}} \tag{4.3.4}$$

其次，当 U_I 最小而负载电流最大时，流过稳压管的电流最小，这个最小电流应能保证稳压管工作在稳压区，也就是要大于稳压管的最小稳定电流 I_{Zmin}，即

$$\frac{U_{Imin} - U_O}{R} - I_{Omax} > I_{Zmin}$$

因而

$$R < \frac{U_{Imin} - U_O}{I_{Omax} + I_{Zmin}} \tag{4.3.5}$$

式(4.3.4)和式(4.3.5)确定了限流电阻 R 的取值范围，应适当地选择。

4.3.2　串联型线性稳压电路

用稳压二极管构成的稳压电路虽然结构简单，所用元件少，但这种稳压电路受稳压管最大稳定电流的限制，负载电流不能太大，并且输出电压不可调，稳压精度也不够高。因此在稳压精度要求较高的场合，常采用串联型的晶体管线性稳压电路。

晶体管串联型线性稳压电路的典型电路如图 4.3.2 所示。它由以下 4 个部分组成。

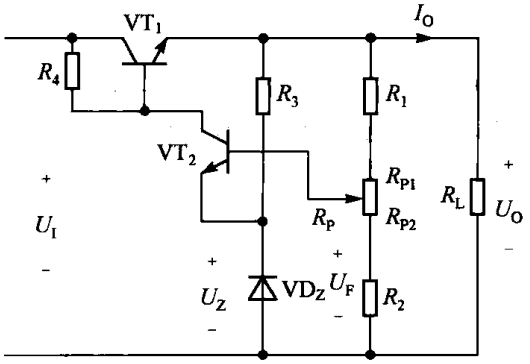


图 4.3.2　晶体管串联型线性稳压电路

(1) 调节环节　由工作在线性放大区的功率管 VT_1 组成，其基极电流的变化将使得它的集射极电压 U_{CE} 的大小改变，从而达到自动调整输出电压，使得其稳定，故 VT_1 称为调整管。

(2) 采样环节　采样环节由采样电阻 R_1，R_P 和 R_2 构成，它将输出电压 U_O 的一部分作为反馈电压 U_F 送到比较放大环节，形成电压串联负反馈，达到稳定输出电压的目的。

(3) 基准电压　由稳压二极管 VD_Z 和限流电阻 R_3 提供一个稳定的电压 U_Z，作为稳压电路反馈比较、调整的基准。由图4.3.2可知

$$U_F = \frac{R_2 + R_{P2}}{R_1 + R_2 + R_P} U_O = U_Z + U_{BE} \tag{4.3.6}$$

可见，当基准电压 U_Z 取定时，调节电位器 R_P 即可调节输出电压 U_O 的大小。

(4) 比较放大电路　它由 VT_2 和 R_C 构成的直流放大器组成，其作用是将反馈电压 U_F 与基准电压 U_Z 之差放大后去控制调整管 VT_1。显然，该电路是一个有差调节系统，比较放大电路的放大倍数越大，调整效果越好。实际应用中为提高稳压精度，更多采用差分放大电路和集成运算放大电路。

电路稳定输出电压的物理过程如下：当输入电压 U_I 或输出电流 I_O 变化引起输出电压 U_O 增加时，反馈电压 U_F 相应增大，基准电压 U_Z 与反馈电压 U_F 相比较后的差值电压 U_{BE2} 就会增大，进而使 VT_2 的基极电流和集电极电流随之增加，而集电极电压 U_{CE2} 下降，因此 VT_1 的发射结电压 U_{BE1} 减小，基极电流 I_{B1} 下降，使得 I_{C1} 下降，U_{CE1} 增加，输出电压 U_O 下降，使 U_O 保持基本稳定。这一过程可表示如下：

$$U_I \uparrow (\text{或} I_O \downarrow) \rightarrow U_O \uparrow \rightarrow U_F \uparrow \rightarrow U_{BE2} \uparrow (=U_F - U_Z) \rightarrow I_{C2} \uparrow \rightarrow U_{CE2} \downarrow \rightarrow U_{B1} \downarrow \rightarrow I_{C1} \uparrow \rightarrow U_{CE1} \uparrow \rightarrow U_O$$

同理，当输入电压 U_I 或输出电流 I_O 变化引起输出电压 U_O 降低时，调整过程相反，U_{CE1} 将减小使 U_O 保持基本不变。

从上述调整过程可以看出，该电路是通过将反馈电压 U_F 与基准电压 U_Z 之差比较放大后去控制调整管 VT_1 的 U_{CE1} 来稳定输出电压 U_O 的。如果把基准电压 U_Z 作为输入电压，U_{CE2} 是反馈电压，则该电路就是一个电压串联负反馈电路。

4.3.3 集成稳压电路

把串联型线性稳压电路中的调节环节、采样、基准电压和比较放大各部分元件及过压、过流和过热保护电路集成在同一硅片上，即构成单片集成稳压电路。它具有体积小、可靠性高、外接元件少和价格低廉等优点，获得日益广泛的应用。

常用的串联型集成稳压器按输出电压是否可调，分为固定输出和可调输出两类。固定输出的集成稳压器只有输入、输出和公共端三个引出线，故又称为三端集成稳压器。限于篇幅，在此仅讨论三端固定输出集成稳压器的使用。

固定输出稳压器根据输出电压极性的不同，分为正电压的 78×× 系列和负电压输出的 79×× 系列。其中×× 表示输出电压的标称值，一般有 5 V, 6 V, 9 V, 12 V, 15 V, 18 V, 24 V 等。例如 7805 表示输出电压为+5 V，7905 则表示输出电压为−5 V。这类三端稳压器的最大输出电流分为三挡：0.1 A, 0.5 A 和 1.5 A，分别用字母 L, M 和空格表示。例如 78L×× 表示最大输出电流为 0.1 A，78M×× 表示最大输出电流为 0.5 A，78×× 表示最大输出电流为 1～1.5 A，使用时可根据所需的输出电压、输出电流选用适当的器件。采用塑料封装的三端固定输出集成稳压器的外形和引线排列如图4.3.3所示。

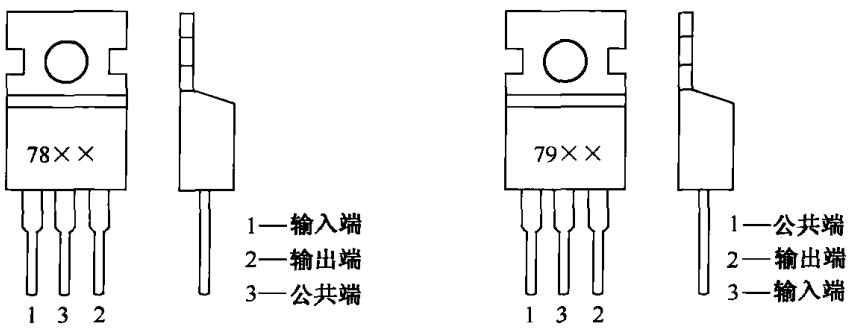
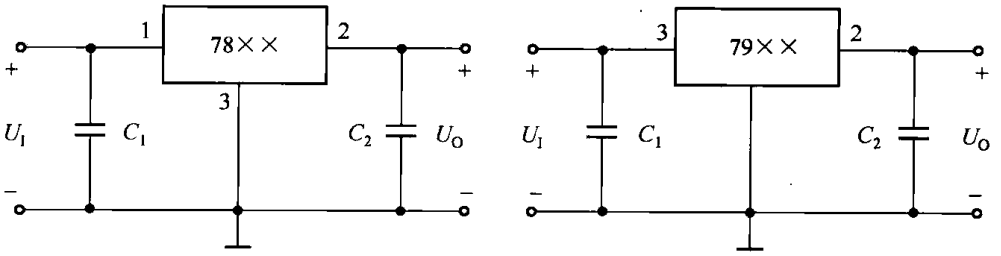


图 4.3.3　三端固定输出集成稳压器的外形和引线排列图

1．典型接法

三端固定输出集成稳压器的典型接法如图4.3.4所示。图中 C_1 可以防止由输入引线较长所带来的电感效应而产生的自激振荡，一般取值0.1 μF；C_2 用来减小由于负载电流瞬时变化而引起的高频干扰，一般取值0.33 μF。为进一步减小输出纹波和低频干扰，输出端也可再接一容量大的电解电容以改善性能。



(a) 78×× 的典型接线图　　(b) 79×× 的典型接线图

图 4.3.4　三端固定输出集成稳压器的典型接线图

2．同时输出正、负电压

实际应用中，如果需要同时输出正、负电压时，可采用图4.3.5所示的 78×× 和 79×× 系列集成稳压器组成的稳压电路。

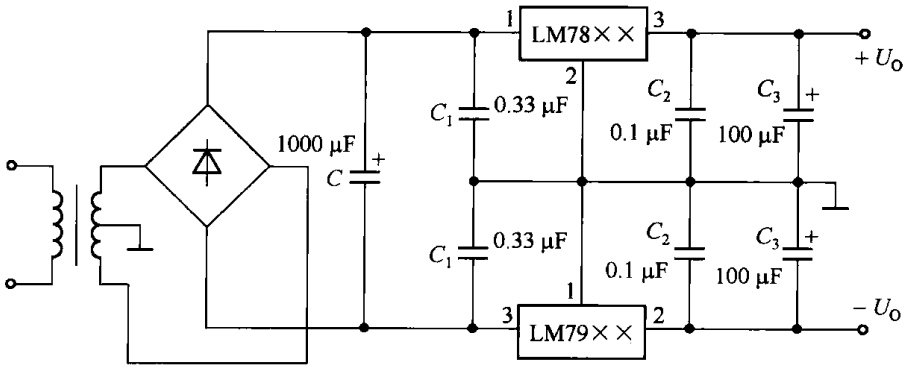


图 4.3.5　输出正、负电压的稳压电路

3．扩大输出电流的稳压电路

当负载所需电流超过了三端集成稳压器所能提供的电流时，可通过外接功率晶体管的方法来扩大输出电流，其电路如图4.3.6所示。

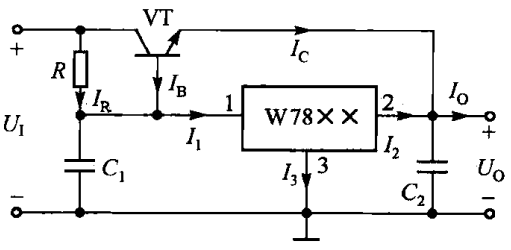


图 4.3.6　扩大输出电流的稳压电路

图中 I_R 为流过采样电阻R的电流；I_3 为稳压器公共端电流，其值很小，可以忽略不计，所以 $I_1 \approx I_2$。由图4.3.6可得输出电流为

$$I_O = I_2 + I_C = I_2 + \beta I_B = I_2 + \beta(I_1 - I_R)$$
$$= (1+\beta)I_2 + \beta\frac{U_{BE}}{R} \tag{4.3.7}$$

式中，U_{BE} 为功率管的基射极电压；β 为功率管的电流放大系数。例如设 $U_{BE} = -0.3\ \text{V}$，$\beta = 10$，$R = 0.5\ \Omega$，$I_2 = 1\ \text{A}$，则可计算出 $I_O = 5\ \text{A}$，可见 I_O 比 I_2 扩大了。图中电阻R的作用是使功率管在输出电流较大时才能导通。

4. 提高输出电压的稳压电路

当所需输出电压高于三端集成稳压器的输出电压时，可采用图 4.3.7 所示的电路。提高后的输出电压为$U_O = U_{××} + U_Z$。

4.3.4 开关型稳压电路

线性直流稳压电路具有电路结构简单、纹波电压小、调整方便等优点而获得了广泛应用。但由于调整管工作在线性放大区，当负载电流较大时，功率损耗较大，使得稳压电路的效率较低，一般约为 30%～50%。

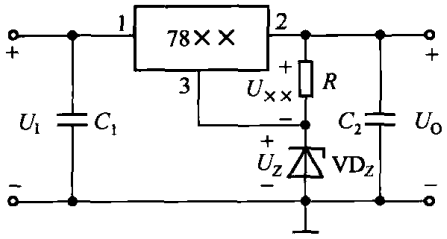


图 4.3.7 提高输出电压的稳压电路

如果使稳压电路中的调整管工作在开关状态，并根据输出电压的平均值，控制其导通时间来实现输出电压的稳定和调整，这就是开关型稳压电路，其效率可提高到 60%～80%，甚至可高达 90%以上。在开关型直流稳压电路中，输入直流电压由开关调整管斩切成为高频脉冲电压，再经高频滤波，得到纹波很小的直流输出电压，这种变换方法也称为直流斩波，其电路拓扑结构很多，其中最基本的是降压斩波电路(Buck Chopper)和升压斩波电路(Boost Chopper)。

1. 降压斩波电路

图4.3.8 所示为降压斩波电路的原理图，该电路使用了一个全控型器件 VT，图中为 IGBT，也可以使用其他器件作为开关管。VD 为续流二极管，L 为储能电感，C 为滤波电容，IGBT 的栅极所加的控制脉冲信号来自反馈控制电路，其周期 T 保持不变，而脉冲宽度 T_{on} 受误差信号控制。

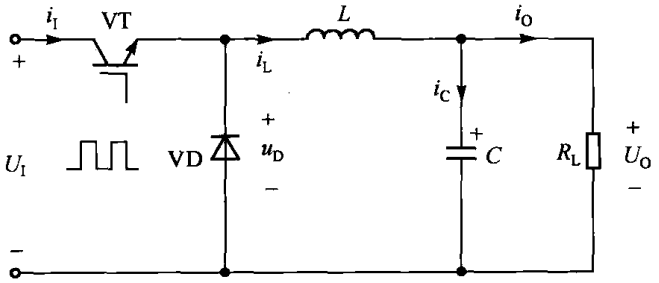


图 4.3.8 降压斩波电路原理图

当控制脉冲为高电平时，IGBT 饱和导通，发射极对地电压等于U_I，此时续流二极管 VD 截止，通过电感 L 的电流i_L随时间线性增长，它一方面向负载R_L供电，另一方面对电容 C 充电。此时，电感 L 两端将产生极性为左正右负的感应电动势，电感 L 处于储能状态。

当控制脉冲为低电平时，IGBT 截止，由于通过电感 L 的电流不能突变，所以在它两端感应出一个极性为左负右正的感应电动势，使二极管 VD 导通。此时，电感 L 将原先储存的磁能转换为电能供给负载R_L，同时给电容 C 充电。当电流i_L下降到某一较小数值时，电容 C 开始向负载放电，以维持负载所需的电流。由于电感中储存的能量通过二极管 VD 向负载释放，使负载继续有电流通过，因而把二极管 VD 称为续流二极管。虽然 IGBT 工作在开关状态，但由于二极管 VD 的续流作用和 LC 的滤波作用，输出电压是比较平滑的直流电压。

由以上分析可画出降压斩波电路的工作波形如图4.3.9所示。图中u_E为调整管发射极对地电压；T_{on}表示晶体管导通的时间，T_{off}表示晶体管截止时间，$T_{on}+T_{off}=T$是控制信号的周期。晶体管导通时间T_{on}与周期T之比定义为占空比q，即

$$q=\frac{T_{on}}{T_{on}+T_{off}}=\frac{T_{on}}{T} \tag{4.3.8}$$

若忽略电感中的直流压降，调整管输出电压u_E的平均电压即为输出直流电压，即

$$U_O=\frac{1}{T}\int_0^{T_{on}}U_I\mathrm{d}t=\frac{T_{on}}{T}U_I=qU_I \tag{4.3.9}$$

由式(4.3.9)可见，调节占空比 q 即可调节u_E的脉冲宽度，也就是控制输出电压的平均值U_O。这种频率固定、脉冲宽度变化的控制方法称为脉冲宽度调制(Pulse Width Modulation，PWM)。实际上，因为有滤波器的影响，输出电压的平均值U_O必然大于qU_I而小于U_I，因此称为降压斩波电路。

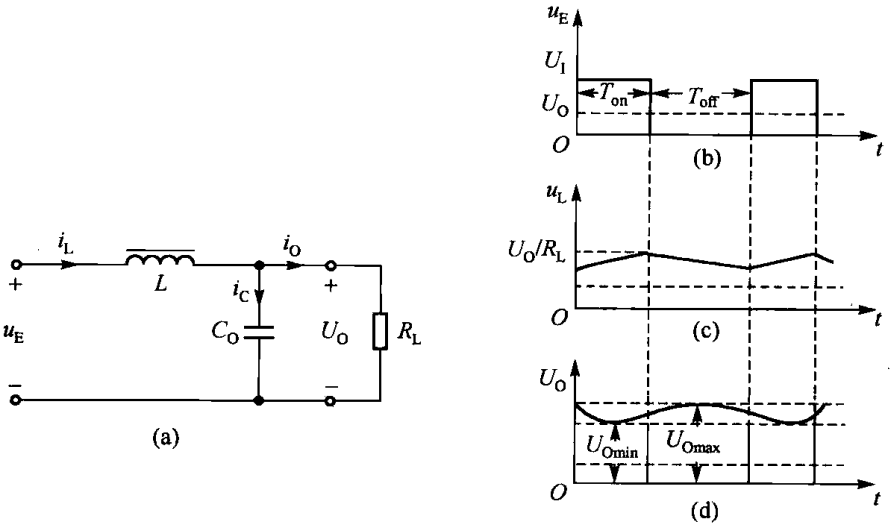


图 4.3.9　降压斩波电路及工作波形

2．升压斩波电路

图4.3.10(a)所示为升压斩波电路的原理图。该电路也是由一个全控型器件 VT 以及储能电感 L、滤波电容 C 和二极管 VD 组成的。IGBT 栅极所加的控制脉冲信号也来自反馈控制电路。

首先假设电路中电感 L 值很大，电容 C 值也很大。当控制脉冲为高电平时，IGBT 饱和导通，二极管 VD 截止，其等效电路如图4.3.10(b)所示。电源向电感 L 充电储存磁场能量，感应电动势的方向为左正右负，同时电容 C 上的电压向负载R_L供电，因 C 值很大，基本保持输出电压U_O为恒值。设 VT 处于通态的时间为 T_{on}，此阶段电感 L 上储存的能量为$U_Ii_LT_{on}$。

当控制脉冲为低电平时，IGBT 截止，二极管 VD 导通，其等效电路如图4.3.10(c)所示。电感 L 的感应电动势的方向为右正左负，此时U_I和电感 L 共同向负载 R 提供能量，并向电容 C 充电。设 VT 处于断态的时间为 T_{off}，则在此期间电感 L 释放的能量为$(U_O-U_I)i_LT_{off}$。当电路工作于稳态时，一个周期 T 中电感 L 储存的能量与释放的能量相等，即

$$U_Ii_LT_{on}=(U_O-U_I)i_LT_{off} \tag{4.3.10}$$

$$U_O=\frac{T_{on}+T_{off}}{T_{off}}U_I=\frac{T}{T_{off}}U_I \tag{4.3.11}$$

式(4.3.11)中T/T_{off}表示升压比，调节其大小，即可改变输出电压U_O的大小。由于$T/T_{off}\geqslant 1$，输出电压高于电源电压，故称该电路为升压斩波电路。

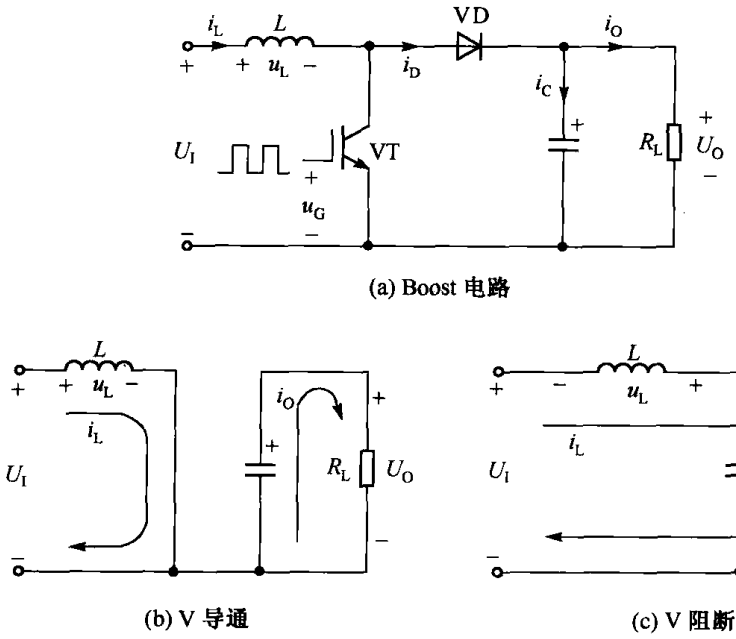


图 4.3.10 升压斩波电路原理图

该电路之所以能使输出电压高于电源电压，关键有两个原因：一是 L 储能之后具有使电压泵升的作用，二是电容 C 可将输出电压保持住。在以上分析中，认为 VT 处于导通期间电容的作用使得输出电压U_O不变，但实际上 C 值不可能为无穷大，在此阶段U_O必然会下降，不过只要电容 C 值足够大时，误差就很小，基本可以忽略。

思考题

4.3.1 稳压管稳压电路在使用中有何局限性？能否省掉限流电阻？为什么？

4.3.2 串联型稳压电路包含哪些基本环节？调整管工作在何种状态？电路属于何种类型的负反馈？

4.3.3 在图4.3.2 中，若把R_C接到VT_1集电极的一端改接在VT_1的发射极后，该电路能否正常工作？为什么？

4.3.4 三端集成稳压器 78 和 79 系列属于哪一类稳压电路？它们的区别是什么？

4.3.5 开关型直流稳压电路与线性串联型直流稳压电路相比主要的优点是什么？

4.3.6 试简述降压斩波电路和升压斩波电路电路的基本原理，并比较其异同点。

4.4 逆变(DC/AC)电路

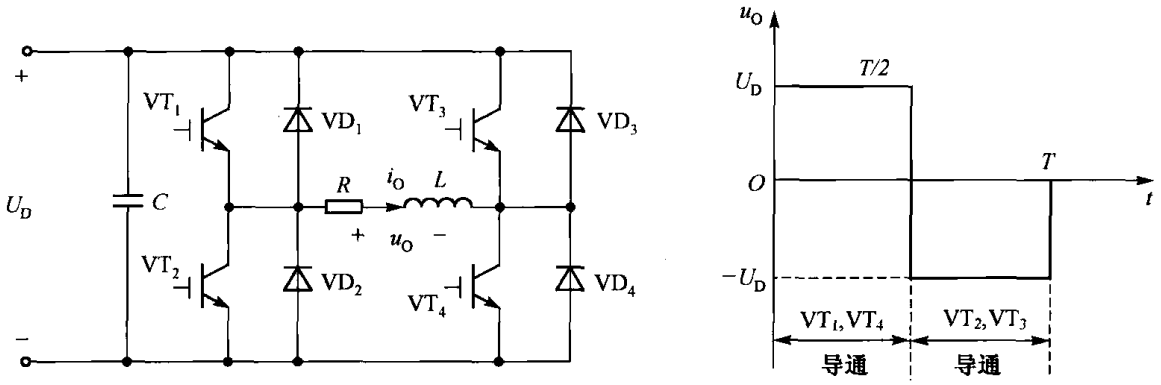
所谓逆变，就是与整流相反，把直流电变成某一固定频率或可变频率的交流电的过程。当把转换后的交流电直接回送电网，即交流侧接入交流电源时，称为有源逆变；而当把转换后的交流电直接供给负载时，则称为无源逆变。通常所讲的逆变电路，一般多指无源逆变电路。

逆变电路的应用非常广泛。在各种直流电源的场合，当需要向交流负载供电时，就必须经过逆变电路，将其转换为所需频率的交流电。例如，不间断电源(UPS)，电火花加工，中、高频感应加热，电动机变频调速等就是典型应用。

逆变电路的分类方法多种多样，常见的几种分类方法有：①按照输入侧直流电源性质，可分为电压型逆变电路和电流型逆变电路。②按照输出相数，可分为单相逆变电路和三相逆变电路。③按照输出波形，可分为正弦波逆变电路和非正弦波逆变电路。④按照使用的功率器件，可分为全控器件电路和半控器件电路等。逆变电路是电力电子技术中十分重要的内容，限于篇幅，在此仅对其基本的概念给予简单介绍。

1．电压型单相全桥逆变电路

单相逆变电路中应用最多的是全桥逆变电路。图 4.4.1 (a) 所示为单相电压型全桥逆变电路的原理图。它有 4 个桥臂，每个桥臂由一个可控器件和一个反并联二极管组成。负载接在桥臂的两个顶点之间。桥臂 1 和 4 作为一对，桥臂 2 和 3 作为另一对。工作时，给开关元件 VT_1，VT_4 加上相同的驱动信号，给开关元件 VT_2，VT_3 加上相同的驱动信号，两路驱动信号互差 180°，两对桥臂交替导通，就可在负载电阻上得到矩形波交流电压 u_O，如图 4.4.1 (b) 所示。输出电压的频率由开关元件的切换频率来确定，幅值等于输入直流电压 U_D。若要改变输出交流电压 u_O 的有效值，可以通过改变输入直流电压 U_D 来实现。



(a) 原理图　　(b) 输出电压波形

图 4.4.1　单相电压型全桥逆变电路和输出电压波形

输出交流电压 u_O 有效值的改变，除了可以通过改变输入直流电压 U_d 来实现外，还可以通过改变负载两端得到的正负脉冲宽度的方法来实现。在阻感负载时，可以采用移相调压的方式。其思想是通过控制一对桥臂上两个开关元件的栅极信号的相位，使得输出电压的宽度小于 180°。图 4.4.2 中各开关元件的栅极信号的宽度仍为 180°，并且 VT_1 和 VT_2 的栅极信号互补，VT_3 和 VT_4 的栅极信号互补，但 VT_3，VT_4 的栅极信号不是比 VT_1，VT_2 落后 180°，而是只落后 θ ($0<\theta<180°$)。也就是说，同一桥臂上的两个开个元件的栅极信号不再是同相位，而是相差了 $180°-\theta$。这样，当同一桥臂上的两个开个元件的栅极信号同为正时，输入直流电压才能加到负载上，使得输出电压的宽度变为 θ，如图 4.4.2 中所示。

2．单极性 SPWM 控制方式

在前面介绍的逆变电路中，输出电压近似为矩形波，谐波成分较大，而一般希望输出电压为正弦波，为了实现这一目的，常采用脉宽调制 (PWM) 的方式。

单极性正弦脉宽调制 (SPWM) 脉冲产生的原理如图 4.4.3 所示，图中的 u_C 为正弦调制波，u_R 为三角形载波，u_R 的频率为 u_C 的开关频率的整倍数。通过正弦电压 u_C 与三角波 u_R 进行比较，比较的结果得到一组幅度等于 U_d、宽度不等的序列脉冲。由于三角波 u_R 是上下宽度线性变化的，因此得到的序列脉冲的宽度是按正弦规律变化的。用此序列脉冲来控制图 4.4.1 (a) 所示全桥逆变电路中开关元件的导通和关断，便可在负载上

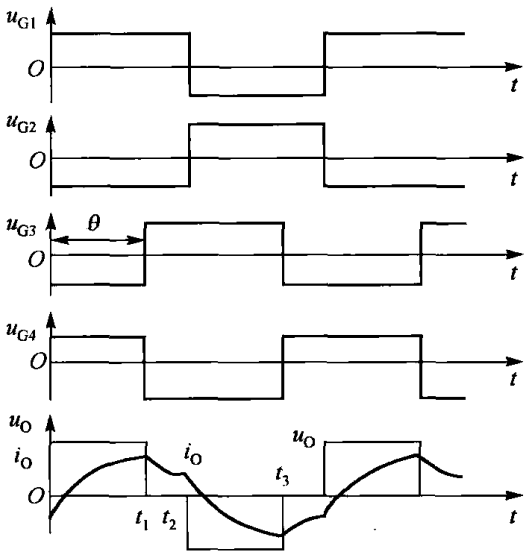


图 4.4.2　单相全桥逆变电路的移相调压方式

得到幅值为u_D、宽度按正弦规律变化的一组矩形波脉冲。这组矩形脉冲可以等效为与u_C同频率的正弦波电压u_O，改变u_C的频率即可达到调频的目的。等效正弦波u_O的幅值(在输入直流电压u_D不变的情况下)取决于u_R与u_C的相对值，如果保持u_R不变，提高u_C的幅值，则u_O的幅值增大；反之，u_O的幅值减小。

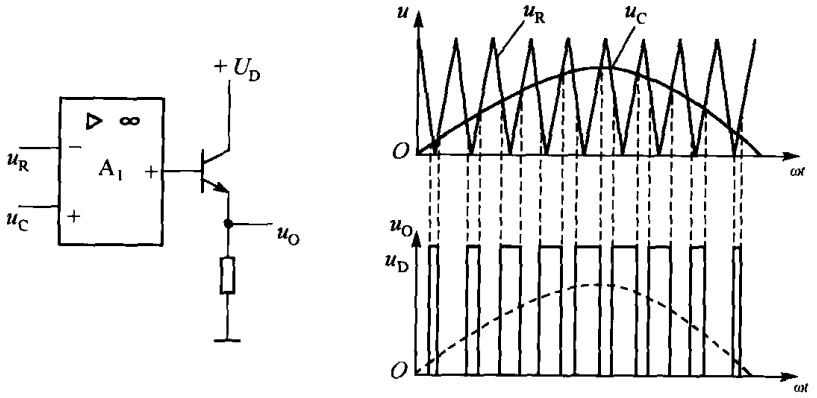


图 4.4.3 单极性 SPWM 脉冲的产生原理

SPWM 逆变电路具有谐波分量小，便于调频、调压等优点，但电路载波频率受到开关器件的允许开关频率制约，因开关器件的开关频率提高，开关损耗会随之增大。目前，采用微处理器实现 PWM 控制逆变电路，性能越来越完善，得到了广泛应用。

4.5 交流变换(AC/AC)电路

交流变换电路的作用是将一种形式的交流电能转换成另一种形式的交流电能。转换时，可以改变交流电量的幅值、频率、相数等。根据变换参数的不同，可以分为两大类。只改变输出电压的幅值而不改变频率的交流变换电路，称为交流调压电路。把固定频率的交流电直接变换成另一种固定或可调频率交流电的交流变换电路，称为交-交变频电路。限于篇幅，在此仅对其基本的概念给予简单介绍。

4.5.1 单相交流调压电路

交流调压电路广泛应用于灯光控制、工业加热及感应电动机调压调速等场合。单相交流调压电路是交流调压中最基本的电路，它由两个反并联的晶闸管组成，与负载电阻 R 串联接到交流电源上，如图4.5.1(a)所示。晶闸管 VT_1，VT_2分别作为正负半周的无触点开关，若正、负半周以同样的移相角α触发 VT_1和 VT_2，则负载电压有效值可以随α角而改变，实现交流调压。和整流电路一样，交流调压电路的工作情况和负载性质有很大的关系，图4.5.1(b)是输入交流电压的波形，图4.5.1(c)是电阻负载下控制角为α时的相应输出交流电压波形。可以看出，改变控制角α的大小，就改变了输出交流电压的大小。

4.5.2 单相交-交变频电路

因为交-交变频电路是把电网频率的交流电直接变换成可调频率的交流电，因此属于直接变频电路。交-交变频电路广泛用于大功率交流电动机调速传动系统，其特点是输出频率的上限仅为电网频率的1/3～1/2，故只适用于低频电源，如水泥窑的低速回转拖动系统。实际使用的主要是三相输出交-交变频电路。单相输出交-交变频电路，是三相输出交-交变频电路的基础。

图4.5.2是单相交-交变频电路的原理图和输出电压波形。电路由正组(P)组和反组(N)反并联的晶

闸管变流电路构成。正、反两组变流电路通常采用三相桥式电路，变流电路 P 和 N 都是相控整流电路。P 组工作时，负载电流 i_o 为正，N 组工作时，i_o 为负。让两组变流电路按一定的频率交替工作，就可以给负载输出该频率的交流电。改变两组变流电路的切换频率，就可以改变输出频率，改变变流电路工作时的控制角 α，就可以改变交流输出电压的幅值。

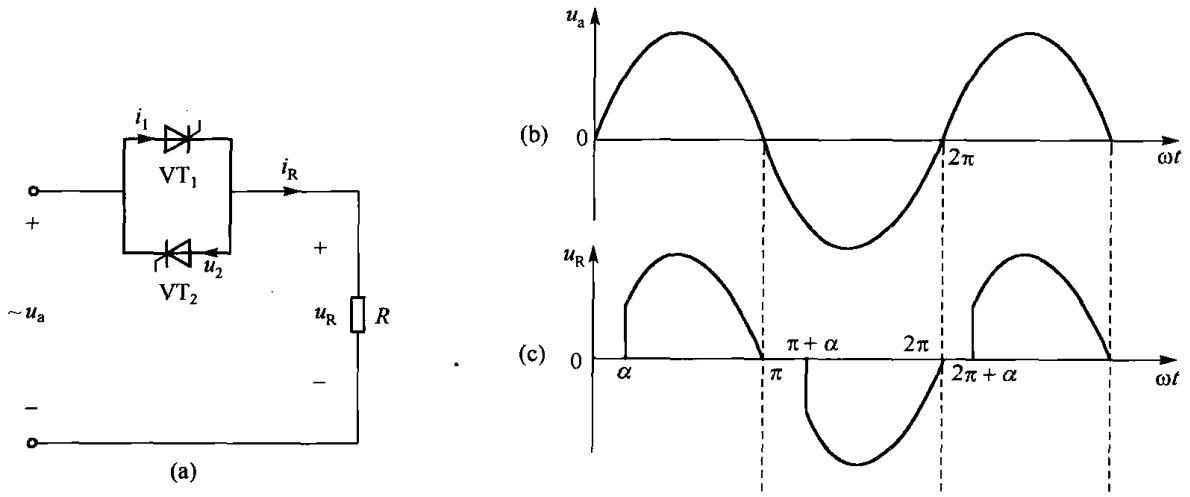


图 4.5.1　单相交流调压电路及波形

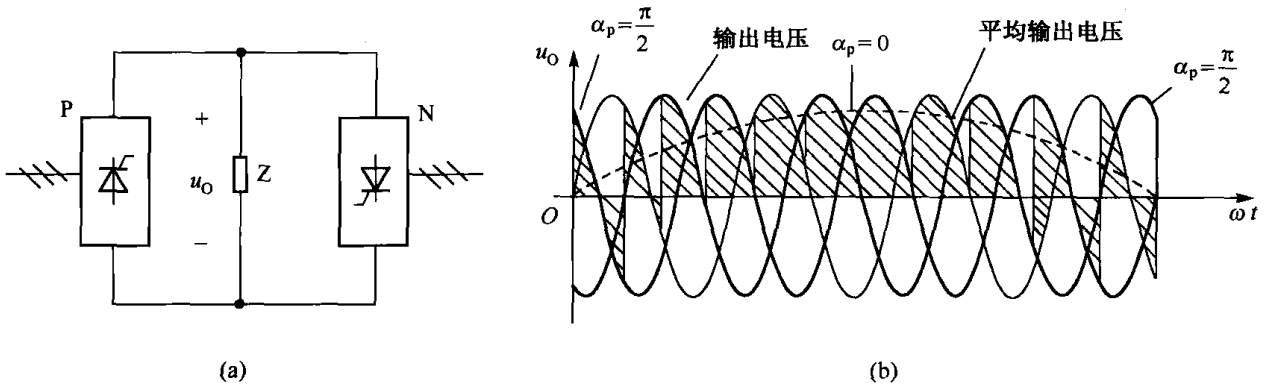


图 4.5.2　单相交-交变频电路原理图和输出电压波形

图 4.5.2(a) 中的正、反两组变流电路为三相桥式电路，这样在电源电压的一个周期内，输出电压将由 6 段电源线电压组成。为了使输出电压 u_O 的波形接近正弦波，可以按正弦规律对控制角 α 进行调制。如图 4.5.2(b) 中波形所示，可在半个周期内让正组变流器 P 的控制角 α 按正弦规律从 90° 逐渐减小到 0° 或某个值，然后再逐渐增大到 90°。只要电网频率相对于输出频率高得多，这样每个控制间隔内的平均输出电压就按正弦规律从零逐渐增至最高，再逐渐减低到零，如图 4.5.2(b) 中虚线所示。另外半个周期可对变流器 N 进行同样的控制。

可以看出，输出电压并不是平滑的正弦波，而是由若干段电源电压拼接而成的。在输出电压的一个周期内，输出频率相对于输入电压的频率越低或输入电压的相数越多，输出波形的谐波越少，其波形就越接近正弦波。因此，变流电路通常采用 6 脉波的三相桥式变流电路或 12 脉波变流电路。

4.6　PSpice 例题分析

例 4.6.1　用 PSpice 仿真分析题 4.7 图中串联型稳压电路，当负载电阻 R_L 减小(即 I_L 增大)时，调整管和放大管内的电流变化规律？并观察当 I_L 增大到多少时，电路不能稳压。

解：利用 OrCAD9.1/Capture CIS 软件绘制题 4.7 图的 PSpice 仿真电路，各晶体管选择如图4.6.1所示。

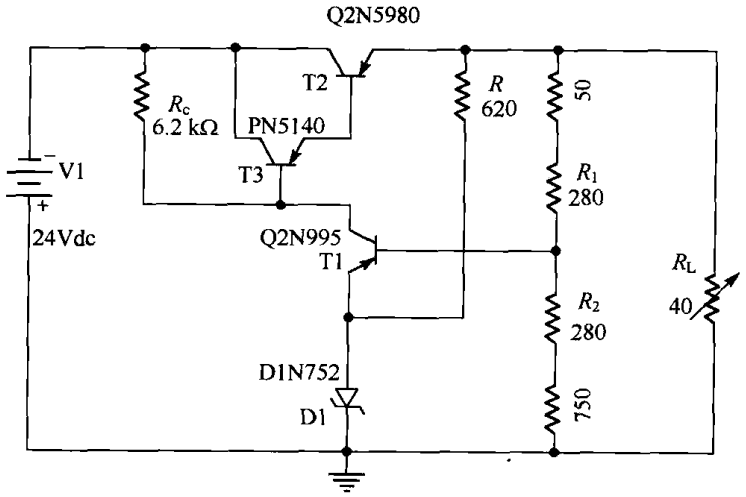


图 4.6.1 题 4.7 中串联型稳压电源的 PSpice 仿真电路

利用直流工作点(Bias Point)分析功能观察各点的电压值，单击菜单栏中 PSpice 选项中 Bias Points 功能查看电压。改变电阻 R_L 的 set 值从 0.1～0.5 变化，即负载电阻从标称值的 0%～50%变化时，各点的电压均无明显变化。继续减小 set 值，可以观察到当 set 值降至 0.08 时，电路不能稳压，此时电流值为 2.398 A，如图4.6.2所示。

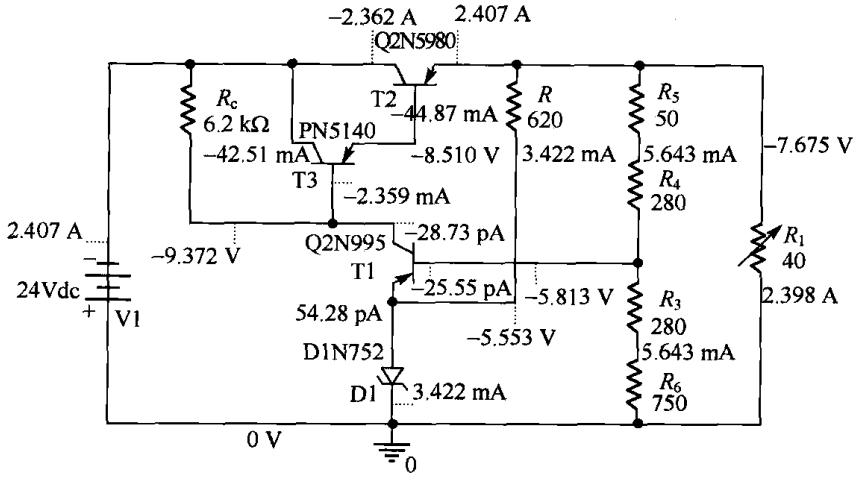


图 4.6.2 set 为 0.08 时各点电压电流值

本章小结

本章简单地阐述了以普通晶闸管为代表的大功率半导体器件和绝缘栅双极型晶体管以及常用的整流、逆变、交流调压、变频等技术。

1. 晶闸管是一种大功率的半导体器件，当其阳极和控制极同时承受正向电压时，晶闸管由阻断状态转为导通状态。当晶闸管的阳极电流减小到维持电流以下时，晶闸管关断。晶闸管属于电流驱动型器件，通态压降低，导通损耗小，但所需驱动功率大。

2. IGBT 是由 MOSFET 与双极型晶体管构成的复合型全控器件，其中 MOSFET 为驱动元件，GTR 为主导元件。当 U_{GE} 大于开启电压 $U_{GE(th)}$ 时，IGBT 导通，当栅极和发射极间开路或加反向电压时，IGBT 关断。IGBT 属于电压驱动型器件，输入阻抗高，所需驱动功率小。

3．利用二极管的单向导电性，可以构成各种形式的不可控整流电路把交流电转换为单向脉动的直流电。单相桥式整流电路具有输出电压平均值高、脉动小、变压器利用率高等优点，在小功率电源中应用最为广泛。

4．利用晶闸管的可控性和单向导电性，可以组成各种形式的大功率可控整流电路。改变晶闸管的控制角，就可以改变可控整流电路输出直流电压的大小。当可控整流电路给感性负载供电时，由于自感电动势的存在使得输出电压出现负值，平均值下降，因此常在感性负载两端并联一续流二极管提高输出电压平均值。

5．晶闸管触发电路的形式很多，单结晶体管触发电路在小功率情况下应用较普遍。

6．为了滤除整流电压中的谐波分量，常采用储能元件 L 和 C 组成各种滤波电路。电容滤波电路具有成本低、体积小的优点，应用较为广泛，但在电容滤波电路中二极管的导通角减小，二极管中的冲击电流较大，容易造成整流二极管的损坏。此外，电容滤波电路的外特性较差，一般只适合于小电流场合。

7．整流滤波后得到的直流电压会因为负载的变化或输入交流电压的变化而发生波动，因此需要在整流滤波后加入稳压电路。在负载电流较小而且稳压精度要求不高时，常采用稳压管进行稳压。串联型稳压电路的稳压精度较高，而且输出电压可调，但其中的调整管工作在线性放大区，功耗较大，效率低。

8．单片集成线性稳压器具有可靠性高、接线简单、使用方便等优点，目前应用较广。但一般而言，其输出电流有限，主要用在小电流场合。W78××系列和 W79××系列集成稳压器是典型的三端集成稳压器，应掌握它的使用方法。

9．开关型稳压电源可省去笨重的工频变压器，其中的调整管工作在开关状态，具有体积小、效率高的优点，但其输出电压纹波较大，适用于大功率且要求电源体积小的场合。

10．把直流电变成某一固定频率或可变频率的交流电的过程称为逆变。电压型逆变电路可以通过改变输入直流电压或改变负载两端得到的正负脉冲宽度的方法来改变输出交流电压 u_O 的有效值。为了实现输出电压为正弦波，常采用脉宽调制(PWM)的方式。

11．只改变输出电压的幅值而不改变频率的交流变换电路，称为交流调压电路。把固定频率的交流电直接变换成另一固定或可调频率交流电的交流变换电路，称为交-交变频电路。

习题 4

4.1　试推导单相全波整流电路，电阻性负载时，变压器二次电流的有效值 I 与输出平均电流 I_O 的关系。

4.2　试分析如题 4.2 图所示的单相全波整流电路，变压器二次绕组两段的电压有效值各为 U。

(1) 如无滤波电容器，负载整流电压的平均值 U_O 和变压器二次绕组每段的有效值 U 之间的数值关系如何？如有滤波电容，则又如何？

(2) 在有滤波电容器和无滤波电容器两种情况下，截止二极管上所承受的最高反向电压 U_{DRM} 是多少？

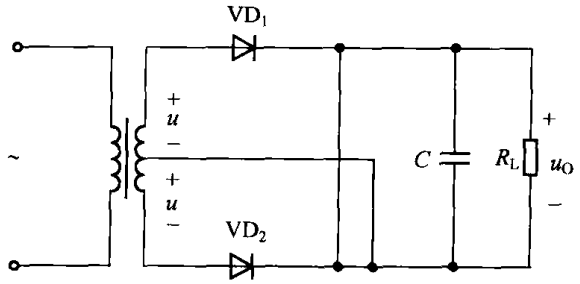
(3) 如果整流二极管 VD_1 虚焊，U_O 是否是正常情况下的一半？如果变压器二次绕组中心抽头虚焊，这时有输出电压吗？

(4) 如果把 VD_1 的极性接反，是否能正常工作？会出现什么问题？

(5) 如果 VD_1 因过载损坏造成短路，还会出现什么其他问题？

(6) 如果输出端短路，又将出现什么问题？

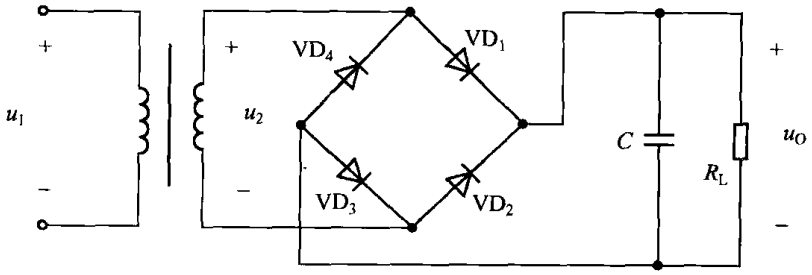
(7) 如果把图中的 VD_1 和 VD_2 都反接，是否仍有整流作用？所不同之处是什么？



题 4.2 图

4.3 电容滤波桥式整流电路如题4.3图所示，用交流电压表测得 $U_2 = 20\ \text{V}$，现在用直流电压表测量输出电压 U_O，试分析下列测量数据中哪些数据说明电路工作正常？哪些数据说明电路作发生了故障？并指明原因。

(1) $U_O = 28\ \text{V}$；　(2) $U_O = 18\ \text{V}$；　(3) $U_O = 24\ \text{V}$；　(4) $U_O = 9\ \text{V}$。

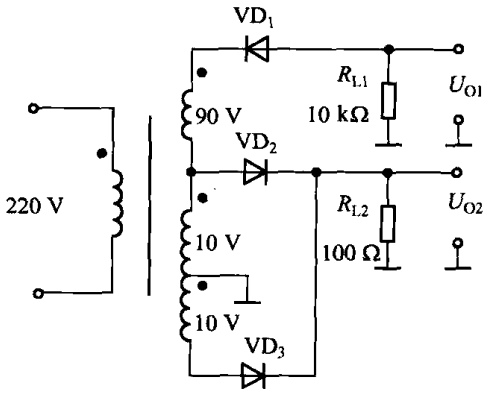


题 4.3 图

4.4 有一整流电路如题 4.4 图所示，试求：

(1) 负载电阻 R_{L1} 和 R_{L2} 上整流电压的平均值 U_{O1} 和 U_{O2}，并标明极性；

(2) 二极管 VD_1, VD_2, VD_3 中的平均电流 I_{D1}，I_{D2}，I_{D3} 及各管所承受的最高反向电压。



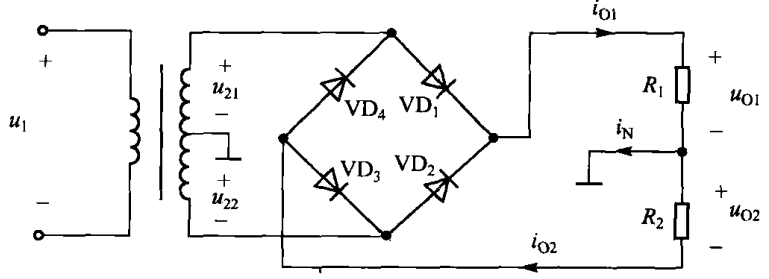
题 4.4 图

4.5 对于如题4.5图所示整流电路，若 $u_{21} = \sqrt{2}U_{21}\sin\omega t\ \text{V}$，$u_{22} = \sqrt{2}U_{22}\sin\omega t\ \text{V}$，分析电路的工作原理并回答下述问题。

(1) U_{O1} 和 U_{O2} 的大小是否相等？如何计算其大小？

(2) 每个二极管承受的最大反向电压和通过的平均电流是否相等？

(3) 负载电流 I_{O1} 和 I_{O2} 是否相等？公共地线中的电流 I_N 是否等于零？如何计算它们的大小？



题 4.5 图

4.6　在题 4.6 图所示电路中，U_i = (24～30) V，限流电阻 $R = 1.2\ \text{k}\Omega$，稳压管的参数为 $U_Z = 12\ \text{V}$，$I_{Zmin} = 5\ \text{mA}$，$I_{Zmax} = 19\ \text{mA}$。

(1) 如果负载电阻 R_L 在 3 kΩ～∞ 之间变化，输出电压能否稳定?

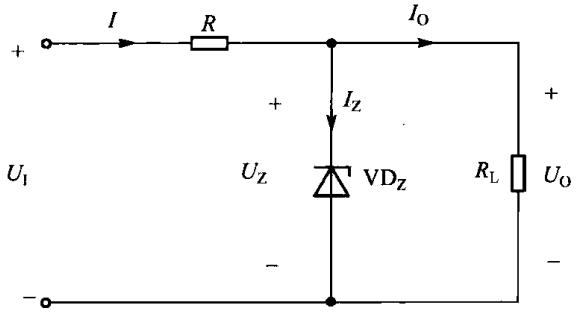
(2) 如果 $R_L \leqslant 2\ \text{k}\Omega$，输出电压能否稳定?

4.7　串联型稳压电路如题 4.7 图所示，设各三极管的 $U_{BE} = -0.2\ \text{V}$，$\beta_1 = \beta_3 = 50$，$\beta_2 = 20$。

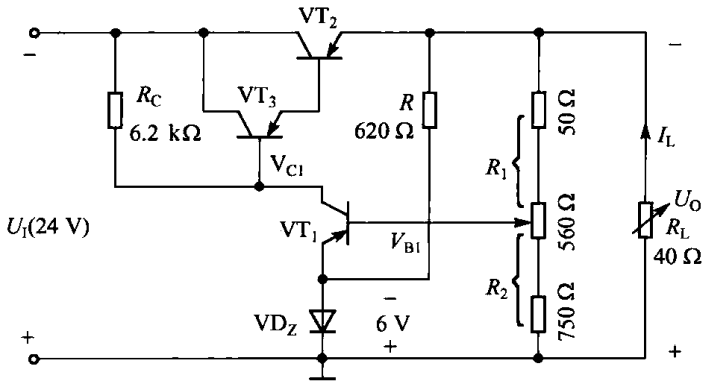
(1) 求该电路输出电压可调范围(计算时可忽略 I_{B1})。

(2) 当采样电位器置于中点位置时，试求 U_O，V_{B1} 和 V_{C1} 的值。

(3) 在(2)的基础上，试分析当负载电阻 R_L 减小(即 I_L 增大)时，调整管和放大管内的电流将如何变化? I_L 增大到多少时，电路不能稳压?



题 4.6 图



题 4.7 图

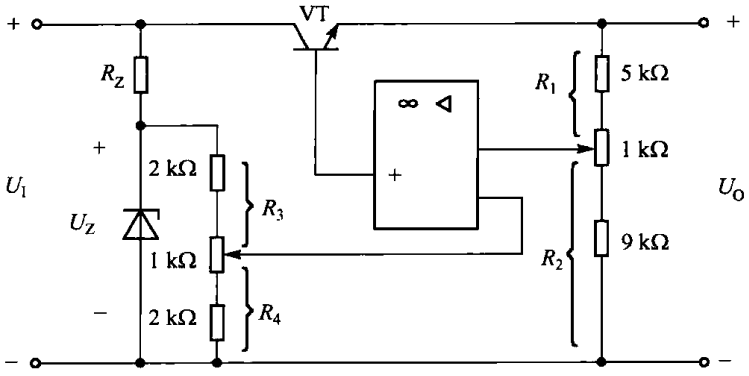
(4) 若使电路中 $R_2 = 0\ \Omega$，稳压电路输出电压 U_O 能否趋向无穷大? 为什么? U_O 的最大值能达到多少伏?

4.8　由集成运放组成的串联型稳压电路如题 4.8 图所示。

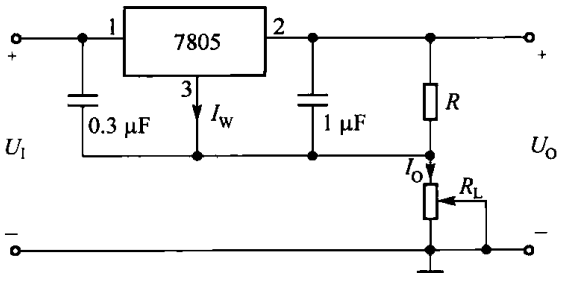
(1) 标出运放的同相输入端和反相输入端。

(2) 当稳压管的 $U_Z = 6\ \text{V}$，输入电压 $U_I = 10\ \text{V}$ 时，试估算输出电压 U_O 的调节范围。

4.9　题 4.9 图所示为三端集成稳压器组成的恒流源电路。已知 7805 芯片 2, 3 引脚间的电压为 5 V，$I_W = 4.5\ \text{mA}$。求电阻 $R = 100\ \Omega$，$R_L = 200\ \Omega$ 时，负载 R_L 上的电流 I_O 和输出电压 U_O 的值。



题 4.8 图



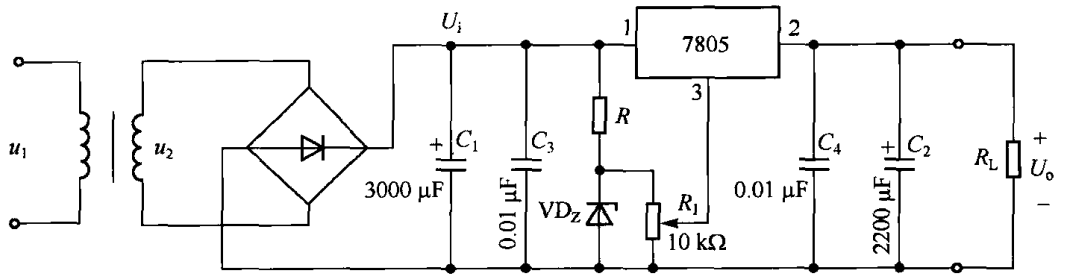
题 4.9 图

4.10　三端集成稳压器 7805 组成如题 4.10 图所示的电路。已知稳压管的稳压值为 5 V，允许电流 5～40 mA，$U_I = 15\ \text{V}$，电网电压波动 ± 10%，最大负载电流 $I_{Omax} = 1\ \text{A}$。

(1) 求限流电阻 R 的取值范围。

(2) 估算输出电压 U_O 的调整范围。

(3) 估算三端稳压器的最大功耗。

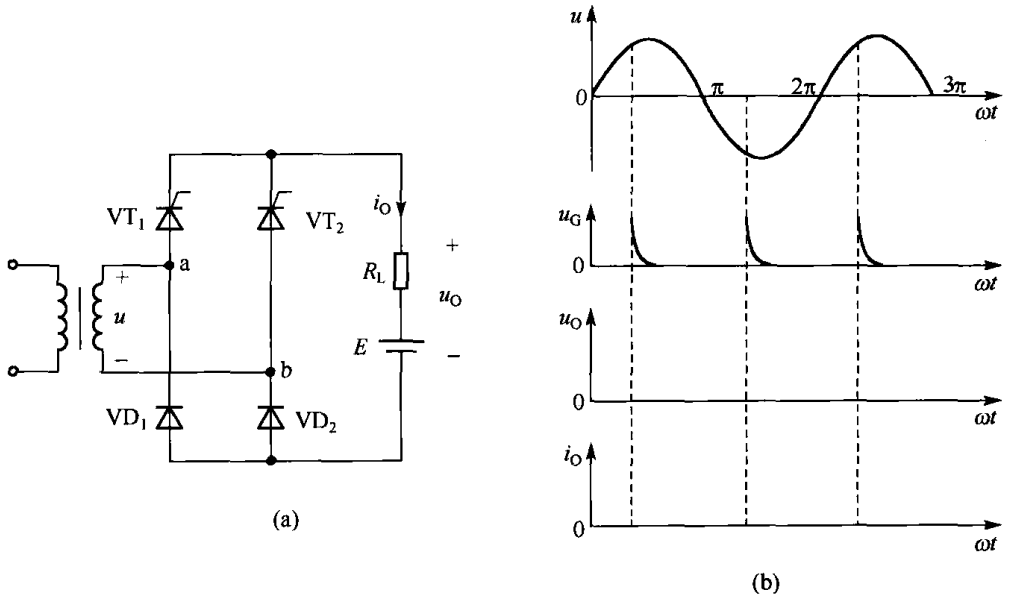


题 4.10 图

4.11 某一电热设备(即电阻性负载)，要求直流电压 50 V，电流 30 A。采用单相半波可控整流电路，直接由 220 V 交流电供电。试计算晶闸管的导通角和电流的有效值。在选用晶闸管时，晶闸管的额定电压 U_N 和额定正向平均电流 I_F 至少应为多大?

4.12 一阻值为 6 Ω 的电阻性负载，要求 0～60 V 的电压，采用单相半控桥式整流电路，直接由 220 V 交流电网供电。试计算当输出电压为 60 V 时，晶闸管的导通角、负载电流和晶闸管电流的有效值。在为该电路选用晶闸管时，晶闸管的额定电压 U_N 和额定正向平均电流 I_F 应选多大?

4.13 已知单相半控桥式整流电路如题 4.13 图(a)所示，若 $u = 30\sin\omega t$ V，$E = 10$ V，二极管 VD 及晶闸管 VT 的导通压降忽略不计，控制极触发信号如题 4.13 图(b)所示，画出输出电压 u_O 和 i_O 的波形。



题 4.13 图

第 5 章　集成逻辑门和组合逻辑电路

随着数字电子技术的飞速发展，人类社会也进入了信息时代。在信息社会中，人类每天都要通过电视、广播、网络等各种媒体获取和交换大量的信息。数字电子技术的巨大优势和潜力使得现代信息的传输、处理、存储等无一不采用数字方式，并广泛地应用在电子计算机、数控技术、数字通信技术、数字仪表、遥控遥测技术、雷达系统、民用电子电路及国民经济的各个领域及部门中。

5.1　数字电路的基础知识

5.1.1　数字电路及其特点

在电子技术中，传递、处理的信号可以分为两大类：一类是模拟信号，另一类是数字信号。模拟信号具有在数值大小和时间上都是连续变化的特点，例如正弦波。处理模拟信号的电路称为模拟电路，使用的主要器件是晶体管，且晶体管工作在线性放大区。数字信号则在数值大小和时间上都具有不连续的、离散的特点，例如矩形波。处理数字信号的电路称为数字电路，使用的主要器件也是晶体管及由其构成的各种集成电路，但晶体管工作在非线性的截止区和饱和区。

与模拟电路相比较，数字电路具有下列一些特点：

(1) 抗干扰能力强，可靠性高，精度高。在模拟电路中，主要研究的是输入与输出之间的数量关系，而在数字电路中，是根据脉冲信号的有无、个数、脉宽和频率进行工作，研究的是输入与输出之间的逻辑关系。干扰往往只影响脉冲的幅度，但只要这种干扰局限在一定的范围内，就会对脉冲的有无和个数几乎不产生影响，因此数字电路的抗干扰能力较强。

(2) 电路结构简单，通用性强，功耗低。数字电路传递、处理的是二值信息，即高电平和低电平，因此，凡具有高、低两个稳定电平的电路都可以作为数字电路中的基本单元电路，由这种单元电路再构成复杂的数字系统，因此数字电路结构简单，通用性强，设计使用方便。另外，数字电路中的高、低电平值往往是一个在一定范围内的数值，所以对电路元件参数的精度要求不高，允许有较大的分散性。在模拟电路中的三极管等放大元件工作于放大状态，三极管的功耗较大。而在数字电路中的三极管等放大元件一般工作在开关状态，即交替工作在饱和与截止状态，其功耗较低，所以目前各种数字部件基本上都已集成化。

(3) 保密性好。对于数字信号可以采用各种算法进行加密处理，故对信息资源的保密性好。

5.1.2　数制和码制

1．数制

数制是计数进位制的简称。在数字领域中，常用的数制有十进制、二进制、八进制、十六进制等。

(1) 十进制(Decimal)

十进制最为人们熟悉，它具有 0, 1, …, 9 共 10 个数码，低位数码到相邻高位数码的进位是逢 10 进 1，数码在数列中的位置不同，其所代表的意义是不同的。例如数 713，可以用 10 的幂的整数倍之和来表示为

$$(713)_{\mathrm{D}} = 7\times10^{2} + 1\times10^{1} + 3\times10^{0}$$

式中，左边为数 713 的位置计数形式；右边是数 713 的多项式形式。用下标“D”或“10”表示这是一个十进制数。

通常对于有 n 位整数的任意的十进制数，有

$$(d_{n-1}d_{n-2}\cdots d_0)_{\mathrm{D}} = \sum_{i=0}^{i-1} d_i \times 10^{i} \tag{5.1.1}$$

式中，10^{i} 为该十进制数第 i 位数码 d_i 的位权，这个“10”即为十进制数的基数。很显然，数码在数列中所处的位置越朝左，其“权”越大，该数码代表的数值就越大。

(2) 二进制(Binary)

二进制是在数字电路中广泛应用的一种数制。二进制的基数为 2，每位数码只有 0 或 1 两种可能，进位规律是逢 2 进 1，这里 0 和 1 的意义与十进制中的 0 和 1 是相同的，但数码所在位置的“权”却不再是10^{0}，10^{1}，…，10^{n}，而是2^{0}，2^{1}，…，2^{n}。对于一个 n 位二进制数，其一般形式可表示为

$$(b_{n-1}b_{n-2}\cdots b_0)_{\mathrm{B}} = b_{n-1}\times2^{n-1} + b_{n-2}\times2^{n-2} + \cdots + b_0\times2^{0} = \sum_{i=0}^{i-1} b_i \times 2^{i} \tag{5.1.2}$$

用下标“B”或“2”表示这是一个二进制数。

例如，$(1001)_{\mathrm{B}} = 1\times2^{3} + 0\times2^{2} + 0\times2^{1} + 1\times2^{0} = (9)_{\mathrm{D}}$。

(3) 八进制(Octal)

八进制具有 0, 1, …, 7 共 8 个数码，基数为 8，进位规律是逢 8 进 1，第 i 位码的位权是8^{i}。

对于一个 n 位八进制数，其一般形式可表示为

$$(o_{n-1}o_{n-2}\cdots o_0)_{\mathrm{O}} = o_{n-1}\times8^{n-1} + o_{n-2}\times8^{n-2} + \cdots + o_0\times8^{0} = \sum_{i=0}^{i-1} o_i \times 8^{i} \tag{5.1.3}$$

用下标“O”或“8”表示这是一个八进制数。

(4) 十六进制(Hexadecimal)

十六进制具有 0, 1, …, 9, A, …, F 共 16 个数码，其中 A, …, F 等 6 个符号分别表示 10, …, 15。十六进制的基数为 16，其进位规律是逢 16 进 1，第 i 位数码的位权是16^{i}。

对于一个 n 位十六进制数，其一般形式可表示为

$$(h_{n-1}h_{n-2}\cdots h_0)_{\mathrm{H}} = h_{n-1}\times16^{n-1} + h_{n-2}\times16^{n-2} + \cdots + h_0\times16^{0} = \sum_{i=0}^{i-1} h_i \times 16^{i} \tag{5.1.4}$$

用下标“H”或“16”表示这是一个十六进制数。

当表示同一个数值时，八进制和十六进制要比二进制简单得多。因此，在编写计算机程序时，十六进制被广泛使用。

(5) 不同数制间的转换

(a) 十进制数转换为二进制数

设有一个十进制数 N_{D}，将它转换成一个 n 位的二进制数，可写成

$$N_D = b_{n-1}\times 2^{n-1} + b_{n-2}\times 2^{n-2} + \cdots + b_0\times 2^0 \tag{5.1.5}$$

现在的问题是要求出 b_{n-1}，b_{n-2}，…，b_0。先将等式两边同时除以 2，得到

$$\frac{N_D}{2} = \frac{1}{2}(b_{n-1}\times 2^{n-1} + b_{n-2}\times 2^{n-2} + \cdots + b_1\times 2^1) + \frac{b_0}{2}$$

$$= (b_{n-1}\times 2^{n-2} + b_{n-2}\times 2^{n-3} + \cdots + b_1) + \frac{b_0}{2}$$

式中，$b_{n-1}\times 2^{n-2} + b_{n-2}\times 2^{n-3} + \cdots + b_1$ 为商 Q_1，b_0 为余数，即 $N_D = 2Q_1 + b_0$，而 b_0 正是要求的二进制数的最低位，即 2^0 位。

然后将商 Q_1 再除以 2，又得到新的商 Q_2 及其余数 b_1。$Q_1 = 2Q_2 + b_1$ 中的余数 b_1 正是二进制数的次低位，即 2^1 位。依次类推，用连续除以 2 求余数的方法依次求得所转换的二进制数的各位数码，直到最高位 b_{n-1}。

例如，将 $(713)_D$ 转换为二进制数，可按下述方法求得：

2 | 7 1 3 ……余数 =1=b_0
2 | 3 5 6 ……余数 =0=b_1
2 | 1 7 8 ……余数 =0=b_2
2 | 8 9 ……余数 =1=b_3
2 | 4 4 ……余数 =0=b_4
2 | 2 2 ……余数 =0=b_5
2 | 1 1 ……余数 =1=b_6
2 | 5 ……余数 =1=b_7
2 | 2 ……余数 =0=b_8
2 | 1 ……余数 =1=b_9
0

这个连续除以 2 的过程直到商为 0 才结束，最高位 b_{n-1} 一定是 1，则有

$$(713)_D = (1011001001)_B$$

(b) 非十进制数转换为十进制数

非十进制数转换为十进制数较为简单，只需将该非十进制数写成按权位展开的多项式形式并按十进制求和，即可得到该非十进制数的十进制形式。

(c) 二进制、八进制、十六进制之间的转换

1 位八进制数对应 3 位二进制数，1 位十六进制数对应 4 位二进制数，因此八进制数和十六进制数与二进制数之间的转换便变得非常简单。例如，将二进制数 $(10110011010)_B$ 转换为八进制数的具体方法是，将二进制数从低位开始每 3 位为 1 组，不足 3 位则以 0 补足最高位，即 $(010, 110, 011, 010)_B = (2632)_O$；转换为十六进制数的具体方法是，将二进制数从低位开始每 4 位为 1 组，不足 4 位则以 0 补足最高位，即 $(0101, 1001, 1010)_B = (59A)_H$。

将上述方法反用，则可将八进制数和十六进制数转换为二进制数，这里不再赘述。只是任意转换后的二进制数若最高位是 0，则无意义可去除之。

2. 二-十进制(BCD)编码

二进制数码除了可以用来表示数值的大小外，在数字系统中，通常还可以用来表示特定的信息，包括文字和符号。这种表示特定信息的多位二进制数称为代码。给每个代码赋予一定的含义称为编码。

在数字电路中，常使用二-十进制编码(也称 BCD 码，为 Binary Coded Decimal 的缩写形式)。所谓 BCD 码，就是用 4 位二进制数的代码来表示 1 位十进制数，4 位二进制数共有 16 种不同的组合代码，而十进制数的 10 个数字符号只需用其中 10 种组合来表示，所以从 16 种组合中选用哪 10 种组合的编码方案有多种，最常用的方案是用 0000 到 1001 来表示十进制数的数码 0～9，舍去二进制数从 1010 到 1111 的 6 种组合，4 位二进制数中各位数的“权”分别为 8，4，2，1，所以这种用二进制数码表示十进制数的方法称为 8421BCD 码。

例如，将 $(713)_D$ 用 8421BCD 码表示时，先将各位数码转化为 BCD 码，再依次排列即可。

十进制数　　7　　1　　3

8421BCD 码　　0111　　0001　　0011

所以 $(713)_D=(011100010011)_{8421BCD}$。

除 8421BCD 码之外，在数字系统中也常采用 5421、2421、余 3 码、格雷码等 BCD 码，如表 5.1.1 所示。

表 5.1.1　常用的 BCD 码

十进制数	有权码			无权码	
	8421	5421	2421	余 3 码	格雷码
0	0000	0000	0000	0011	0000
1	0001	0001	0001	0100	0001
2	0010	0010	0010	0101	0011
3	0011	0011	0011	0110	0010
4	0100	0100	0100	0111	0110
5	0101	1000	1011	1000	0111
6	0110	1001	1100	1001	0101
7	0111	1010	1101	1010	0100
8	1000	1011	1110	1011	1100
9	1001	1100	1111	1100	1101

5421BCD 码各位对应的权，由左到右依次为 5，4，2，1，故称为 5421BCD 码，2421BCD 码各位对应的权，由左到右依次为 2，4，2，1，故称为 2421BCD 码。

余 3 码是一种无权码，它的各位没有固定的权值，表示同一个十进制数的余 3 码比 8421BCD 码多 3，因此称其为余 3 码。

格雷码也是一种无权码，它的特点是任意两个相邻数对应的码之间只有 1 位不同，这样在数据传递过程中可靠性高，出现错误的概率较小。当 8421BCD 码从 7 变化到 8 时，BCD 代码由 0111 变到 1000，4 位代码都要发生变化。在实际数字系统中，各位的变化不可能同时发生，总有先后之分，如假定各位代码从右至左发生变化，这些代码就会按下述过程变化：

$0111\rightarrow0110\rightarrow0100\rightarrow0000\rightarrow1000$，虽然最终结果是正确的，但在变化过程中出现了不该有的错码 0110，0100 和 0000，这些错码可能在数字系统中引起错误，而格雷码由于相邻代码只相差 1 位二进制数，所以用它表示的数在递增或递减过程中不易出错。

5.1.3　脉冲波形及其主要参数

脉冲是指一种突然变化的过程。在脉冲数字电路中，研究的是一些不连续变化的电压和电流，它们的作用时间很短，两次作用之间有一定的时间间隔。把这种作用时间很短的电压和电流分别称为“脉冲电压”和“脉冲电流”。

脉冲波形有很多种，如矩形波、尖顶波、锯齿波、三角波、梯形波等，但在数字电路中最常见的是矩形波和尖顶波，如图 5.1.1 所示。

理想的矩形波其幅值变化在瞬间完成，不占用时间。但在实际电路中，由于存在电容充放电、电源内阻等影响，因此实际的矩形波并非理想的突跳，顶部也不平坦。图 5.1.2 画出了一个实际的矩形电压脉冲波，用它来定义脉冲的主要参数。

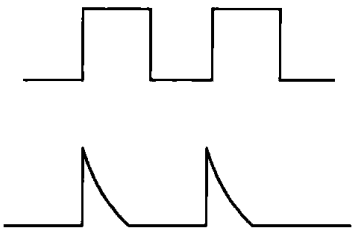


图 5.1.1　脉冲波形

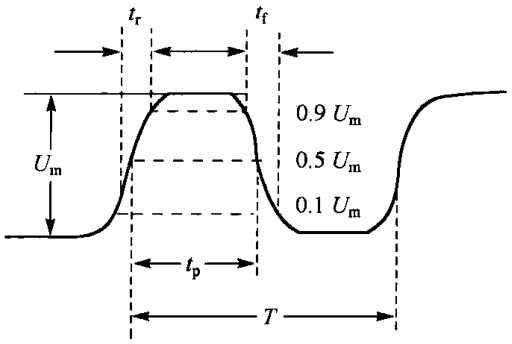


图 5.1.2　实际的矩形波

下面是脉冲的主要参数及定义。

(1) 脉冲幅度 $U_m(I_m)$：脉冲从零值变化到稳定峰值之间的变化量；

(2) 脉冲前沿 t_r：从脉冲幅度的 10%上升到 90%所需的时间；

(3) 脉冲后沿 t_f：从脉冲幅度的 90%下降到 10%所需的时间；

(4) 脉冲宽度 t_p：在脉冲幅度的 50%处脉冲持续的时间；

(5) 脉冲周期 T；两个相邻脉冲重复出现所间隔的时间；

(6) 脉冲频率 f：单位时间内的脉冲个数，它与脉冲周期的关系是 $f=1/T$；

(7) 占空比 q：脉冲宽度 t_p 与脉冲周期 T 之比，即 $q=(t_p/T)\times 100\%$；占空比 $q=50\%$的矩形波称为方波。

脉冲信号还有正负之分。若脉冲跃变后的值比跃变前的值高，称为正脉冲；反之，称为负脉冲，如图 5.1.3 所示。

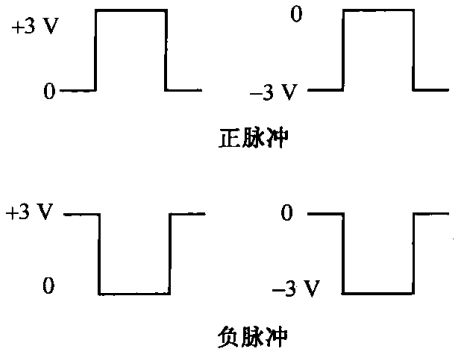


图 5.1.3　正脉冲和负脉冲

思考题

5.1.1　数字信号和模拟信号的主要区别是什么？数字电路与模拟电路中晶体管的工作状态有何不用？

5.1.2　将 $(9)_D$，$(17)_D$ 和 $(254)_D$ 转换为二进制数和十六进制数。将 $(1100)_B$，$(10101101)_B$ 转换为十进制数和十六进制数。

5.1.3　将 $(35)_D$ 和 $(68)_D$ 分别用 8421BCD、5421BCD、2421BCD、余 3 码和格雷码表示。

5.1.4　将代码 (100101001000) 分别理解为二进制数、8421BCD、5421BCD 和余 3 码时，其对应的十进制数分别是多少？

5.1.5　将代码 (110001000011) 分别理解为二进制数、5421BCD、2421BCD、余 3 码、格雷码时，其对应的十进制数分别是多少？

5.2 基本逻辑关系和逻辑门电路

逻辑电路是指输出与输入之间有一定逻辑关系的电路。所谓逻辑关系，实际上就是因果关系。逻辑电路一般有多个输入端，当输入信号或输入信号之间满足一定条件(原因)时，电路才开通，否则电路关闭(结果)。此时电路像一个门一样。故这种输入与输出之间具有因果关系的数字电路也称为逻辑门电路，有时简称为门电路。

在逻辑代数中有三种基本的逻辑运算关系，即与逻辑运算、或逻辑运算和非逻辑运算，那么实现这些基本逻辑运算关系的基本逻辑门电路则是“与”门电路、“或”门电路以及“非”门电路。这些基本门电路可以由分立元件的二极管和三极管组成，也可以是集成电路，但在实际应用中，多采用的是集成逻辑门电路。

逻辑门电路的输入和输出信号都是用电位(或称电平)的高低来表示的，电位的高低可以用“1”和“0”两种状态来区别。这里的“1”和“0”与十进制数中的 0 和 1 有着完全不同的含义，它代表了对立或矛盾着的两个方面，代表了两种状态，故也称为逻辑“1”和逻辑“0”。

若规定高电位为“1”，低电位为“0”，则称为正逻辑；若规定低电位为“1”，高电位为“0”，则称为负逻辑。这种规定也称为逻辑约定。不同的逻辑约定，对同一个逻辑门电路有着不同的逻辑功能。在分析一个逻辑电路之前，首先要弄清楚采用的是哪种逻辑约定，否则无法分析电路的逻辑功能。本书中，如果没有特别说明，采用的都是正逻辑约定。

5.2.1 与门电路

与逻辑的含义可以用图 5.2.1 所示的开关电路来说明，开关 A, B 为逻辑变量，设其闭合为“1”，打开为“0”；灯为逻辑函数 F，设灯亮为“1”，灯灭为“0”。图中发生的事件是灯亮，开关 A, B 闭合是事件发生的条件。

表 5.2.1 列出了开关 A，B 与灯 F 之间可能的组合与结果，此表称为功能表。通常把逻辑变量取值“1”称为真值，取值“0”称为假值，所以也将该功能表称为真值表。

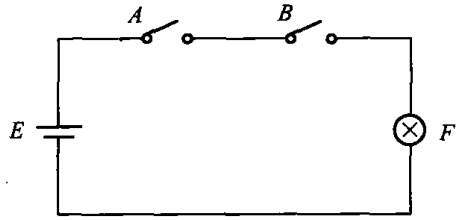


图 5.2.1 与逻辑关系

表 5.2.1 与逻辑真值表

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

由表 5.2.1 可见，只有条件 A 与 B 全满足(闭合)时，结果 F 才发生(灯亮)。这种因果关系称为“与”逻辑关系。

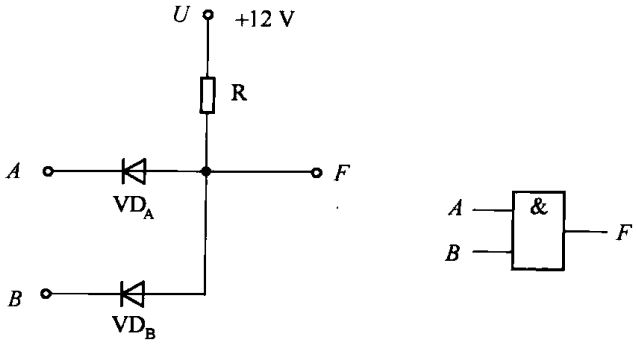
与逻辑的逻辑函数表达式为

$$F = A \times B = A \cdot B = AB \tag{5.2.1}$$

式中，“×”和“·”为“与”逻辑运算符号，可省略。

图 5.2.2(a)是用二极管组成的与门电路，与门电路的逻辑符号如图 5.2.2(b)所示。在该与门电路中，当输入 A,B 中只要有一个为低电平 $U_{IL}=0$ V，或输入 A,B 同时为低电平 0 V 时，则必有一个二极管或两个二极管同时导通，并将输出 F 钳制在低电平 U_{OL} = 0.3 V(储管)；只有当输入 A,B 同时为高电平 $U_{IH}=3$ V 时，VD_A，VD_B 两个二极管才同时导通，输出 F 的电位约为 3.3 V，即高电平 U_{OH}。

在正逻辑约定下，该电路的输入与输出之间的逻辑关系正是表 5.2.1 所列的“与”逻辑关系。所以，该电路称为二极管与门电路。该门电路的输入端可扩展为多个。



(a) 二极管与门电路　　(b) 与门逻辑符号

图 5.2.2　二极管与门电路及其逻辑符号

在门电路的分析中高电平与低电平的具体值是多少伏，对于不同的场合，有不同的规定。在一般情况下规定为：+3 V 左右为高电平；0 V 左右为低电平。

5.2.2　或门电路

或逻辑的含义可以用图 5.2.3 所示的开关电路来说明，图中开关 A，B 及灯 F 的逻辑设定与上节相同。表 5.2.2 列出了开关 A，B 与灯 F 之间可能的组合和结果，此表称为或逻辑关系真值表。逻辑变量 A，B 与逻辑函数 F 之间的因果关系称为“或”逻辑关系，即只要有一个条件满足(闭合)，结果 F 就发生(灯亮)。

或逻辑的逻辑函数表达式为

$$F=A+B \tag{5.2.2}$$

式中，“+”为“或”运算符号。

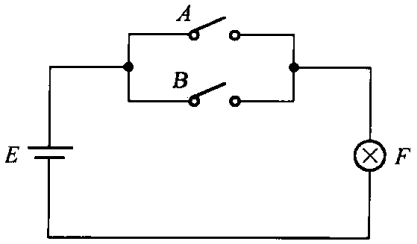


图 5.2.3　或逻辑关系

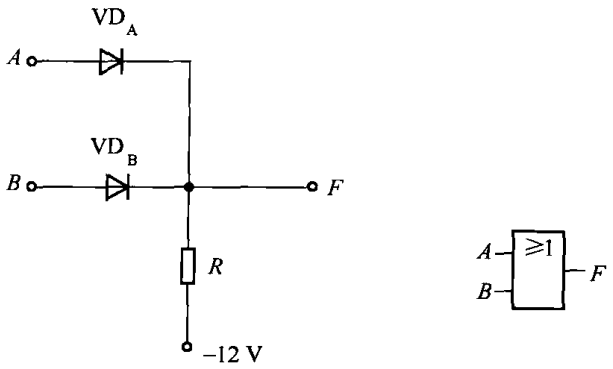
表 5.2.2　或逻辑真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

图5.2.4(a)是用二极管组成的或门电路，或门电路的逻辑符号如图5.2.4(b)所示。当输入 A，B 中只要有一个是高电平 U_{IH} =3 V，或输入 A，B 均为高电平时，则必有一个二极管或两个二极管同时导通，输出 F 的电位约为 2.7 V(锗管)，即高电平 U_{OH}；只有当输入 A，B 同时为低电平 U_{IL}= 0 V 时，两个二极管 VD_A 和 VD_B 都导通，但输出 F 的电位被钳制在 −0.3 V 上，即低电平 U_{OL}。该电路的输入与输出之间的逻辑关系正是表 5.2.2 所列的“或”逻辑关系。所以，该电路称为二极管或门电路。该门电路的输入端也可扩展为多个。

5.2.3　非门电路

非，是指相反的意思。逻辑“非”的含义是：条件 A 满足则结果 F 就不发生，而条件 A 不满足则结果 F 就发生。非逻辑的含义也可用图 5.2.5 所示的开关电路来说明，图中开关 A 和灯 F 的逻辑设定同前面两节的设定相同。表 5.2.3 列出了开关 A 与灯 F 之间的逻辑关系，此表称为“非”逻辑关系真值表。



(a) 二极管或门电路　　(b) 或门逻辑符号

图 5.2.4　二极管或门电路及或门逻辑符号

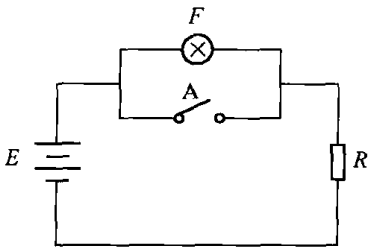


图 5.2.5　非逻辑关系

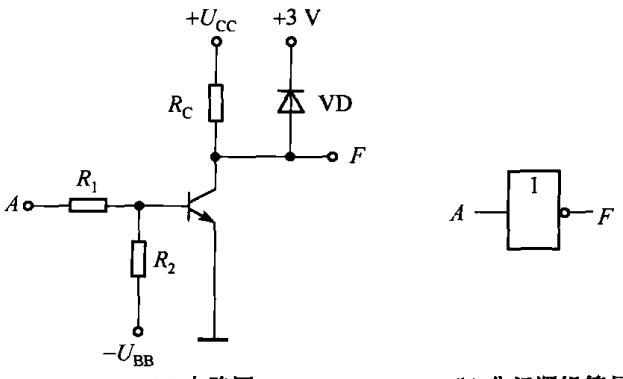
表 5.2.3　非逻辑真值表

A	F
0	1
1	0

非逻辑的逻辑函数表达式为

$$F=\overline{A} \tag{5.2.3}$$

图5.2.6(a)所示为晶体管非门电路(反相器)，图5.2.6(b)所示为非门的逻辑符号。非门电路只有一个输入端 A，当输入 A 为高电平 3 V 时，由于电路设计合理，使得基极电流 $I_B > I_{BS}=\dfrac{U_{CC}}{\beta R_C}$，三极管饱和，集电极输出电压 $U_O=U_{CES}\approx 0.3$ V，即低电平。



(a) 电路图　　(b) 非门逻辑符号

图 5.2.6　晶体管非门电路

当输入 A 为低电平 0.3 V 时，三极管截止，钳位二极管 VD 导通，输出端 F 的电位 V_F=3.3 V，即高电平。

思考题

5.2.1　基本逻辑运算有哪几种？试举出生活中存在的这些逻辑关系的实例。

5.2.2　说明 1 + 1 = 2，1 + 1 = 1，1 + 1 = 10 三个式子的含义及区别。

5.3　集成门电路

5.2 节介绍的与门、或门和非门是最基本的门电路，实际中除了上述基本门电路之外，还经常使用一些具有复合逻辑功能的门电路，如与非门、或非门、与或非门、异或门等。此外，前面介绍的基本门电路都是由分立元件构成的，这种分立元件门电路现已被集成门电路所取代，因为集成门电路具有体积小、功耗小和可靠性高等优点。集成逻辑门电路属于小规模集成电路(Small Scale Integration，SSI)。

集成门电路按所用半导体器件不同，可分为两大类：一类以三极管为基本器件，称为双极型集成电路；另一类以场效应管为基本器件，称为单极型集成电路。

双极型集成电路又分为晶体管-晶体管逻辑门(Transistor-Transistor Logic，TTL)、高阈值逻辑门(High Threshold-Transistor Logic，HTL)、射极耦合逻辑门(Emitter-Coupled Logic，ECL)和集成注入逻辑门(Integrated Injection Logic，I^2L)。

在 TTL 集成门电路中，按其输出形式可分为推拉输出形式的 TTL 门电路、集电极开路输出形式的 TTL 门电路(OC 门)和三态输出形式的 TTL 门电路(TS 门)等；按其速度-功耗积的大小可分为 54/74 系列、54/74H 高速系列、54/74LS 超高速系列(肖特基系列)和 54/74LS 系列(低功耗肖特基系列)。相应的国内型号为 CT1000 系列、CT2000 系列、CT3000 系列和 CT4000 系列。

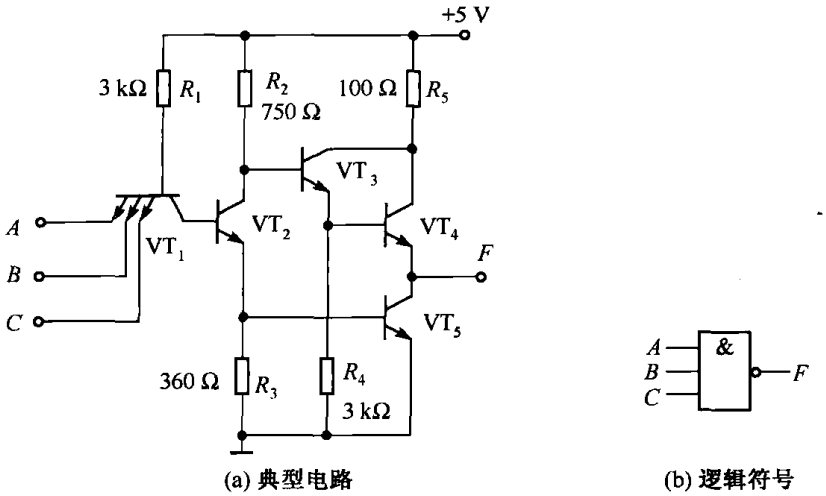
下面先讨论典型的 TTL 门电路——74H 系列与非门电路。

5.3.1　TTL 与非门电路

TTL 集成与非门电路的制造工艺简单，工作性能稳定，带负载能力强，是数字电路中常用的基本元件之一。

1．电路的组成和工作原理

TTL 与非门的典型电路及逻辑符号如图 5.3.1 所示。电路由三级组成。



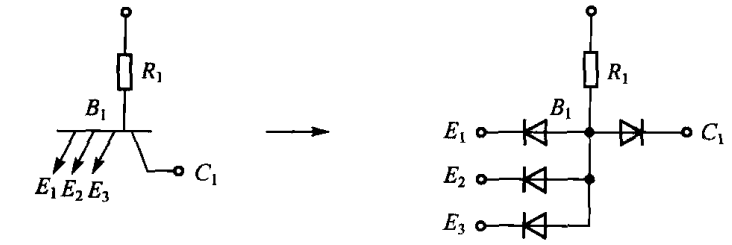
(a) 典型电路　　(b) 逻辑符号

图 5.3.1　TTL 与非门的典型电路及逻辑符号

第 1 级由多发射极三极管 VT_1 和电阻 R_1 组成输入级。多发射极三极管如图 5.3.2(a)所示，图中以 3 个发射极为例。它相当于有 3 个发射结和 1 个集电结，基区共用。将集电结看做 1 个二极管。3 个发射结看做与集电结背靠背的 3 个二极管，如图 5.3.2(b)所示。这样 VT_1 的作用和二极管与门的作用相似。

第 2 级由 VT_2 和电阻 R_2，R_3 组成。它有集电极输出和发射极输出两路输出端，用来同时输出两个相位相反的信号。两路输出分别驱动 VT_3（VT_4）和 VT_5。

第 3 级是推挽输出电路，它由 VT_3，VT_4，VT_5 及电阻 R_4，R_5 组成。VT_3 和 VT_4 组成复合管；VT_4 和 VT_5 构成推挽式输出电路，即其中一个三极管导通，则另一个三极管截止，或反之。推挽方式工作可实现低阻抗输出。



(a) 多发射极三极管　　(b) 等效电路

图 5.3.2　多发射极三极管及等效电路

下面讨论电路的工作原理。

(1) 当任一输入端加低电平 $U_{IL}=0.3$ V 时，相应的发射结导通，VT_1 工作在深度饱和状态，其饱和压降 $U_{CES1}\approx 0.1$ V，故 VT_1 的集电极电位为

$$U_{C1}=U_{B2}=U_{IL}+U_{CES1}=0.3\text{ V}+0.1\text{ V}=0.4\text{ V}$$

所以，VT_2 和 VT_5 均截止。由于 VT_2 截止，在输出端空载时，VT_3 的基极电流 I_{B3} 很小，故可以忽略 R_2 上的压降，则

$$U_{C2}=U_{B3}\approx U_{CC}$$

VT_3 和 VT_4 导通。因此

$$U_O=U_{C2}-U_{BE3}-U_{BE4}\approx 5\text{ V}-0.7\text{ V}-0.7\text{ V}=3.6\text{ V}$$

输出高电平，为“1”状态。在输出端 F 外接同类门负载时，将有电流从输出端 F 流出，称此电流为“拉电流”。由于 VT_3 和 VT_4 以射极输出，输出电阻小，带负载能力强，能快速地对电容性负载充电，提高开关速度。

(2) 全部输入端均为高电平 $U_{IH}=3.6$ V 时，由于 $U_{CC}=5$ V，大于 VT_1 集电结、VT_2 和 VT_5 发射结这三个 PN 结导通所需的电压(2.1 V)，故这三个 PN 结均导通，并使 U_{B1} 电位钳制在 2.1 V，这样 VT_1 的发射结反偏，其集电结正偏，所以 VT_1 处于特殊的倒置工作状态。在制造电路时，将 VT_1 的倒置电流放大系数 β_r 做得很小(一般在 0.2 左右)。电流通过 R_1 和 VT_1 的集电结向 VT_2 提供足够的正向基极电流，使 VT_2 很快饱和导通。VT_2 的发射极电流又为 VT_5 提供了足够的基极电流，VT_5 也很饱和导通，这时有

$$U_O=U_{CES5}\approx 0.3\text{ V}$$

输出低电平，为“0”状态。此时，VT_2 的集电极电位为

$$U_{C2}=U_{BE5}+U_{CES2}\approx 0.7\text{ V}+0.3\text{ V}=1\text{ V}$$

这也是 VT_3 的基极电位，所以 VT_3 处于微导通状态，而 VT_3 的发射极电位为

$$U_{E3}=U_{B4}\approx U_{C2}-U_{BE3}=1\text{ V}-0.7\text{ V}=0.3\text{ V}$$

所以

$$U_{BE4}=U_{B4}-U_O\approx 0.3-0.3=0\text{ V}$$

因此，VT_4 截止。由于 VT_4 截止，故 VT_5 的集电极电流 $I_{C5}\approx 0$ A，而 VT_5 的基极电流足够大，使得 $\beta I_{B5}\gg I_{C5}$，VT_5 处于深度饱和状态，这种集电极电流很小、基极电流较大的深度饱和状态将能够充分发挥 VT_5 的带负载能力。如在电源和输出端之间接入负载，VT_5 的集电极电流由外接负载流入，称此电流为“灌电流”。

由上述分析，可得 TTL 与非门的真值表如表 5.3.1 所示。该真值表可概括为：输入全为“1”时，输出为“0”；输入有“0”时，输出为“1”。

表 5.3.1　TTL 与非门的真值表

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

与非门的逻辑函数表达式为

$$F=\overline{ABC} \tag{5.3.1}$$

2. TTL 与非门电路的特性和参数

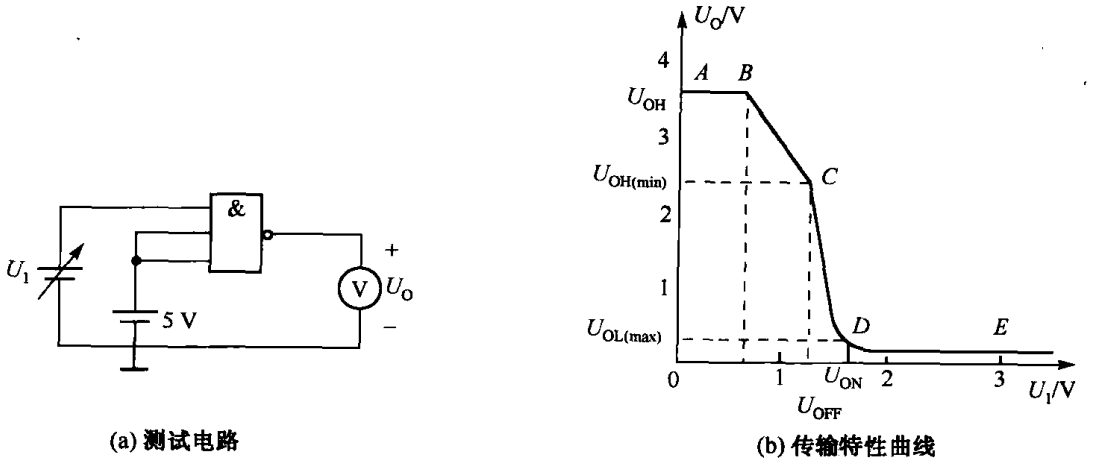
在集成电路的应用中，主要关心的是电路的抗干扰能力、负载能力、功耗和速度。这些特性是通过一些参数表示出来的。表 5.3.2 列出了 74H 系列 TTL 与非门的主要参数指标。

表 5.3.2　TTL 与非门的主要参数指标

参 数 名 称	符 号	单 位	规 范 值	测 试 条 件
输出高电平	U_{OH}	V	≥2.4	$U_{CC}=4.5$ V，$U_{IL}=0.8$ V，$I_{OH}=400\,\mu$A
输出低电平	U_{OL}	V	≤0.4	$U_{CC}=4.5$ V，$U_{IH}=2$ V，$I_{OL}=16$ mA
开门电平	U_{ON}	V	≤2	$U_{CC}=5$ V，$I_{OL}=16$ mA，$U_{OL}=0.4$ V
关门电平	U_{OFF}	V	≥0.8	$U_{CC}=5$ V，$U_{OH}=2.7$ V，输出端空载
输入低电平电流	I_{IL}	mA	≤1.6	$U_{CC}=5.5$ V，$U_{IL}=0.4$ V，输出端空载
输入高电平电流	I_{IH}	μA	≤40	$U_{CC}=5.5$ V，$U_{IH}=2.4$ V，输出端空载
扇出系数	N		≥8	
平均延迟时间	t_{pd}	ns	≤30	$U_{CC}=5$ V，信号频率 $f=2$ MHz

(1) 电压传输特性 $U_O=f(U_I)$

把与非门的某一输入端的电压 U_I 由零逐渐增大，其他输入端接标准高电平 3.6 V 或 5 V。此时，输出电压 U_O 随输入 U_I 变化的曲线称为电压传输特性，如图 5.3.3(b)所示。



(a) 测试电路　　(b) 传输特性曲线

图 5.3.3　TTL 与非门的电压传输特性

电压传输特性可分为4个工作区。

当U_I<0.7 V时，$U_{B1}=U_{BE1}+U_I$<1.4 V，此时VT_2，VT_5截止。而VT_3，VT_4导通，故输出为高电平U_{OH}，约为3.6 V，对应于图5.3.3(b)中的*AB*段。由于在*AB*段中VT_5截止，所以与非门处于截止状态或关门状态。*AB*段称为电压传输特性的截止区。

当0.7≤U_I<1.4 V时，1.4≤U_{B1}<2.1 V，此时VT_5仍截止，VT_2导通，处于放大状态，U_{C2}随U_I的增加而线性下降，由于VT_3，VT_4的射极跟随作用，使U_O也线性下降，如图5.3.3(b)中的*BC*段所示。由于*BC*段中VT_5截止，所以与非门仍处于关门状态。*BC*段称为电压传输特性的线性区。

当U_I≈1.4 V时，U_{B1}=2.1 V，此时VT_2与VT_5趋于饱和导通，VT_4趋于截止，使U_O急剧下降为低电平U_{OL}，约为0.3 V，如图5.3.3(b)中的*CD*段所示。*CD*段称为电压传输特性的转折区。

当U_I>1.4 V以后，由于VT_2，VT_5均已处于饱和导通状态，VT_4处于截止状态，此后虽然U_I继续升高，但U_O几乎不再下降，与非门处于开门状态，输出为低电平U_{OL}，如图5.3.3(b)中的*DE*段所示。*DE*段称为电压传输特性的饱和区。

根据电压传输特性，可以定义TTL与非门的一些重要参数。

① 输出高电平U_{OH}和输出低电平U_{OL}

当输入端有一个或几个低电平时，与非门的输出电压称为输出高电平值，用U_{OH}表示。当输出端空载时，U_{OH}≈3.6 V，带上负载后，输出高电平值会有所下降。在数字电路中，高电平是一个范围值；TTL产品规定U_{OH}≥2.4 V，U_{OH}的下限值$U_{OH(min)}$=2.4 V，U_{OH}的典型值为3.6 V。

当输入端全为高电平时，输出端的电压值称为输出低电平值。输出端空载时，VT_5处于深度饱和状态，输出低电平U_{OL}≈0 V，带上一定的负载后，VT_5饱和程度降低，U_{OL}随之上升。所以输出低电平值也是一个范围值，TTL产品规定U_{OL}≤0.4 V，U_{OL}的上限值为$U_{OL(max)}$=0.4 V，U_{OL}的典型值为0.3 V。

② 关门电平U_{OFF}和开门电平U_{ON}

当U_I为低电平U_{IL}时，输出为高电平U_{OH}，此时与非门为关门状态。当U_I升高时，输出高电平值随之下降。把输出高电平下降到$U_{OH(min)}$时所对应的U_I值称为关门电平U_{OFF}。关门电平是保证输入为逻辑“0”的最大电压值，也称为输入低电平最大值，用$U_{IL(max)}$表示。TTL产品规定U_{OFF}≥0.8 V，在图5.3.3(b)中U_{OFF}约为1.3 V。

当U_I为高电平U_{IH}时；输出为低电平U_{OL}，此时与非门为开门状态。当U_I下降时，输出低电平随之升高。把输出低电平上升到$U_{OL(max)}$时所对应的U_I值称为开门电平U_{ON}。开门电平是保证输入为逻辑“1”的最小电压值，也称为输入高电平最小值，用$U_{IH(min)}$表示。TTL产品规定U_{ON}≤2 V，在图5.3.3(b)中U_{ON}约为1.6 V。

③ 阈值电压U_T

电压传输特性上转折区*CD*段所对应的输入电压值称为TTL与非门的阈值电压，用U_T表示，大约为1.4 V。在对TTL与非门进行粗略分析时，常将U_T作为决定与非门工作状态的关键值，可以粗略认为：当U_I>U_T时，与非门处于开门状态，输出为低电平；当U_I<U_T时，与非门处于关门状态，输出为高电平。

(2) 抗干扰能力

在实际的数字系统中，总是由许多门电路互相连接来完成一定的逻辑功能。前级门的输出是后级门的输入，由于在信号传递过程中不可避免地混有外来干扰电压，所以实际输入到后级门的信号是前级门的输出电压与干扰信号的叠加。在逻辑功能正常的情况下，干扰信号应该不影响后级门输出电

平的大小。在保证逻辑功能正常的情况下，后级门电路的输入端所能容许的最大干扰电压值称为噪声容限，图 5.3.4 反映了门电路的抗干扰能力。

① 输入高电平噪声容限 ΔU_H

由图5.3.3可见，当与非门输入端为高电平 U_{OH}（即前级门的输出高电平值）时，正向干扰对输出端的逻辑状态不会产生影响，但当负向干扰使得该输入端的电平下降到输入高电平最小值 $U_{IH(min)}$ 以下时，就会使输出低电平上升到其最大值 $U_{OL(max)}$ 以上，破坏了该门电路的正常输出逻辑“0”状态，因此输入高电平噪声容限为

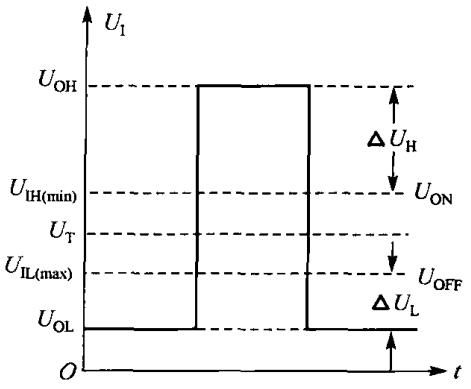


图 5.3.4　TTL 与非门输入端噪声容限

$$\Delta U_H = U_{OH} - U_{IH(min)} = U_{OH} - U_{ON} \tag{5.3.2}$$

在图 5.3.3 (b) 中 $\Delta U_H = 2.4 - 1.6 = 0.8$ V。

② 输入低电平噪声容限 ΔU_L

当与非门输入端为低电平 U_{OL}（即前级门的输出低电平值）时，负向干扰对输出端的逻辑状态不会产生影响。但当正向干扰使该输入端的电平上升到输入低电平最大值 $U_{IL(max)}$ 时，就会使输出高电平下降到其最小值 $U_{OH(min)}$ 以下，破坏了该门电路的正常输出逻辑“1”状态，因此输入低电平噪声容限为

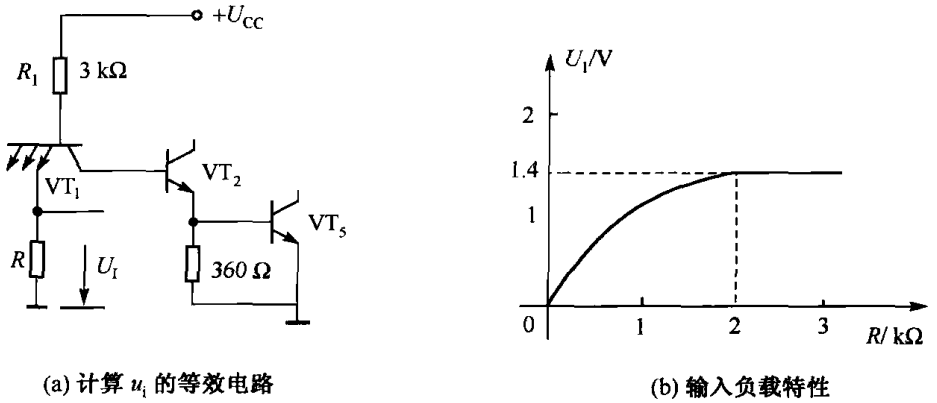
$$\Delta U_L = U_{IL(max)} - U_{OL} = U_{OFF} - U_{OL} \tag{5.3.3}$$

在图 5.3.3 (b) 中 $\Delta U_L = 1.3 - 0.4 = 0.9$ V。

显然，与非门的开门电压 U_{ON} 和关门电压 U_{OFF} 越接近于其阈值电压，电压传输特性越陡，与非门的抗干扰能力越强。

(3) 输入负载特性

实际使用时，有时需将 TTL 与非门的输入端通过一电阻 R 接地，如图 5.3.5 (a) 所示，显然此时 U_I 的大小与外接电阻 R 的大小有关。把输入电压 U_I 与外接电阻 R 的关系曲线称为输入负载特性，如图 5.3.5 (b) 所示。



(a) 计算 u_i 的等效电路　　(b) 输入负载特性

图 5.3.5　输入负载特性及等效计算电路

当 R 较小时，VT_2 和 VT_5 截止，与非门处于关门状态，将有电流流过 R，U_I 的大小可按下式计算：

$$U_I = \frac{R}{R_1 + R}(U_{CC} - U_{BE1}) \tag{5.3.4}$$

因此，随着 R 的增加 U_I 也逐渐增大，但当 U_I 增加到 1.4 V 左右时，VT_2 和 VT_5 逐渐导通，VT_1 的基极电位 U_{B1} 被钳位在 2.1 V，此后 U_I 不再随 R 的增加而上升，式(5.3.4)将不再成立。

① 关门电阻 R_{OFF}

当 R 较小时，U_I 也较小，与非门处于关门状态，输出为高电平。在保证与非门处于关门状态时，所允许的 R 最大值称为关门电阻，用 R_{OFF} 表示。显然当 $R = R_{OFF}$ 时，$U_I = U_{OFF}$。

对于图 5.3.1(a)所示的典型与非门电路，$U_{CC} = 5$ V，$U_{OFF} = 0.8$ V，$R_1 = 3$ kΩ，由式(5.3.4)可得

$$R_{OFF} = \frac{R_1 U_{OFF}}{U_{CC} - U_{BE1} - U_{OFF}} = \frac{3 \times 0.8}{5 - 0.7 - 0.8} \approx 0.7\ \text{k}\Omega$$

② 开门电阻 R_{ON}

当 R 较大时，U_I 已达到 1.4 V，此时与非门处于开门状态，输出为低电平。在保证与非门处于开门状态时，所允许的 R 最小值称为开门电阻，用 R_{ON} 表示。由于此时 VT_2 和 VT_5 导通，式(5.3.4)不再成立，故应通过实验的方法确定 R_{ON} 的值。对于图 5.3.1(a)所示的典型 TTL 与非门电路，$R_{ON} \approx 2$ kΩ。

综上所述，当与非门输入端通过一电阻 R 接地时，若 $R \leqslant 0.7$ kΩ，该端为逻辑“0”状态，若 $R \geqslant 2$ kΩ，该端为逻辑“1”状态，悬空时相当于 $R \to \infty$，可以看做逻辑“1”状态。

(4) 带负载能力

在数字系统中，门电路的输出端一般是与其他门电路的输入端相连的，这就涉及到带负载能力问题。与带负载能力相关的参数有输入低电平电流 I_{IL}、输入高电平电流 I_{IH}、输出低电平电流 I_{OL} 和输出高电平电流 I_{OH}。

① 输入低电平电流 I_{IL}

当与非门的某输入端接低电平 U_{IL}，其余输入端全部接高电平时，从该端流出与非门的电流称为输入低电平电流，用 I_{IL} 表示。对于图 5.3.1(a)所示电路，有

$$I_{IL} = \frac{U_{CC} - U_{BE1} - U_{IL}}{R_1} = \frac{5 - 0.7 - 0.3}{3} = 1.33\ \text{mA}$$

TTL 产品标准规定 $I_{IL} \leqslant 1.6$ mA。在与非门前后相连时，I_{IL} 是流入前级门电路输出端的灌电流。

② 输入高电平电流 I_{IH}

当与非门的某输入端接高电平 I_{IH}，其余输入端全部接地时，从该端流入与非门的漏电流称为输入高电平电流，用 I_{IH} 表示。TTL 产品标准规定 $I_{IH} \leqslant 40\ \mu$A。在与非门前后相连时，I_{IH} 是从前级门流出的拉电流。

③ 输出低电平电流 I_{OL}

当与非门输出为低电平时，VT_4 截止，VT_5 饱和导通，此时有负载电流灌入输出端，这个电流称为输出低电平电流，用 I_{OL} 表示。显然，I_{OL} 就是 VT_5 的集电极电流。若 I_{OL} 过大，就会使 VT_5 脱离饱和区而进入放大区，导致输出低电平值上升。把 U_{OL} 上升到 0.4 V 时所对应的 I_{OL} 值称为最大低电平输出电流，并记为 $I_{OL(max)}$，$I_{OL(max)}$ 的大小反映了 TTL 与非门带灌电流负载能力的强弱。TTL 产品标准规定 $I_{OL(max)} \geqslant 16$ mA。

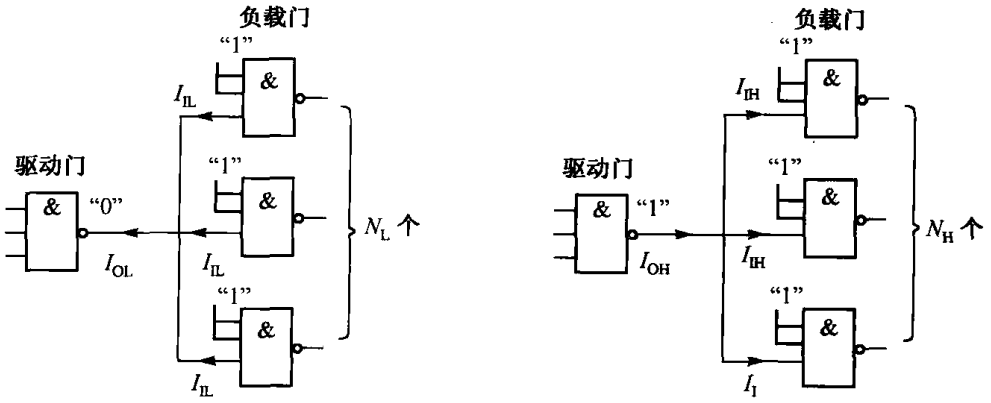
④ 输出高电平电流 I_{OH}

当与非门输出为高电平时，VT_2 和 VT_5 截止，VT_3 和 VT_4 导通，此时有负载电流拉出输出端，

这个电流称为输出高电平电流，用 I_{OH} 表示。显然，I_{OH} 就是 VT_4 的射极电流。若 I_{OH} 过大，则 R_2 中的电流过大，R_2 上压降增大，VT_3 的基极电位和输出高电平 U_{OH} 会随之下降，有可能使 U_{OH} 下降到其下限值 2.4 V。另一方面，由于 VT_4 处于放大状态，当 I_{OH} 过大时，会由于功耗过大而烧坏与非门。对于实际的与非门产品，I_{OH} 主要是受到功耗的限制而有一最大值，用 $I_{OH(max)}$ 表示。TTL 产品标准规定 $I_{OH(max)} \geqslant 400\mu A$。$I_{OH(max)}$ 的大小反映了 TTL 与非门拉电流负载能力的强弱。由于 $I_{OL(max)} \gg I_{OH(max)}$，所以 TTL 与非门的灌电流负载能力远远大于其拉电流负载能力。

⑤ 扇出系数 N

若以同一型号的与非门作为负载，一个与非门能够带动同类与非门的最大数目称为扇出系数，用 N 表示。计算扇出系数的等效电路如图 5.3.6 所示。



(a) 输出低电平时的扇出系数　　(b) 输出高电平时的扇出系数

图 5.3.6　计算扇出系数的等效电路

当驱动门输出为低电平时，N_L 个负载门共有 $N_L I_{IL}$ 电流流入驱动门，形成驱动门的灌电流 I_{OL}，如图 5.3.6(a)所示。在正常情况下，此电流不应超过最大输出低电平电流 $I_{OL(max)}$，因此输出低电平时的扇出系数为

$$N_L = \frac{I_{OL(max)}}{I_{IL}} \tag{5.3.5}$$

当驱动门输出为高电平时，若每个负载门仅有一个输入端与驱动门输出端相连，则 N_H 个负载门将从驱动门拉出的电流为 $N_H I_{IH}$，如图 5.3.6(b)所示。在正常情况下，此电流不应超过最大输出高电平电流 $I_{OH(max)}$，因此输出高电平时的扇出系数为

$$N_H = \frac{I_{OH(max)}}{I_{IH}} \tag{5.3.6}$$

为保证驱动门在输出高低电平时，都能驱动所带负载，扇出系数 N 应取 N_L 与 N_H 中较小者，即

$$N = \min[N_L, N_H] \tag{5.3.7}$$

按照 TTL 产品标准的规范值，可计算得

$$N_L = \frac{I_{OL(max)}}{I_{IL}} = \frac{16}{1.6} = 10$$

$$N_H = \frac{I_{OH(max)}}{I_{IH}} = \frac{400}{40} = 10$$

$$N = \min[N_L, N_H] = 10$$

TTL 产品标准规定 $N \geqslant 8$。

(5) 工作速度——平均传输延迟时间 t_{pd}

在与非门输入端加一个脉冲电压，则输出电压将有一定的时间延迟，如图 5.3.7 所示。从输入脉冲波形上升沿的 50%幅值处到输出波形下降沿的 50%幅值处所经过的时间，称为导通延迟时间(或称为上升延迟时间)，用 t_{PHL} 表示。从输入脉冲波形下降沿的 50%幅值处到输出波形上升沿的 50%幅值处所经过的时间，称为截止延迟时间(或称为下降延迟时间)，用 t_{PLH} 表示。t_{PHL} 与 t_{PLH} 的平均值称为平均传输时间 t_{pd}，则

$$t_{pd} = \frac{1}{2}(t_{PHL} + t_{PLH})$$

t_{pd} 越小，说明与非门的工作速度越快。

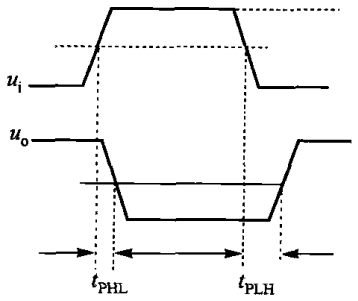


图 5.3.7 传输延迟时间 t_{pd}

3. 门电路多余输入端的处理

TTL 与非门在实际使用时如果有多余的输入端不用，一般不应悬空，以防止外界干扰信号侵入。多余输入端一般有以下几种处理方法：

① 将其经 1～3 kΩ 的电阻接至正电源端；

② 接高电平；

③ 与其他信号输入端并接使用。

或门及或非门的多余输入端应接低电平(或接地)。

与或非门一般有几个与门，使用时若有多余的与门不用，其输入端必须接低电平(或接地)。

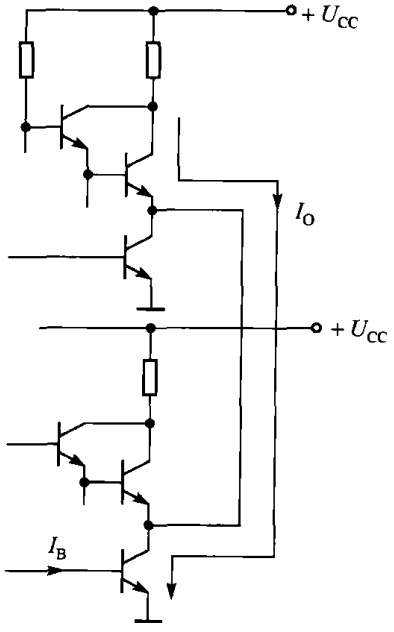


图 5.3.8 推拉式输出 TTL 与非门输出端直接连接

5.3.2 其他类型的 TTL 门电路

1. 集电极开路的 TTL 门电路(OC 门)

在实际应用与非门时，某些场合希望把多个与非门的输出端直接相连到一根线上以实现各与非门输出逻辑相“与”，这称为“线与”逻辑。但是，5.3.1 节所讨论的具有推拉输出级的 TTL 门电路却不允许多个输出端直接相连作“线与”使用。如果将这样的两个门电路的输出端直接并接，如图5.3.8 所示，则当一个门的输出是高电平，而另一个门的输出是低电平时，将有一个很大的电流流过两个门的输出级，其值将远远超过输出级允许的额定值，它使导通门输出的低电平严重提高，破坏电路的逻辑功能，而且将可能烧坏器件。

为了解决这个问题，可以将 TTL 与非门电路的推拉式输出级改为三极管集电极开路输出，这种门电路称为集电极开路 TTL 门，简称为 OC 门(Open Collector Gate)。其电路结构和逻辑符号如图 5.3.9 所示。由图 5.3.9(a)可知，它是将图 5.3.1 所示与非门电路中 VT_3 和 VT_4 复合管去掉，使 VT_5 的集电极开路并作为输出端构成的。

OC 门工作时，其输出端需外接负载电阻和电源。若将 n 个 OC 门的输出端并联后可共用一个集电极负载电阻 R_L 和电源 U_{CC}，如图5.3.10 所示。显然，当 F_1，F_2，…，F_n 都为高电平时，F 才为

高电平；其中有一个 OC 门输出为低电平时，F 就为低电平，实现了“线与”逻辑功能。其逻辑关系为

$$F = F_1\ F_2 \cdots F_n \tag{5.3.8}$$

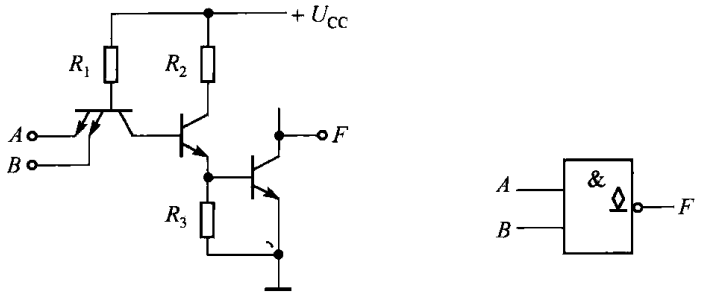


图 5.3.9　集电极开路 TTL 门电路结构和逻辑符号

在图 5.3.10 中，若取 U_{CC} 值大于 5 V，则 OC 门的输出高电平就可大于 TTL 与非门的标准高电平值，根据这一特点，OC 门可用做逻辑电平转换器，驱动有较高输入电平要求的负载门。

与门、或门和非门的输出级也可做成集电极开路的结构，并同样具有可驱动高电压、大电流负载的门电路，这种类型的门电路常称为驱动器。

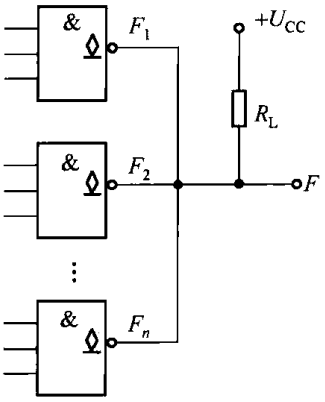


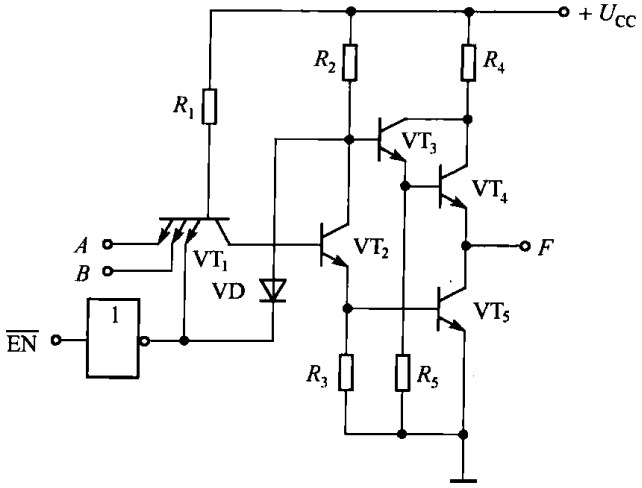
图 5.3.10　OC 门线与电路

2. 三态输出 TTL 与非门电路(TS 门)

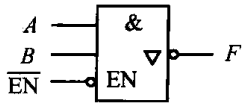
在计算机系统中大量使用总线结构，为了使各逻辑部件在总线上能分时传输信号，即在控制信号作用下，可以在同一根总线上轮流将各逻辑单元的信号进行双向传输。这就要求有三状态输出门电路，简称三态门(Tri-State Logic)，即输出不仅有高电平和低电平两种状态，还有第三种状态——高阻隔离状态。

图 5.3.11(a)所示为低电平有效三态输出 TTL 与非门的电路结构，可以看出，三态门电路实际上是在图 5.3.1 所示与非门电路上加了一个控制使能端 $\overline{EN}$，对整个电路起控制作用。当 $\overline{EN}=0$ 时，二极管 VD 截止，电路处于正常的与非门工作状态，$F=\overline{AB}$；当 $\overline{EN}=1$ 时，使得 $U_{B1} \leqslant 1$ V，则导致 VT_2 和 VT_5 截止，同时，由于二极管 VD 导通，使得 $U_{B3} \leqslant 1$ V，导致 VT_4 也截止，故输出端呈高阻隔离状态。因为控制端 $\overline{EN}=0$ 时，电路为正常的与非门工作状态，故称此电路为低电平有效三态门。若在控制端 $\overline{EN}$ 前加一非门(反相器)，则当控制端为逻辑“1”时，电路为正常的与非门工作状态，故称该电路为高电平有效三态门。这两种三态输出与非门的逻辑符号分别如图 5.3.11(b)和(c)所示。

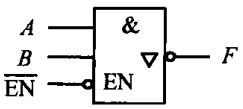
三态门的主要用途是在数字系统中实现总线结构和数据双向传输，如图 5.3.12 和图 5.3.13 所示。在图 5.3.12 所示的数据总线结构中，为了使电路能正常工作，在任何时刻只能使其中一个三态门处于工作状态，而其他门都处于高阻状态，这只要对各三态门采用分时控制的方法，使各三态门的控制端轮流为低电平，而且在任何时刻仅有一个三态门的控制端为低电平，就可以把各个门的输出信号分时传送到总线上。在图 5.3.13 中，当 $\overline{R}/W=1$ 时，三态门 G_1 工作，G_2 为高阻态，I/O 端数据经 G_1 反相后送至总线。当 $\overline{R}/W=0$ 时，G_2 工作，G_1 为高阻态，总线数据经 G_2 反相后输出到 I/O 端，实现了数据双向传输。



(a) 低电平有效三态门电路结构



(b) 低电平有效三态门逻辑符号



(c) 高电平有效三态门逻辑符号

图 5.3.11 三态输出 TTL 与非门结构及逻辑符号

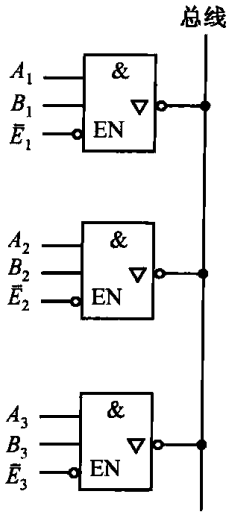


图 5.3.12 三态门实现数据总线

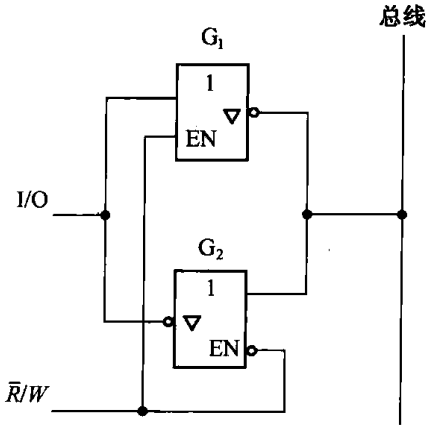


图 5.3.13 三态门实现数据双向传输

3. TTL 门电路的逻辑功能扩展

在实际的门电路产品中，除与非门外，还有与门、或门、或非门、异或门、同或门、与或非门等类型。尽管这些门的逻辑功能各不相同，但它们输入、输出端的电路结构与 TTL 与非门电路完全相同，是在 TTL 与非门的基础上经过改进而得到的。因此，前面介绍的有关参数及性能对这些门也同样适用。

(1) 或非门

或非逻辑是或逻辑和非逻辑的结合，其逻辑符号如图 5.3.14 所示，其逻辑函数表达式为

$$F=\overline{A+B} \tag{5.3.9}$$

或非门的真值表如表 5.3.3 所示。该表可概括为：输入全为“0”时，输出为“1”；输入有“1”时，输出为“0”。

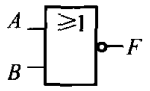


图 5.3.14　或非门逻辑符号

表 5.3.3　或非门真值表

A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

(2) 异或门、同或门

异或门只有两个输入端，其逻辑功能是：当两个输入信号的逻辑状态相同时，输出为逻辑“0”；当两个输入信号的逻辑状态不同时，输出为逻辑“1”。

异或门的逻辑符号如图 5.3.15(a)所示，表 5.3.4 是它的真值表，其逻辑表达式为

$$F=\overline{A}B+A\overline{B}=A\oplus B \tag{5.3.10}$$

式中，⊕ 为异或运算符。



(a) 异或门　　(b) 同或门

图 5.3.15　异或门、同或门逻辑符号

如果在异或门的输出端再接一级非门，则构成同或门。同或门的输出状态与异或门刚好相反，其逻辑功能为：当两输入信号的逻辑状态相同时，输出为“1”；当两输入信号的逻辑状态不同时，输出为“0”。

同或门的逻辑符号如图 5.3..15(b)所示，表 5.3.5 是它的真值表，其逻辑表达式为

$$F=\overline{A}\overline{B}+AB=A\odot B \tag{5.3.11}$$

式中，⊙为同或运算符。

由表 5.3.4 和表 5.3.5 显而易见，异或和同或互为非，即

$$A\oplus B=\overline{A\odot B} \tag{5.3.12}$$

表 5.3.4　异或门真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

表 5.3.5　同或门真值表

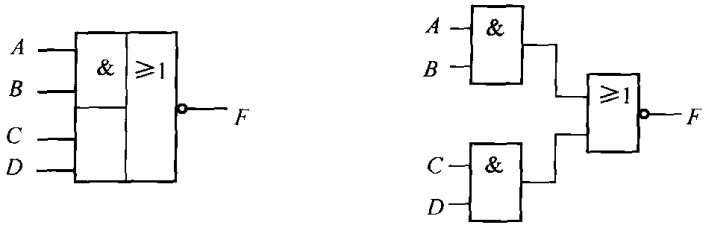
A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

(3) 与或非门

与或非门的逻辑符号如图 5.3.16(a)所示，其等效逻辑图如图 5.3.16(b)所示，其逻辑表达式为

$$F=\overline{AB+CD} \tag{5.3.13}$$

与或非门的逻辑功能为：当 A, B 或 C, D 两组输入中任一组输入全为“1”，输出为“0”；当 A, B 或 C, D 两组输入中均有“0”时，输出为“1”。



(a) 逻辑符号　　(b) 等效逻辑图

图 5.3.16　与或非门的逻辑符号及等效逻辑图

5.3.3　集成 COMS 门电路

MOS 集成电路是由绝缘栅场效应管(MOS)组成的。用 MOS 管作为开关元件的数字逻辑电路称为 MOS 逻辑电路。这种逻辑电路的优点是：制造工艺简单、尺寸小、集成度高(比双极型晶体管电路的集成度高几十倍)、功耗低、输入电阻高(可达$10^9\ \Omega$以上)等；其缺点是：速度较双极型晶体管低。

MOS 逻辑电路可分为如下三类。

(1) PMOS 逻辑电路：工艺简单，但开关速度在三类 MOS 门中最低，故现在较少采用。

(2) NMOS 逻辑电路：由于 NMOS 电路中导电的载流子是电子，故与 PMOS 电路中的空穴载流子相比 NMOS 电路的开关速度高一些，但其制造工艺较 PMOS 复杂一些。目前，在某些逻辑门电路中仍然使用 NMOS 逻辑电路。

(3) CMOS 逻辑电路：它是采用互补的 NMOS 管和 PMOS 管构成的逻辑电路。CMOS 电路较前两类 MOS 电路的突出优点是：静态功耗低，开关速度高(可接近双极型管的 TTL 电路速度)。CMOS 电路产品中主要为 CD4000 系列和高速 CMOS54/74HC 系列。由于 CD4000 系列的工作电压范围很宽(3～18 V)，能和 TTL 电路共用电源，与 TTL 电路连接方便，故为目前使用的最广泛的 MOS 电路。

下面介绍几种采用增强型绝缘栅场效应管组成的小规模集成 CMOS 逻辑门电路。

1．CMOS 反相器(非门)

CMOS 反相器电路如图 5.3.17 所示。驱动管 VT_N 为增强型 NMOS 管，负载管 VT_P 为增强型 PMOS 管，VT_N 和 VT_P 串联并制作在同一块硅片上。两管的栅极相连作为输入端，两管的漏极相连作为输出端，两管连接成互补对称结构。VT_P 的源极接电源正极，VT_N 的源极接地，它们的开启电压分别为 $U_{TP}<0\,V$ 和 $U_{TN}>0\,V$，一般 $U_{TN}=|U_{TP}|$，$U_{DD}\geqslant U_{TN}+|U_{TP}|$。两个 MOS 管的导通电阻 R_{ON1} 和 R_{ON2} 很相近且较小(几 kΩ 左右)，而截止电阻 R_{OFF1} 和 R_{OFF2} 很大(1000 MΩ 以上)。

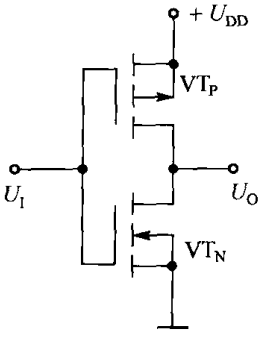


图 5.3.17　CMOS 反相器电路

当输入端为低电平时，$U_I<U_{TN}$，VT_N 截止；对 VT_P 来说，$U_I-U_{DD}\approx -U_{DD}<U_{TP}$，$VT_P$ 导通，因为 $R_{ON}\ll R_{OFF}$，所以，输出电压 $U_O\approx U_{DD}$ 为高电平。

当输入端为高电平时，此时 $U_I\approx U_{DD}$，则 $U_I>U_{TN}$，VT_N 导通；而 $U_{GS2}=U_I-U_{DD}\approx 0>U_{TP}$，故 VT_P 截止。所以，输出端电压 $U_O\approx 0\,V$，为低电平。因此，图 5.3.17 所示的电路实现了反相器即非门的逻辑功能。

由以上分析可以看出，与 TTL 电路相比较，CMOS 电路具有如下特点。

(1) 静态功耗小

无论输入为高电平还是低电平，VT_N 和 VT_P 中总有一个是截止的，所以流过电源的电流仅是截止 MOS 管的泄漏电流(小于μA 级)，因此静态功耗很小，一般小规模 CMOS 的静态功耗可小于 10 nW，而 TTL 电路每门的静态功耗约 10 mW。

(2) 电源电压工作范围大

CMOS 可在电源电压 $U_{DD}=3\sim18$ V 范围内正常工作，若电源电压选为 5 V，其输出电平可以和 TTL 电路兼容，这有利于与 TTL 电路或其他电路连接。

(3) 逻辑摆幅大

由于输出低电平 $U_{OL}=0$ V，输出高电平 $U_{OH}\approx U_{DD}$，因此 CMOS 电路的输出幅度比 TTL 电路大，电源利用率高。

(4) 抗干扰能力强

CMOS 反相器的电压传输特性如图 5.3.18 所示，传输特性上的转折区很陡，其关门电平和开门电平都近似等于 $\frac{1}{2}U_{DD}$，所以低电平噪声容限 U_{NL} 和高电平噪声容限 U_{NH} 都近似等于电源电压 U_{DD} 的一半，且随着电源电压的提高而增加，抗干扰能力远强于 TTL 电路。

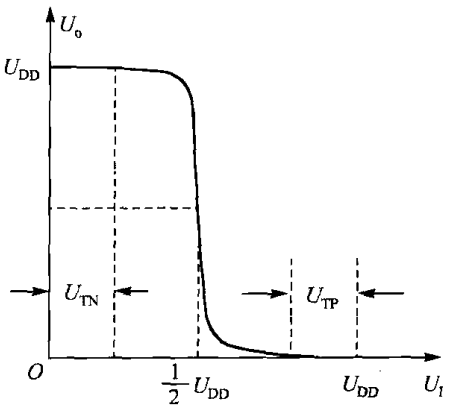


图 5.3.18　CMOS 反相器的电压传输特性

(5) 输出电阻大，带负载能力差，但扇出系数大

由于 MOS 管的等效电阻大于双极型晶体管，所以 CMOS 电路的输出电阻比 TTL 电路大，与此相应，输出带负载能力较差，在 $U_{DD}=5$ V 时，其拉电流和灌电流能力大约只有 0.5 mA。但是，由于 CMOS 电路的输入电流更小，一般为 1 μA 以下，所以仅从静态考虑，CMOS 电路的扇出系数(能带同类 CMOS 门的个数)却很大，可高达 50。

(6) 工作速度较低

造成 CMOS 电路传输延迟的主要因素是负载电容的充电、放电。由于 CMOS 电路的输出电阻大，所以对负载电容的充放电时间常数较大，工作速度较 TTL 电路低。但是，近年来在提高 CMOS 电路的工作速度方面采取了许多新工艺，高速 CMOS 电路 74HC 系列的平均延迟时间已减小到 9 ns，与 74LS(CT4000)系列 TTL 电路相当。

2. CMOS 集成与非门电路及或非门电路

两输入端的 CMOS 与非门电路如图 5.3.19 所示，驱动管 VT_{N1} 和 VT_{N2} 均为增强型 NMOS 管，且串联相接；负载管 VT_{P1} 和 VT_{P2} 均为增强型 PMOS 管，且并联相接。每个输入端分别接一个驱动管和一个负载管的栅极。MOS 管的其他参数及要求均同上述的 CMOS 反相器。

当输入端 A 和 B 均为高电平时，VT_{N1} 和 VT_{N2} 均导通，而 VT_{P1} 和 VT_{P2} 均截止，故输出端为低电平($U_O\approx0$)；当输入端 A 或 B 有任意一个或两个都为低电平时，VT_{N1} 和 VT_{N2} 必有一个或两个截止，而同时 VT_{P1} 和 VT_{P2} 必有一个或两个导通，故输出端为高电平($U_O\approx U_{DD}$)。

该电路能实现 $F=\overline{AB}$ 的与非逻辑功能。

CMOS 与非门由于 VT_{N1} 和 VT_{N2} 是串联的，所以其输出低电平将被抬高(输出低电平时，NMOS

管均是导通的)，当输入端的数目增多时，输出低电平也增高越多，使低电平噪声容限也降低。为了克服这个问题，通常采用 CMOS 或非门电路。

图 5.3.20 为两输入端的 CMOS 或非门电路，与上述的与非门正相反，驱动管 VT_{N1} 和 VT_{N2} (NMOS 管)并联，且栅极分别接输入端，而负载管 VT_{P1} 和 VT_{P2} (PMOS 管)串联，栅极也分别接输入端。

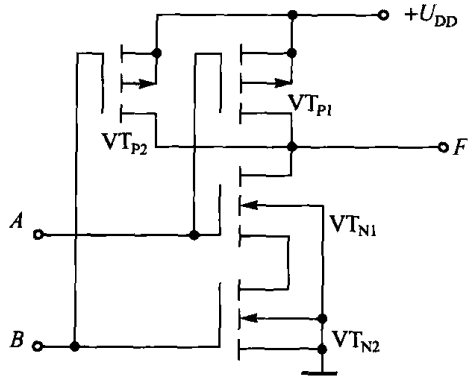


图 5.3.19 CMOS 与非门电路

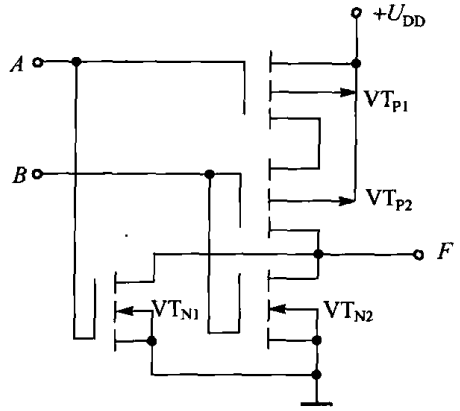


图 5.3.20 CMOS 或非门电路

当输入端 A 和 B 同时为低电平时，并联的 VT_{N1} 和 VT_{N2} 均截止，而串联的 VT_{P1} 和 VT_{P2} 均导通，故输出端为高电平。

当输入端 A 和 B 中有一个或两个为高电平时，并联的 VT_{N1} 和 VT_{N2} 必有一个或两个导通，而串联的 VT_{P1} 和 VT_{P2} 也必有一个或两个截止，故输出为低电平。

该电路能实现 $F=\overline{A+B}$ 的或非逻辑功能。

由于 VT_{N1} 和 VT_{N2} 是并联的，所以输出低电平是不变的，克服了 CMOS 与非门存在的输出低电平抬高的问题。

上面介绍的 CMOS 电路虽然简单，但都存在输出电阻 r_o 受输入端状态影响的缺点，从图 5.3.19 和图 5.3.20 可以看出：当输入端 A，B 的状态在不同组合情况下，VT_{N1} 和 VT_{N2}、VT_{P1} 和 VT_{P2} 的导通和截止状态也都不同，所以输出电阻 r_o 也就不同，其值可相差 4 倍。为了解决这个问题，可以采用带缓冲级的 CMOS 门电路，具体电路可参考其他相关书籍。

MOS 门电路由于其栅极输入电阻极高，所以门电路的多余输入端绝不允许悬空放置。否则静电感应极可能损坏 MOS 电路，一定要按 5.3.1 节中“门电路多余输入端的处理”部分所述的方法处理。

上面两节分别介绍了 TTL 和 MOS 这两种集成门电路。下面将这两种门电路的主要性能指标列出进行比较，如表 5.3.6 所示。

表 5.3.6 TTL 系列与 MOS 系列集成逻辑门性能指标比较

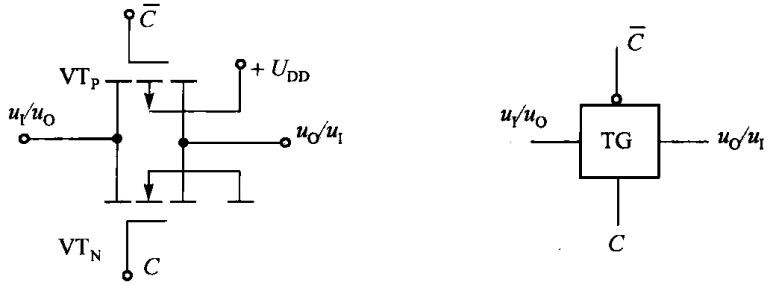
电路种类		电源电压 /V	静态功能 /mW	平均延时 /ns	抗干扰能力	扇出系数	基本门形式
TTL	54/74 系列(CT1000)	+5	15	10	一般	8～10	与非门
	54/74LS 系列 (CT4000)	+5	2	7.5	较强		
CMOS	74HC 系列	+3～18	1×10^{-3}	9	较强	≥50	或非门 与非门
	CD4000 系列(CC4000)	+3～18	5×10^{-3}	45	很强	≥50	或非门 与非门

由表 5.3.6 可以清楚地看出，CMOS 集成门电路比其他类型的门电路在各项性能指标方面有着显著的优点。所以，CMOS 以其极低的功耗特点被广泛地采用在中、大规模集成电路中。

3. CMOS 传输门和模拟开关

CMOS 传输门 TG(Transmission Gate)是利用 NMOS 管和 PMOS 管构成的一种可控开关，它本身无任何逻辑功能，但却是构成 CMOS 逻辑电路的一种基本单元电路。

图 5.3.21 所示为 CMOS 传输门的电路原理和逻辑符号。它由一个 NMOS 管 VT_N 和一个 PMOS 管 VT_P 并联而成。VT_N 和 VT_P 的源极相连作为输入端，VT_N 和 VT_P 的漏极相连作为输出端。两管栅极作为一对控制端，分别接入互为反相的控制信号 C 和 $\overline{C}$ 。



(a) 电路原理　　(b) 逻辑符号

图 5.3.21　CMOS 传输门电路原理和逻辑符号

由于 MOS 管的漏极和源极在结构上完全对称，两者可以互换，因此 CMOS 传输门是双向器件，也称为双向开关。

设定输入信号 u_I 的变化范围为 $0\sim U_{DD}$，VT_P 和 VT_N 的开启电压分别为 U_{TP} 和 U_{TN}。控制信号 C 的低电平为 0 V，高电平为 U_{DD}。当 $C=0$，$\overline{C}=1$ 时，只要输入信号 u_I 在 $0\sim U_{DD}$ 范围内变化，VT_N 和 VT_P 同时截止，输入与输出之间呈现高阻态(大于 $10^9\Omega$)，传输门处于截止状态。

当 $C=1$，$\overline{C}=0$ 时，若输入信号 $0\leqslant u_I\leqslant U_{DD}-U_{TN}$，则 VT_N 导通；若输入信号 $|U_{TP}|\leqslant u_I\leqslant U_{DD}$，则 VT_P 导通。因此，当输入信号在 $0\sim U_{DD}$ 之间变化时，VT_N 和 VT_P 中至少有一个处于导通状态，从而使 u_I 与 u_O 之间呈低阻态(小于 1 kΩ)，传输门处于导通状态。

传输门的一个重要用途是用做模拟开关。图 5.3.22 所示是用传输门和反相器构成的模拟开关。当 $C=1$ 时，开关接通；当 $C=0$ 时，开关断开，可以传输 $0\sim U_{DD}$ 之间的电压。

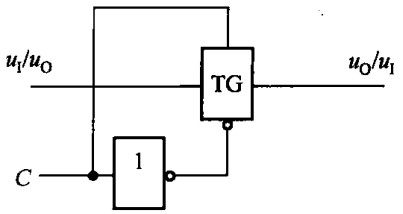


图 5.3.22　传输门和反相器构成的模拟开关

思考题

5.3.1　TTL 与非门有哪些主要参数？它们的意义是什么？

5.3.2　有两个 TTL 与非门，它们的输出高、低电平均相同，而甲门的 $U_{OFF}=0.8$ V，$U_{ON}=1.8$ V，乙门的 $U_{OFF}=1.2$ V，$U_{ON}=1.5$ V，试比较两者性能的优劣，并说明理由。

5.3.3　对 TTL 与非门的多余输入端应如何处理？

5.3.4　用内阻为 100 kΩ 的电压表测量 TTL 与非门某一悬空端的对地电压，在下列情况下，电压表的读数各为多少？

(1) 其余输入端悬空；

(2) 其余输入端接 3.6 V 高电平；

(3) 其余输入端中有一个接地；

(4) 其余输入端通过 51 Ω 电阻接地；

(5) 其余输入端通过 10 kΩ 电阻接地。

5.3.5 什么是开门电阻？什么是关门电阻？它们的取值范围如何？

5.3.6 什么是“线与”？普通与非门能否实现“线与”？什么门能实现“线与”？

5.3.7 三态输出与非门有何特点？能否像 OC 门一样实现“线与”逻辑？它与 OC 门的“线与”有何不同之处？

5.3.8 对 CMOS 门电路的多余输入端能否悬空？为什么？若不能悬空，那么应如何处理？

5.3.9 与 TTL 电路相比较，CMOS 电路有哪些优缺点？

5.3.10 在题 5.3.4 中，若把 TTL 与非门改为 CMOS 与非门，其余条件不变，在题中的各种条件下，电压表的读数又是多少？

5.3.11 CMOS 传输门和模拟开关的控制端应加数字信号还是模拟信号？它们传输的是什么信号？其大小有无限制？

5.3.12 与 TTL 电路相对应，CMOS 电路也有漏极开路(OD)输出门和三态输出门，请画出 CMOS OD 非门和三态门的电路原理图。

5.4 逻辑代数及其应用

5.4.1 逻辑代数的运算规则

逻辑代数也称为布尔代数(Boolean Algebra)，是由英国数学家乔治·布尔(Geroge Boole)在 1848 年首先创立的一套符号及相应的运算规则。它是研究客观事物逻辑关系的符号代数法，被应用于数字电路，成为数字电路分析与逻辑设计的重要数学工具。它和普通代数在概念上是有本质区别的，普通代数变量可取 $-\infty$ 到 $+\infty$ 内的任意值，而逻辑代数的变量只能取“0”和“1”两个值，且这里的“0”和“1”并不表示数量的大小，只表示两种对立的状态，在数字电路中通常表示电位或电平的高与低、信号的有与无、开关的通与断等。逻辑代数与普通代数虽然在运算规则的某些方面有相似之处，但含义却完全不同。

逻辑代数的基本定理和定律可归纳如下。

(1) 0-1 律

$$A+0=A$$
$$A\cdot 0=0$$
$$A+1=1$$
$$A\cdot 1=A$$

(2) 重叠律

$$A+A=A$$
$$A\cdot A=A$$

(3) 互补律

$$A+\overline{A}=1$$
$$A\cdot\overline{A}=0$$

(4) 还原律

$$\overline{\overline{A}}=A$$

(5) 交换律

$$A+B=B+A$$
$$AB=BA$$

(6) 结合律

$$A+(B+C)=(A+B)+C$$
$$A(BC)=(AB)C$$

(7) 分配律

$$A(B+C)=AB+AC$$

(8) 吸收律

$$A+AB=A$$
$$A(A+B)=A$$
$$A(\overline{A}+B)=AB$$
$$A+\overline{A}B=A+B$$

证明：$A+\overline{A}B=A+AB+\overline{A}B=A+B(A+\overline{A})=A+B$

$$(A+B)(A+C)=A+BC$$

证明：$(A+B)(A+C)=AA+AB+AC+BC$

$$=A(1+B+C)+BC$$
$$=A+BC$$

(9) 反演律(摩根定理)

$$\overline{A+B}=\overline{A}\,\overline{B}$$
$$\overline{AB}=\overline{A}+\overline{B}$$

反演律可以用真值表来证明，如表 5.4.1 所示。

表 5.4.1　反演律证明

A	B	$\overline{A}+\overline{B}$	$\overline{AB}$	$\overline{A}\,\overline{B}$	$\overline{A+B}$
0	0	1	1	1	1
0	1	1	1	0	0
1	0	1	1	0	0
1	1	0	0	0	0

在表 5.4.1 中，反演律公式等号两边的表达式对变量 A 和 B 的每一组取值都相等，故可证明反演律成立。

5.4.2　逻辑函数的化简法

1. 逻辑函数的代数化简法

应用逻辑代数可以来分析和设计数字电路，根据逻辑函数式可以构成实际的逻辑电路，但同一个逻辑电路，其逻辑函数的表达式可以有多个，有的简单，有的烦琐。烦琐的逻辑函数表达式将使逻辑电路组成变得复杂、逻辑器件增多。因此在数字电路的设计中，常需要对逻辑函数式进行化简，以便用最少的逻辑器件来实现所需的逻辑功能。

同一个逻辑函数，可以有多种不同的表达式，主要有“与-或”表达式，“或-与”表达式，“与非-与非”表达式和“或非-或非”表达式。例如，

$$
\begin{aligned}
F &= A\bar{B}+\bar{A}B && \text{“与-或”表达式}\\
&=(A+B)(\bar{A}+\bar{B}) && \text{“或-与”表达式}\\
&=\overline{\overline{A\bar{B}}\,\overline{\bar{A}B}} && \text{“与非-与非”表达式}\\
&=\overline{\overline{A+\bar{B}}+\overline{\bar{A}+B}} && \text{“或非-或非”表达式}\\
&=\overline{\bar{A}\bar{B}+AB} && \text{“与-或-非”表达式}
\end{aligned}
$$

对同一逻辑函数可以采用不同的门电路实现。“与-或”表达式和“或-与”表达式需用与门和或门实现，“与非-与非”表达式需用与非门实现，“或非-或非”表达式需用或非门实现，“与-或-非”表达式需用与或非门实现。具体采用哪种器件更好，要视具体条件而定。

通常根据逻辑要求写出的逻辑函数往往是“与-或”表达式，而且任何其他形式的逻辑函数总可以展开为“与-或”表达式。因此，对逻辑函数常采用“与-或”表达式进行化简。

如果一个“与-或”表达式中的与项个数最少，并且每个与项中的变量个数最少，那么该表达式就一定是最简“与-或”表达式。因为与项个数最少意味着实现该逻辑函数时所需与门个数最少，变量个数最少意味着与门的输入端数最少。

逻辑函数式的化简方法有代数法和卡诺图法。首先介绍代数化简法，这种方法是运用逻辑代数中的基本定律，合并乘积项或消去冗余乘积项，以求得最简表达式。常用的代数化简法有下面几种。

(1) 并项法

利用 $AB+A\bar{B}=A$ 将两项并为一项。例如，

$$
\begin{aligned}
F &= A(BC+\bar{B}\bar{C})+A(B\bar{C}+\bar{B}C)\\
&= ABC+A\bar{B}\bar{C}+AB\bar{C}+A\bar{B}C\\
&= AB(C+\bar{C})+A\bar{B}(\bar{C}+C)\\
&= AB+A\bar{B}=A
\end{aligned}
$$

(2) 吸收法

利用 $A+AB=A$ 吸收多余项。例如，

$$F=\bar{A}B+\bar{A}BCD=\bar{A}B$$

(3) 消去法

利用 $A+\bar{A}B=A+B$ 消去多余项。例如，

$$
\begin{aligned}
F &= AB+\bar{A}C+\bar{B}C=AB+(\bar{A}+\bar{B})C\\
&= AB+\overline{AB}C=AB+C
\end{aligned}
$$

(4) 配项法

利用 $A=A+A$，$A+\bar{A}=1$，$A=A(B+\bar{B})$ 等基本公式给某些逻辑函数配上适当的项，再用公式化简以消去更多的项。例如，

$$
\begin{aligned}
F &= AB+\bar{A}\bar{C}+B\bar{C}=AB+\bar{A}\bar{C}+(A+\bar{A})B\bar{C}\\
&= AB+\bar{A}\bar{C}+AB\bar{C}+\bar{A}B\bar{C}\\
&= AB(1+\bar{C})+\bar{A}\bar{C}(1+B)
\end{aligned}
$$

$$=AB+\overline{A}\overline{C}$$

$$F=\overline{A}B\overline{C}+\overline{A}BC+ABC$$

$$=(\overline{A}B\overline{C}+\overline{A}BC)+(\overline{A}BC+ABC)$$

$$=\overline{A}B+BC$$

在实际中，往往需要综合运用上述各种方法，才能求得最简结果。

例 5.4.1　试化简逻辑函数 $F=AB+A\overline{C}+\overline{B}C+B\overline{C}+B\overline{D}+\overline{B}D+ADE(F+G)$。

解：$F=A(B+\overline{C})+\overline{B}C+B\overline{C}+B\overline{D}+\overline{B}D+ADE(F+G)$

$=A\overline{\overline{B}\overline{C}}+\overline{B}C+B\overline{C}+B\overline{D}+\overline{B}D+ADE(F+G)$（利用 $B+\overline{C}=\overline{\overline{B}\overline{C}}$）

$=A+\overline{B}C+B\overline{C}+B\overline{D}+\overline{B}D+ADE(F+G)$（利用 $\overline{B}C+A\overline{\overline{B}\overline{C}}=\overline{B}C+A$）

$=A+\overline{B}C+B\overline{C}+B\overline{D}+\overline{B}D$（利用 $A+ADE(F+G)=A$）

$=A+\overline{B}CD+\overline{B}C\overline{D}+B\overline{C}+B\overline{D}+\overline{B}D$（利用 $\overline{B}C=\overline{B}CD+\overline{B}C\overline{D}$）

$=A+\overline{B}D+\overline{B}C\overline{D}+B\overline{C}+B\overline{D}$（利用 $\overline{B}CD+\overline{B}D=\overline{B}D$）

$=A+\overline{B}D+\overline{B}C\overline{D}+B\overline{C}+BC\overline{D}+B\overline{C}\overline{D}$（利用 $B\overline{D}==BC\overline{D}+B\overline{C}\overline{D}$）

$=A+\overline{B}D+\overline{B}C\overline{D}+BC\overline{D}+B\overline{C}$（利用 $B\overline{C}+B\overline{C}\overline{D}=B\overline{C}$）

$=A+\overline{B}D+C\overline{D}+B\overline{C}$（利用 $\overline{B}C\overline{D}+BC\overline{D}=C\overline{D}$）

2. 逻辑函数的卡诺图化简法

逻辑函数的代数化简法由于没有统一的规范，通常需要个人的经验和技巧。因此，对于较复杂的逻辑函数用代数法化简往往很麻烦，而且化简的逻辑函数是否为最简式有时也不易判断。下面，再介绍一种逻辑函数的表示法，它是由美国工程师卡诺(Karnaugh)在 1953 年首先提出来的，故称为卡诺图法。利用卡诺图化简逻辑函数比较直观方便，容易化为最简形式。因此，该方法在逻辑电路设计中被广泛应用。

1) 两个基本概念

(1) 最小项的概念

最小项是指所有输入变量各种组合的乘积项，这里的输入变量包括原变量和反变量。例如，二变量 A,B 的最小项有 4 项：$\overline{A}\overline{B}$，$\overline{A}B$，$A\overline{B}$ 和 AB。三变量的最小项有 8 项：$\overline{A}\overline{B}\overline{C}$，$\overline{A}\overline{B}C$，$\overline{A}B\overline{C}$，$\overline{A}BC$，$A\overline{B}\overline{C}$，$A\overline{B}C$，$AB\overline{C}$ 和 ABC。以此类推，n 变量的最小项共有 2^n 项。

最小项具有如下性质：

① 每个最小项中，因子个数等于逻辑变量的个数，每个变量都以原变量或反变量的形式作为因子出现一次。

② n 变量的全部最小项相加恒等于 1。不论 n 个变量如何取值，总有一个最小项为 1，因此，相加后恒为 1。

③ 任意两个最小项的乘积恒为 0。n 变量的任意两个最小项相乘，必然至少有一对互补的变量相乘，故乘积为 0。

(2) 逻辑相邻项的概念

如果两个最小项中除一个变量不同外，其他变量都相同，则这两个最小项称为逻辑相邻项，如三变量最小项 ABC 和 $AB\overline{C}$ 互为逻辑相邻项。而最小项 ABC 和 $A\overline{B}\overline{C}$ 则不是逻辑相邻项。

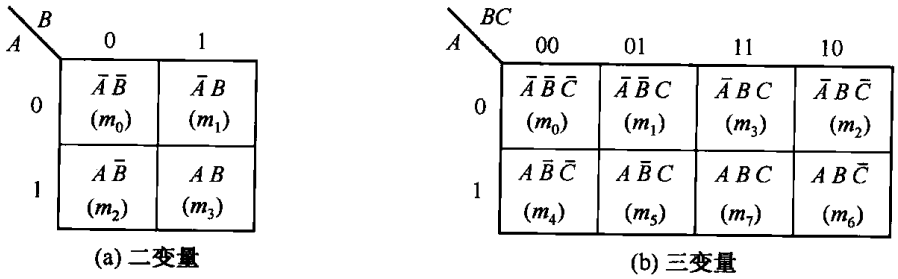
两个逻辑相邻的最小项相加合并时，可以消去不相同的变量，而留下相同的变量。例如，$ABC+AB\overline{C}=AB(C+\overline{C})=AB$。

2) 用卡诺图表示逻辑函数

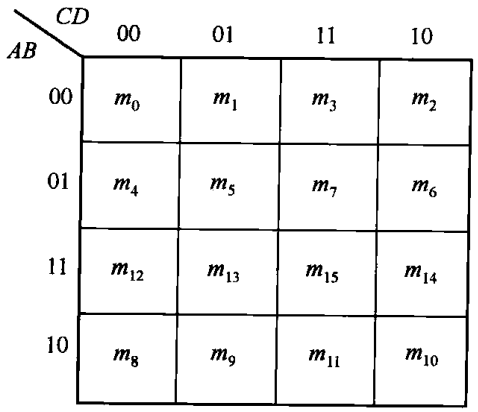
卡诺图是根据真值表按一定的规律画出的一种方块图。它的每一个小方块对应真值表中一种输入变量的组合，因此卡诺图是一种行列化的真值表。

卡诺图一般画成正方形或矩形，卡诺图分割出的小方格数有 2^n 个，n 为变量数。卡诺图将变量分成两组，若是两变量，则 A, B 各为一组；若是三变量，则 A 为一组，BC 为另一组(或 AB 为一组，C 为另一组)；若为四变量，则 AB 一组，CD 一组；…… 然后列出每一组变量的所有可能的取值。取值的原则是：任何两个位置上相邻的方块中，其变量组合之间必须是逻辑相邻项，其中行和列的首尾两端的方块也是逻辑相邻的。

图 5.4.1(a),(b)和(c)所示分别为二变量、三变量和四变量的卡诺图，每个方框中的 m_i 为最小项的编号。编号的方法是：将最小项中的原变量取“1”，反变量取“0”，所得二进制数对应的十进制数即为该最小项的编号，例如 $\bar{A}\bar{B}$, $\bar{A}B$, $A\bar{B}$, AB 对应的二进制数分别为 00, 01, 10, 11，则最小项编号分别为 m_0, m_1, m_2, m_3。



(a) 二变量　　(b) 三变量



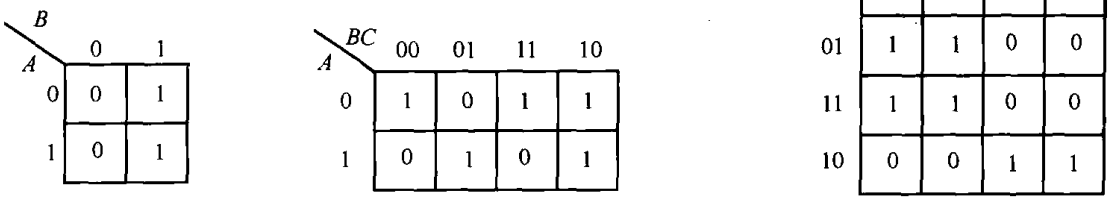
(c) 四变量

图 5.4.1　二变量、三变量、四变量卡诺图

在图 5.4.1(b)所示的三变量卡诺图中，BC 两变量的取值排列顺序与格雷码相同，这样排列的目的是为了使逻辑相邻性与位置相邻性相统一，卡诺图中最左和最右两端的方格也是逻辑相邻的。在图 5.4.1(c)所示的四变量卡诺图中，除了 BC 变量外，AB 变量的取值排列顺序也与格雷码相同，这样最左边四格和最右边四格、最上端四格和最下端四格均是逻辑相邻项。用卡诺图表示逻辑函数的方法是：将该逻辑函数的最小项用“1”填入卡诺图相对应的方块中，其他方块填“0”或空着。

例如，逻辑函数 $F_1 = AB + \bar{A}B$，$F_2 = AB\bar{C} + A\bar{B}C + \bar{A}B\bar{C} + \bar{A}\bar{B}\bar{C} + \bar{A}BC$ 和 $F_3 = \bar{B}CD + B\bar{C} + \bar{A}\bar{C}D + A\bar{B}C$ 所对应的卡诺图分别如图 5.4.2(a),(b)和(c)所示。$F_1 = AB + \bar{A}B$ 是在 m_1 和 m_3 方块中填“1”。为了表达简便，$F_1 = AB + \bar{A}B$ 通常也可用下列形式表达：

$$F(A, B) = m_1 + m_3 = \sum m(1, 3) = \sum (1,3)$$



A \ B	0	1
0	0	1
1	0	1

(a) F_1的卡诺图

A \ BC	00	01	11	10
0	1	0	1	1
1	0	1	0	1

(b) F_2 的卡诺图

AB \ CD	00	01	11	10
00	0	1	1	0
01	1	1	0	0
11	1	1	0	0
10	0	0	1	1

(c) F_3的卡诺图

图 5.4.2　逻辑函数 F 的卡诺图

同样，$F_2 = AB\bar{C} + A\bar{B}C + \bar{A}BC + \bar{A}\bar{B}\bar{C} + \bar{A}BC$ 可表示为

$$F_2(A, B, C) = m_0 + m_2 + m_3 + m_5 + m_6 = \sum(0, 2, 3, 5, 6)$$

值得注意的是，在 $F_3 = \bar{B}CD + B\bar{C} + \bar{A}\bar{C}D + A\bar{B}C$ 这个逻辑函数表达式中，并非是以最小项形式表示的，如用最小项表示，则第一项 $\bar{B}CD$ 可写成 $(A + \bar{A})\bar{B}CD = A\bar{B}CD + \bar{A}\bar{B}CD$，而第二项的 $B\bar{C}$ 可写成 $(A + \bar{A})(D + \bar{D})B\bar{C} = AB\bar{C}D + AB\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}B\bar{C}\bar{D}$，因此该逻辑函数可表示为

$$\begin{aligned} F_3(A, B, C, D) &= m_1 + m_3 + m_4 + m_5 + m_{10} + m_{11} + m_{12} + m_{13} \\ &= \sum(1, 3, 4, 5, 10, 11, 12, 13) \end{aligned}$$

卡诺图随着变量数的增加会变得复杂起来，此时不仅作图麻烦，而且用位置相邻性表示逻辑相邻性将发生困难，不易判断最小项的相邻性，所以一般五变量以上的逻辑函数不宜用卡诺图表示。

3）用卡诺图化简逻辑函数

研究卡诺图的目的是为了利用卡诺图来化简逻辑函数，逻辑函数越简化，则实现逻辑电路所用的逻辑器件就越少。

卡诺图化简逻辑函数的方法是合并最小项，因为任意两个相邻的最小项都可以用互补律消去一个变量。

卡诺图化简逻辑函数的步骤是

(1) 画出逻辑函数的卡诺图；

(2) 根据最小项合并规律圈住全部“1”方格。

最小项的合并规律是

① 两个相邻项可合并为一项，消去一个相异变量，保留相同变量。

② 四个相邻项可合并为一项，消去两个相异变量，保留相同变量。

③ 八个相邻项可合并为一项，消去三个相异变量，保留相同变量。

按上述规律，可知 2^i（$i = 0, 1, 2, \cdots$）个最小相邻项可合并，而不满足 2^i 关系的最小项不可合并。

(3) 将全部卡诺圈的结果相“或”，则为化简的逻辑函数。

例 5.4.2　用卡诺图化简逻辑函数式 $F = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$。

解：该逻辑函数可写成

$$F(A, B, C) = \sum(3, 5, 6, 7)$$

其对应的卡诺图如图 5.4.3 所示，将相邻两个“1”圈成一个卡诺圈，则可圈出 3 个卡诺圈，各个圈中

可消去一个变量，再将每个圈的乘积项进行逻辑“或”，则可得到简化的逻辑函数式为

$$F=AB+AC+BC$$

例 5.4.3 用卡诺图化简逻辑函数 $F(A,B,C)=\sum(0,1,3,4)$。

解：该逻辑函数对应的卡诺图如图 5.4.4 所示。如圈出 3 个卡诺圈，化简的结果为

$$F=\overline{A}\overline{B}+\overline{A}C+\overline{B}C$$

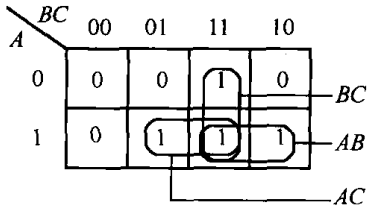


图 5.4.3 例 5.4.2 的卡诺图

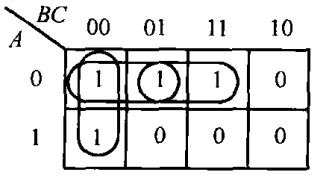


图 5.4.4 例 5.4.3 的卡诺图

这个化简式子不是最简式，因为 $F=\overline{A}\overline{B}+\overline{A}C+\overline{B}\overline{C}=\overline{A}\overline{B}(C+\overline{C})+\overline{A}C+\overline{B}\overline{C}=\overline{A}\overline{B}C+\overline{A}\overline{B}\overline{C}+\overline{A}C+\overline{B}\overline{C}=\overline{A}C(1+\overline{B})+\overline{B}\overline{C}(1+\overline{A})=\overline{A}C+\overline{B}\overline{C}$，显然 $\overline{A}\overline{B}$ 是多余项。出现这一问题的原因是已圈过 m_0，m_4 项和 m_1，m_3 项后，又圈了 m_0，m_1 项，该圈对应的 $\overline{A}\overline{B}$ 项即为多余项。

由此可知，最小项可以被多个圈圈住，但每个圈至少应有一个没有被其他圈圈过的最小项，否则化简的结果将不是最简式。此外，圈的个数应尽可能少，圈的面积应尽可能大，这样才能找出最佳圈法，得到最简与或逻辑函数式。

例 5.4.4 用卡诺图化简逻辑函数式 $F=\overline{A}\overline{B}\overline{D}+B\overline{C}D+BC+C\overline{D}+\overline{B}\overline{C}\overline{D}$。

解：画出该逻辑函数的卡诺图如图 5.4.5 所示。

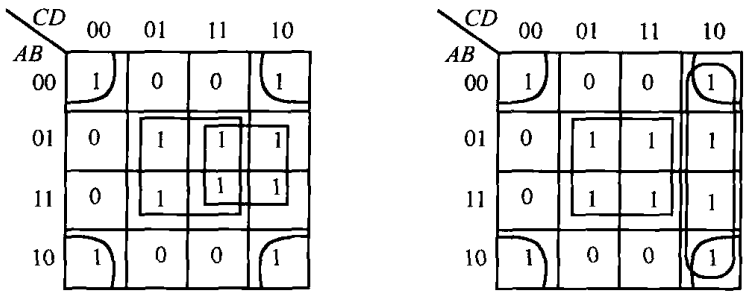


图 5.4.5 例 5.4.4 的卡诺图

根据画卡诺圈的方法画出卡诺圈如图 5.4.5(a)和(b)所示。按图 5.4.5(a)所示的圈法，可写出化简后的逻辑函数为

$$F=\overline{B}\overline{D}+BD+BC$$

按图 5.4.5(b)所示的圈法，可写出化简后的逻辑函数为

$$F=\overline{B}\overline{D}+BD+C\overline{D}$$

此例说明，有时逻辑函数的最简表达式不是唯一的。在此情况下，只需求出任一种最简表达式作为化简结果即可。

此外，还可以利用无关项化简逻辑函数式。在某些逻辑函数中，变量的某些组合是不会出现的，或函数在变量的某些组合时，其值是任意的，这样的变量取值组合称为无关项或任意项。例如 8421BCD

码用 4 个变量表示，共有 16 种组合，但其中的后 6 种组合是不出现的，这 6 种组合便是无关项。无关项的取值无论是“1”还是“0”，对函数值都无影响，在卡诺图对应的方格中可用“×”或“ϕ”表示。合理地利用某些无关项，常可给逻辑函数化简带来方便，进一步简化逻辑函数。

例 5.4.5　有一个 4 变量输入的逻辑电路，4 个输入变量 A, B, C, D 是十进制数 X 的二进制编码。当 $X \leqslant 4$ 时，逻辑电路输出 $F=0$，当 $X \geqslant 5$ 时，$F=1$，求逻辑函数 F 的最简“与-或”表达式。

解：根据题意，可列出如表 5.4.2 所示的真值表。其中，$X \geqslant 10$ 的 6 种组合是不会出现的无关项，其对应的 F 为任意值。相应的卡诺图如图 5.4.6 所示。其中图 5.4.6(a)所示为不利用无关项的卡诺圈，图 5.4.6(b)所示为利用无关项的卡诺图。按图 5.4.6(a)得到的逻辑函数式为

$$F=\overline{A}BD+\overline{A}BC+A\overline{B}\overline{C}$$

按图 5.4.6(b)得到的逻辑函数式为

$$F=A+BC+BD$$

显然，利用无关项所得到的逻辑函数式更简单一些。

表 5.4.2　例 5.4.5 的真值表

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0.
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	×
1	0	1	1	×
1	1	0	0	×
1	1	0	1	×
1	1	1	0	×
1	1	1	1	×

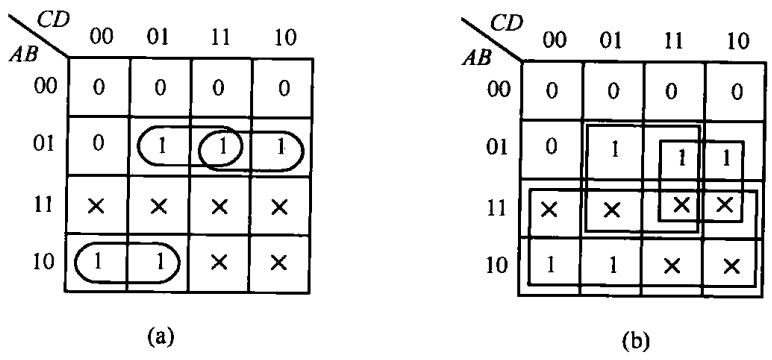


图 5.4.6　例 5.4.5 的卡诺图

思考题

5.4.1 逻辑代数和普通代数有何不同之处?

5.4.2 逻辑函数有几种表示方法?它们之间如何转换?

5.4.3 化简逻辑表达式的意义何在?最简“与-或”表达式的条件是什么?

5.4.4 用代数法化简逻辑函数有哪些方法?

5.4.5 什么是逻辑函数的最小项?它有什么特点?如何把逻辑函数写成最小项表达式?

5.4.6 什么是卡诺图?卡诺图上变量的取值顺序是如何排列的?

5.4.7 什么是逻辑相邻项?什么是位置相邻项?四变量有哪几个逻辑相邻项?

5.4.8 卡诺图化简逻辑函数的依据是什么?在卡诺图上画圈的原则是什么?

5.4.9 什么是无关项?用卡诺图化简逻辑函数时如何处理无关项?

5.5 组合逻辑电路的分析和设计

5.5.1 组合逻辑电路的分析

组合逻辑电路的分析,就是利用逻辑代数求得给定逻辑电路的输出和输入之间的函数关系,从而确定电路逻辑功能的过程。

组合逻辑电路的分析步骤通常如下:

(1) 根据给定的逻辑电路写出输入与输出之间的逻辑函数式;

(2) 将逻辑函数式化简;

(3) 根据最简逻辑表达式列出真值表;

(4) 根据真值表总结电路的逻辑功能。

例 5.5.1 分析图 5.5.1 所示的组合逻辑电路的功能。

解: 由逻辑电路图写出输出端的逻辑函数表达式,并化简可得

$$\begin{aligned} F &= \overline{\overline{A\overline{AB}}\,\overline{B\overline{AB}}} \\ &= A\overline{A\overline{B}} + B\overline{A\overline{B}} \\ &= A(\overline{A}+\overline{B}) + B(\overline{A}+\overline{B}) \\ &= A\overline{B} + \overline{A}B \end{aligned}$$

根据函数式,列出真值表如表 5.5.1 所示。

由表 5.5.1 可知,当 A 和 B 同为“1”或同为“0”时,输出为“0”;当 A 和 B 的状态不同时,输出为“1”。这种逻辑关系就是 5.3.2 节中介绍的异或门逻辑关系。故此电路为一个异或门电路。

例 5.5.2 试分析如图 5.5.2 所示逻辑电路的逻辑功能。

解: 由逻辑图写出输出端的逻辑函数式,并化简可得

$$\begin{aligned} F &= \overline{\overline{ABCA}\,\overline{ABCB}\,\overline{ABCC}} \\ &= \overline{ABCA} + \overline{ABCB} + \overline{ABCC} \\ &= \overline{ABC}(A+B+C) \\ &= \overline{ABC}\,\overline{\overline{A}\,\overline{B}\,\overline{C}} \\ &= \overline{ABC + \overline{A}\,\overline{B}\,\overline{C}} \end{aligned}$$

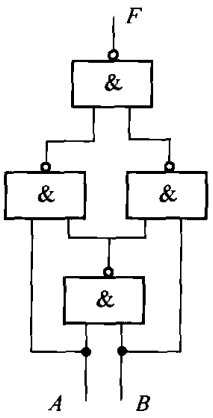


图 5.5.1　例 5.5.1 的逻辑电路

表 5.5.1　例 5.5.1 的真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

根据逻辑函数式，列出真值表如表 5.5.2 所示。

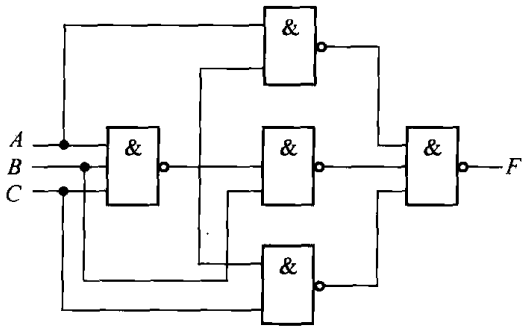


图 5.5.2　例 5.5.2 的逻辑电路

表 5.5.2　例 5.5.2 的真值表

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

由表 5.5.2 可知，当 3 个输入端的逻辑状态一致时，输出为“0”；当 3 个输入端的逻辑状态不一致时，输出为“1”。因此该电路称为“不一致判别电路”，可用来判断输入端的逻辑状态是否一致。

5.5.2　组合逻辑电路的设计

组合逻辑电路的设计与组合逻辑电路的分析正好相反。它是从给定的逻辑功能要求出发，设计出能完成该逻辑功能的逻辑电路。

组合逻辑电路的设计步骤通常如下：

(1) 根据逻辑功能的要求列出真值表；

(2) 由真值表写出逻辑函数表达式；

(3) 化简或变换逻辑函数表达式，得出与准备采用的逻辑门电路相对应的最简逻辑函数式；

(4) 根据最简表达式画出逻辑电路图。

例 5.5.3　设计一个三变量的表决电路。当两个或两个以上变量的输入为“1”时，输出才为“1”，否则输出为“0”。

表 5.5.3　例 5.5.3 的真值表

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

解：根据给定的逻辑功能要求列出真值表，如表5.5.3 所示。通常，表中须列出包括所有输入变量全部可能的组合及相对应的输出。若输入有 n 个变量，则有 2^n 种组合。

由真值表写出逻辑函数表达式。写逻辑函数表达式一般采用“积和法”，即先取使输出 F 为“1”所对应的那些输入变量的逻辑积，然后再把各项逻辑积加起来。其中，在每项逻辑积中，若输入变量逻辑值为“1”，则取该变量原形；若输入变量逻辑值为“0”，则取该变量的“非”形式。

根据上述“积和法”，可写出 F 的逻辑函数式为

$$F=\bar{A}BC+A\bar{B}C+AB\bar{C}+ABC$$

运用逻辑代数进行化简为

$$\begin{aligned}F=&\ \bar{A}BC+ABC+A\bar{B}C+ABC+AB\bar{C}+ABC\\&=BC(\bar{A}+A)+AC(\bar{B}+B)+AB(\bar{C}+C)\\&=AB+BC+AC\end{aligned}$$

根据逻辑表达式，可画出逻辑电路如图 5.5.3(a)所示。若要求用与非门实现该逻辑电路，则可采用摩根定理变换逻辑表达式为

$$F=AB+BC+AC=\overline{\overline{AB}\,\overline{BC}\,\overline{AC}}$$

所对应的逻辑电路如图 5.5.3(b)所示。

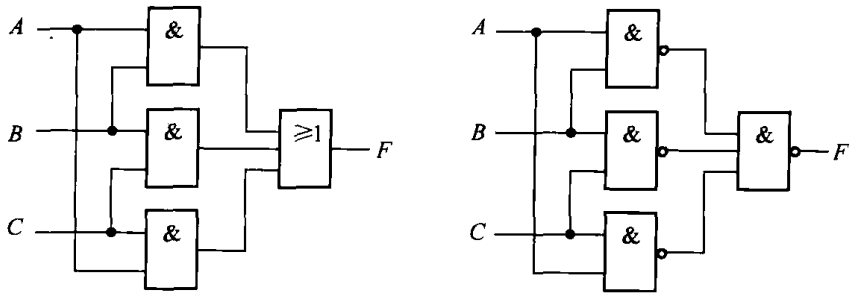


图 5.5.3 例 5.5.3 的逻辑电路

例 5.5.4 设计一个能判别三位二进制数中“1”的个数为奇数的奇偶校验电路。若“1”的个数为奇数时，输出 F 为“1”。

解：根据逻辑功能要求列出真值表，如表 5.5.4 所示。用“积和法”写出逻辑函数表达式为

$$\begin{aligned}F&=\bar{A}\bar{B}C+\bar{A}B\bar{C}+A\bar{B}\bar{C}+ABC\\&=(\bar{A}\bar{B}+AB)C+(\bar{A}B+A\bar{B})\bar{C}\\&=\overline{(\bar{A}B+A\bar{B})}\,C+(A\oplus B)\bar{C}\\&=A\oplus B\oplus C\end{aligned}$$

通过上述化简过程可得出采用两个“异或”门便能组成奇偶校验电路，如图 5.5.4 所示。用这一方法也可设计出判别偶数的奇偶校验电路。

表 5.5.4 例 5.5.4 的真值表

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

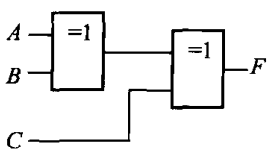


图 5.5.4 例 5.5.4 的逻辑电路

奇偶校验电路多用于数字电路和计算机输入部分的电路中，以检查输入的二进制数码是否有错。

上面介绍的逻辑电路设计方法，是采用逻辑器件或部件连接成具有确定功能的逻辑电路或逻辑系统，这种方法也称为硬接线逻辑方式。随着计算机技术的发展，出现了一种新的逻辑电路设计方法，即通过编写程序实现所需的逻辑功能，这种方法称为程序逻辑方式。

思考题

5.5.1　什么是组合逻辑电路？它有什么特点？对组合逻辑电路如何进行分析？

5.5.2　组合逻辑电路的设计步骤有哪些？在由真值表写出逻辑函数式时，能否根据逻辑值为“0”的变量组合写出逻辑式？

5.5.3　如何得到一个逻辑函数的最简“与非-与非”式和最简“或非-或非”式。

5.6　典型的集成组合逻辑电路

5.6.1　加法器

在计算机等数字系统中，加、减、乘、除等运算都分解为加法运算。所以，加法运算电路的基本单元——半加器和全加器是计算机的核心单元。

1．半加器(Half Adder)

所谓半加，是指只有两个 1 位二进制数相加，而无低位来的进位数。其真值表如表5.6.1所示，表中的 A_i 和 B_i 是两个相加的二进制数，S_i 是本位半加和(Sum)，C_i 是向高位的进位(Carry)。由表 5.6.1 可以写出本位和 S_i 和进位数 C_i 的函数表达式为

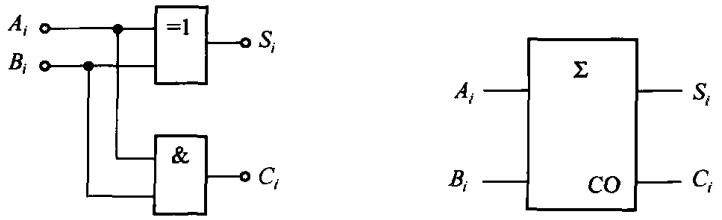
表 5.6.1　半加器真值表

A_i	B_i	S_i	C_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S_i = \overline{A}_i B_i + A_i \overline{B}_i = A_i \oplus B_i \tag{5.6.1}$$

$$C_i = A_i B_i \tag{5.6.2}$$

由上面的函数式可知，S_i 是 A_i 和 B_i 异或的结果，可用一个异或门来实现；C_i 是 A_i 和 B_i 相与的结果，可用一个与门实现。半加器的逻辑电路如图 5.6.1(a)所示，图 5.6.1(b)所示为半加器的逻辑符号。



(a) 逻辑电路　　(b) 逻辑符号

图 5.6.1　半加器逻辑电路和逻辑符号

2．全加器(Full Adder)

所谓全加器，是指其输入不仅有 2 个 1 位二进制数，还需考虑低位送来的进位。其真值表如表 5.6.2 所示，表中的 A_i 和 B_i 是 2 个相加的二进制数，C_{i-1} 是低位送来的进位数；S_i 是本位的全加和；C_i 是向高位的进位信号。

由表 5.6.2 可写出 S_i 和 C_i 的函数表达式为

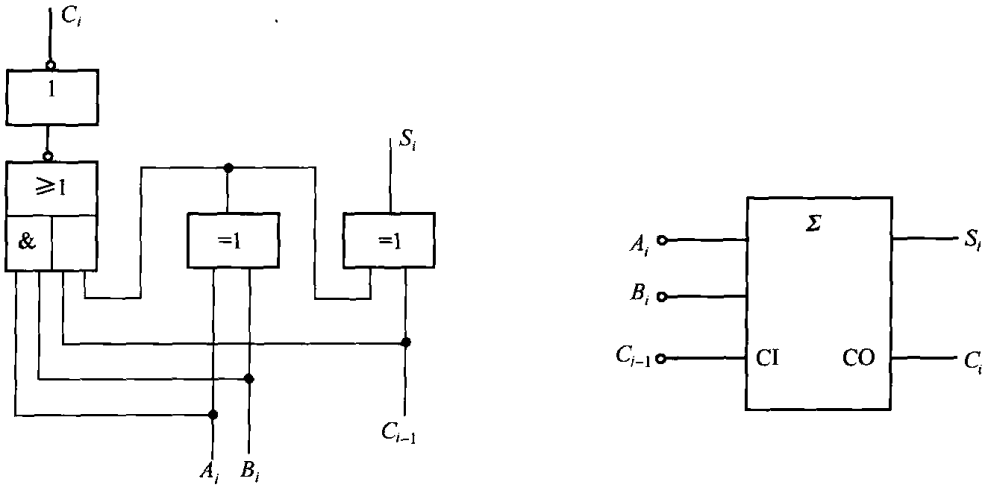
表 5.6.2　全加器真值表

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$\begin{aligned} S_i &= \bar{A}_i\bar{B}_iC_{i-1} + \bar{A}_iB_i\bar{C}_{i-1} + A_i\bar{B}_i\bar{C}_{i-1} + A_iB_iC_{i-1} \\ &= (\bar{A}_iB_i + A_i\bar{B}_i)\bar{C}_{i-1} + (A_iB_i + \bar{A}_i\bar{B}_i)C_{i-1} \\ &= (A_i \oplus B_i)\bar{C}_{i-1} + \overline{(A_i \oplus B_i)}\,\bar{C}_{i-1} \\ &= A_i \oplus B_i \oplus C_{i-1} \end{aligned} \tag{5.6.3}$$

$$\begin{aligned} C_i &= \bar{A}_iB_iC_{i-1} + A_i\bar{B}_iC_{i-1} + A_iB_i\bar{C}_{i-1} + A_iB_iC_{i-1} \\ &= (\bar{A}_iB_i + A_i\bar{B}_i)C_{i-1} + A_iB_i \\ &= (A_i \oplus B_i)C_{i-1} + A_iB_i \end{aligned} \tag{5.6.4}$$

由表 5.6.2 和式(5.6.3)可知，S_i 也就是例5.5.4 中所介绍的判别奇数的奇偶校验电路的输出。全加器的逻辑电路如图 5.6.2(a)所示；图 5.6.2(b)所示为全加器的逻辑符号。



(a) 逻辑电路　　(b) 逻辑符号

图 5.6.2　全加器逻辑电路和逻辑符号

多位二进制数相加可采用全加器级联的方法实现，即把低位的进位输出接到相邻高位的进位输入端。例如两个 4 位二进制数 $A(=A_3A_2A_1A_0)$ 和 $B(=B_3B_2B_1B_0)$ 相加的电路如图 5.6.3 所示。

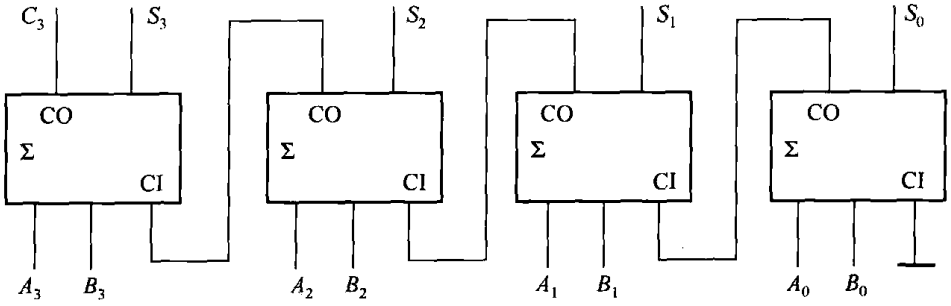


图 5.6.3　4 位二进制数全加器

由图 5.6.3 可见，高位相加的结果只有等低位进位产生之后才能稳定，因此这种结构的加法器称为串行进位加法器。它的缺点是运算速度慢，但其结构简单，在运算速度要求不高的场合仍得到应用。中规模集成加法器 7483 的内部结构如图 5.6.3 所示。如要求运算速度较高，可采用超前进位加法器，如中规模集成加法器 74LS283 等。

例 5.6.1　用集成 4 位全加器 7483 设计一个逻辑电路，把余 3 码转换为 8421BCD 码。

解：由表 5.1.1 可知，余 3 码比对应的 8421 码大 3，因此输入余 3 码 DCBA 加 3 的补码 1100 + 1(3 的反码+1)，输出就是 BCD 码 $Y_3Y_2Y_1Y_0$，其逻辑电路如图 5.6.4 所示。

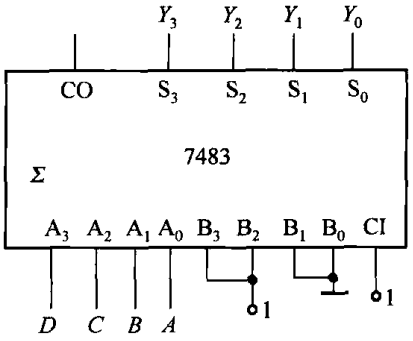


图 5.6.4　例 5.6.1 的逻辑电路

5.6.2　编码器

在二进制数字系统中，每一位二进制数只有 1 和 0 两个数码，只能表达两个不同的信息。若要用二进制数码表示更多的信息，例如计算机键盘的数字、字母、符号等，则需要用若干位二进制数的组合来分别代表这些信息。将二进制数按一定规律编排为不同的组合代码并赋予每个代码确定的含义，称为编码，用来完成编码工作的逻辑电路称为编码器(Encoder)。

同一代码在不同的编码中可以赋予不同的含义。一般的编码器有 n 个输入端和 m 个输出端，它们之间应满足 $n \leqslant 2^m$ 关系。在 n 个输入端中，每次只能有 1 个信号输入，每一组输入只对应一个 m 位二进制代码的输出。

1．二进制编码器

二进制编码器是将特定信息编码为二进制代码的逻辑电路，常用的有 8 线-3 线、16 线-4 线编码器等。下面以 8 线-3 线编码器为例来介绍二进制编码器。

8 线-3 线二进制编码器有 $I_0, I_1, I_2, \cdots, I_7$ 共 8 个输入信息，每位二进制数可以表示 2 个信息。为了区分 8 个信息，8 线-3 线编码器应有 3 位二进制数输出，用 C, B, A 表示。采用 3 位二进制数表示 8 个输入信息的方法很多，可人为规定，表 5.6.3 所示为其中的一种方案。

表 5.6.3　3 位二进制编码器真值表

输　入								输　出		
I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	C	B	A
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

表 5.6.3 中 $I_0, I_1, \cdots, I_7$ 表示 8 个输入逻辑信号。当 I_0 为“1”，其余输入为“0”时，输出二进制代码为 000，当 I_1 为“1”时，输出为 001；…，当 I_7 为“1”时，输出为 111。

根据表 5.6.3 可以写出 3 位输出的逻辑函数分别为

$$\begin{aligned} A &= I_1 + I_3 + I_5 + I_7 = \overline{\overline{I}_1 \overline{I}_3 \overline{I}_5 \overline{I}_7} \\ B &= I_2 + I_3 + I_6 + I_7 = \overline{\overline{I}_2 \overline{I}_3 \overline{I}_6 \overline{I}_7} \\ C &= I_4 + I_5 + I_6 + I_7 = \overline{\overline{I}_4 \overline{I}_5 \overline{I}_6 \overline{I}_7} \end{aligned} \tag{5.6.5}$$

根据式(5.6.5)可画出 3 位二进制编码器的逻辑电路如图 5.6.5 所示。在图 5.6.5 中，输入 I_0 与输出没有连接，I_0 的编码是隐含于 $I_1 \sim I_7$ 之中的，当 $I_1 \sim I_7$ 均为“0”时，电路的编码输出即为 I_0 的编码。

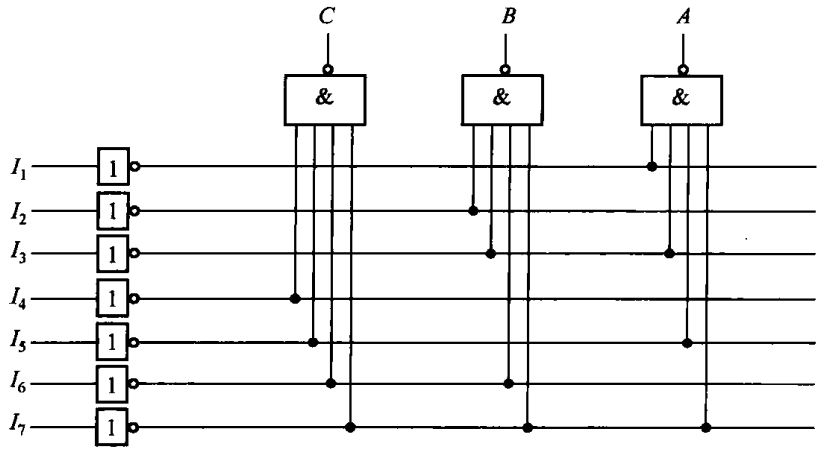


图 5.6.5 3 位二进制编码器逻辑电路

2. 二-十进制编码器

二-十进制编码器是用 4 位二进制数表示 0～9 共 10 个十进制数码的组合逻辑电路，常用 8421BCD 码，其编码真值表如表 5.6.4 所示。表中 $N_0 \sim N_9$ 是代表 0～9 共 10 个数码的逻辑量，D, C, B, A 表示 4 位二进制数码输出。

表 5.6.4 二-十进制 8421 编码真值表

十进制数	输入										输出			
	N_0	N_1	N_2	N_3	N_4	N_5	N_6	N_7	N_8	N_9	D	C	B	A
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	0	0	0	1	0
3	0	0	0	1	0	0	0	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0	0	0	0	0	1	0	0
5	0	0	0	0	0	1	0	0	0	0	0	1	0	1
6	0	0	0	0	0	0	1	0	0	0	0	1	1	0
7	0	0	0	0	0	0	0	1	0	0	0	1	1	1
8	0	0	0	0	0	0	0	0	1	0	1	0	0	0
9	0	0	0	0	0	0	0	0	0	1	1	0	0	1

根据表 5.6.4 可写出二-十进制 8421BCD 编码器的输出逻辑函数表达式为

$$
\begin{aligned}
D &= N_8 + N_9 = \overline{\overline{N}_8 \overline{N}_9} \\
C &= N_4 + N_5 + N_6 + N_7 \\
&= \overline{\overline{N}_4 \overline{N}_5 \overline{N}_6 \overline{N}_7} \\
B &= N_2 + N_3 + N_6 + N_7 \\
&= \overline{\overline{N}_2 \overline{N}_3 \overline{N}_6 \overline{N}_7}
\end{aligned}
\tag{5.6.6}
$$

$$A = N_1 + N_3 + N_5 + N_7 + N_9$$
$$= \overline{\bar{N}_1 \bar{N}_3 \bar{N}_5 \bar{N}_7 \bar{N}_9}$$

由式(5.6.6)可画出二-十进制 8421BCD 编码器电路如图5.6.6所示。电路中 $S_1 \sim S_9$ 九个开关分别代表 1～9 个十进制数的输入，数码 0 的输入是隐含的，当不输入数码 1～9 时，就表示输入数码 0。

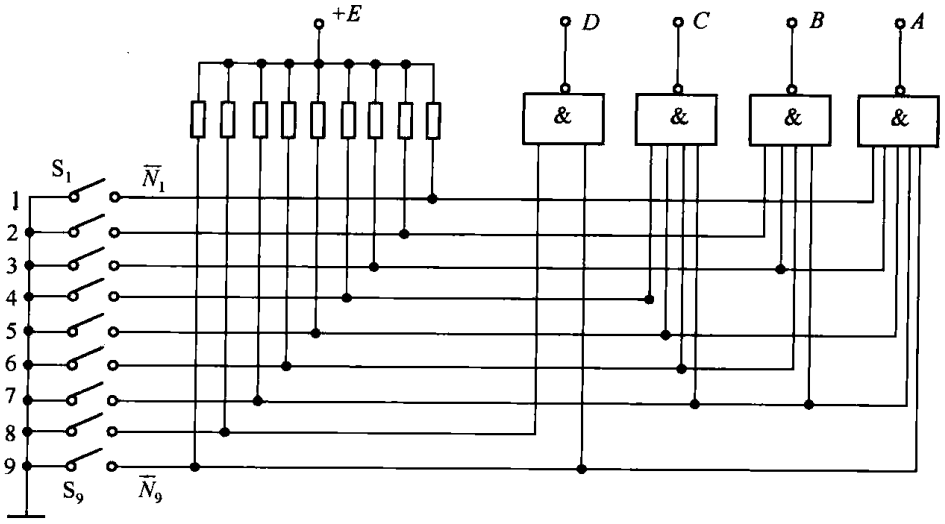


图 5.6.6　二-十进制 8421BCD 编码器电路

3. 二-十进制优先权编码器

上述的二-十进制编码器每次只允许一个输入端有信号，如果多个输入端同时有信号时，输出将发生混乱。在数字系统中，有时允许多个输入信号同时输入，但要求编码器按照事先约定好的优先级别对优先权最高的一个输入信号编码输出，这种编码器称为优先权编码器。

图 5.6.7 所示为中规模集成 10 线-4 线优先权编码器 74147 的简化逻辑符号，其真值表如表 5.6.5 所示。

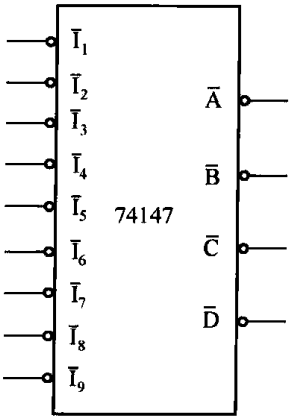


图 5.6.7　二-十进制优先权编码器 74147 的简化逻辑符号

表 5.6.5　二-十进制优先权编码器 74147 的真值表

输入									输出			
$\bar{I}_1$	$\bar{I}_2$	$\bar{I}_3$	$\bar{I}_4$	$\bar{I}_5$	$\bar{I}_6$	$\bar{I}_7$	$\bar{I}_8$	$\bar{I}_9$	$\bar{D}$	$\bar{C}$	$\bar{B}$	$\bar{A}$
1	1	1	1	1	1	1	1	1	1	1	1	1
×	×	×	×	×	×	×	×	0	0	1	1	0
×	×	×	×	×	×	×	0	1	0	1	1	1
×	×	×	×	×	×	0	1	1	1	0	0	0
×	×	×	×	×	0	1	1	1	1	0	0	1
×	×	×	×	0	1	1	1	1	1	0	1	0
×	×	×	0	1	1	1	1	1	1	0	1	1
×	×	0	1	1	1	1	1	1	1	1	0	0
×	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

74147 优先编码器有 9 个输入端($\bar{I}_1 \sim \bar{I}_9$)，分别对应十进制数码 1～9；4 个输出端(D, C, B, A)。某个输入端为 0，代表输入某一个十进制数。4 个输出端反映输入十进制数的 BCD 码编码的反码形式。编码优先次序为输入 $\bar{I}_9 \sim \bar{I}_1$。

74147 优先编码器的输入端和输出端都是低电平有效，即当某一个输入端低电平 0 时，4 个输出端就以低电平 0 输出其对应的 8421 BCD 编码。当 9 个输入全为 1 时，4 个输出端也全为 1，代表输入十进制数 0 的 8421 BCD 编码。因此它是一种二-十进制编码器。

需要说明的是，在数字电路中表示输入低电平(逻辑 0)有效时，不但在有关输入逻辑变量上冠以“—”号，而且在相应的门电路或中规模集成器件符号图中的输入端上用小圆圈或三角形表示。一般在门电路中多用小圆圈表示，而在中规模集成器件的符号图中用三角形表示。中规模集成器件输出端的小圆圈或三角形则视具体情况，或表示反码输出，或表示低电平有效。

5.6.3 译码器及数字显示电路

译码器也称为解码器。译码实际上是编码的逆过程。它是将一组具有特定含义的代码“翻译”出它的原意来，具有这种“翻译”功能的逻辑电路称为译码器(Decoder)。

译码器可分为通用译码器和数字显示译码驱动器两大类。

通用译码器包括二进制译码器(变量译码器)和码制变换译码器等。数字显示译码驱动器是一种将数字、文字或符号的代码翻译出来以驱动各类显示器件的逻辑电路。

1. 二进制译码器

将一组具有特定含义的二进制代码，按它的原意翻译成相对应的输出信号的逻辑电路称为二进制译码器，或称为变量译码器。二进制译码器有 2 线-4 线译码器、3 线-8 线译码器、4 线-16 线译码器等。这里，我们以实际中应用较为广泛的 3 输入、8 输出集成译码器(简称为 3 线-8 线译码器)为例介绍二进制译码器。图 5.6.8 所示为 74LS138 集成 3 线-8 线译码器的简化逻辑符号，该译码电路的真值表(功能表)如表 5.6.6 所示。

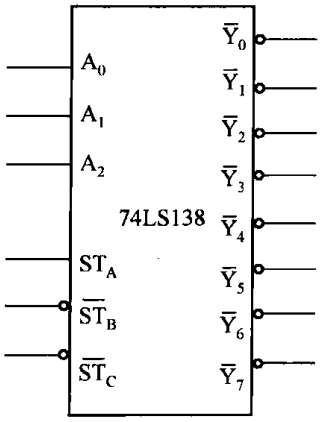


图 5.6.8 74LS138 集成 3 线-8 线译码器的简化逻辑符号

表 5.6.6 74LS138 集成 3 线-8 线译码器的真值表

输入						输出							
ST_A	$\overline{ST_B}$	$\overline{ST_C}$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	×	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	×	1	1	1	1	1	1	1	1
×	×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

(1) 逻辑功能分析

由图 5.6.8 和表 5.6.6 可以看出，74LS138 除了 3 个译码输入端(也称为地址端) A_2, A_1, A_0，8 个译码输出端 $\overline{Y_0}, \overline{Y_1}, \cdots, \overline{Y_7}$ 外，还有 3 个使能端(也称选通端) ST_A，$\overline{ST_B}$ 和 $\overline{ST_C}$。当 $ST_A=0$ 或 $\overline{ST_B}+\overline{ST_C}=1$ 时，无论地址端 $A_2\ A_1\ A_0$ 处于何种状态，译码器处于禁止状态。只有当 $ST_A=1$，$\overline{ST_B}+\overline{ST_C}=0$ 时，译码器才处于工作状态，根据 3 位二进制地址代码 $A_2\ A_1\ A_0$ 的不同组合，选中 $\overline{Y_0}\sim\overline{Y_7}$ 中的某一路输出为低电平，输出译码为低电平有效。在译码器处于工作状态即 $ST_A=1$，$\overline{ST_B}+\overline{ST_C}=0$ 的条件下，可以写出译码输出端的逻辑函数表达式如下：

$$\begin{aligned}
&\overline{Y}_0=\overline{\overline{A}_2\overline{A}_1\overline{A}_0}=\overline{m}_0, && \overline{Y}_1=\overline{\overline{A}_2\overline{A}_1A_0}=\overline{m}_1\\
&\overline{Y}_2=\overline{\overline{A}_2A_1\overline{A}_0}=\overline{m}_2, && \overline{Y}_3=\overline{\overline{A}_2A_1A_0}=\overline{m}_3\\
&\overline{Y}_4=\overline{A_2\overline{A}_1\overline{A}_0}=\overline{m}_4, && \overline{Y}_5=\overline{A_2\overline{A}_1A_0}=\overline{m}_5\\
&\overline{Y}_6=\overline{A_2A_1\overline{A}_0}=\overline{m}_6, && \overline{Y}_7=\overline{A_2A_1A_0}=\overline{m}_7
\end{aligned} \tag{5.6.7}$$

(2) 功能的扩展

译码器的使能端为译码器的功能扩展提供了方便，图 5.6.9 是利用两片 74LS138 扩展为 4 线-16 线译码器的接线图。

由图 5.6.9 可知，片Ⅰ和片Ⅱ分时工作，由输入地址端高位 A_3 控制。当使能端 $\overline{ST}=1$ 时，片Ⅰ和片Ⅱ均处于禁止工作状态，$\overline{Y}_0\sim\overline{Y}_{15}$ 均为“1”，无译码输出。当使能端 $\overline{ST}=0$ 时，若 $A_3=0$，则片Ⅰ工作，片Ⅱ禁止，输出 $\overline{Y}_8\sim\overline{Y}_{15}$ 均为“1”，而 $\overline{Y}_0\sim\overline{Y}_7$ 则根据低三位地址 A_2 A_1 A_0 的不同组合相应输出“0”；若 $A_3=1$，则片Ⅰ禁止，片Ⅱ工作，输出 $\overline{Y}_0\sim\overline{Y}_7$ 均为“1”，而 $\overline{Y}_8\sim\overline{Y}_{15}$ 则根据低三位地址 A_2 A_1 A_0 的不同组合相应输出“0”。

两片 74LS138 不需外加任何器件即可构成 4 线-16 线译码器，若需构成更大容量的译码器，可利用多片 74LS138 实现多级译码。

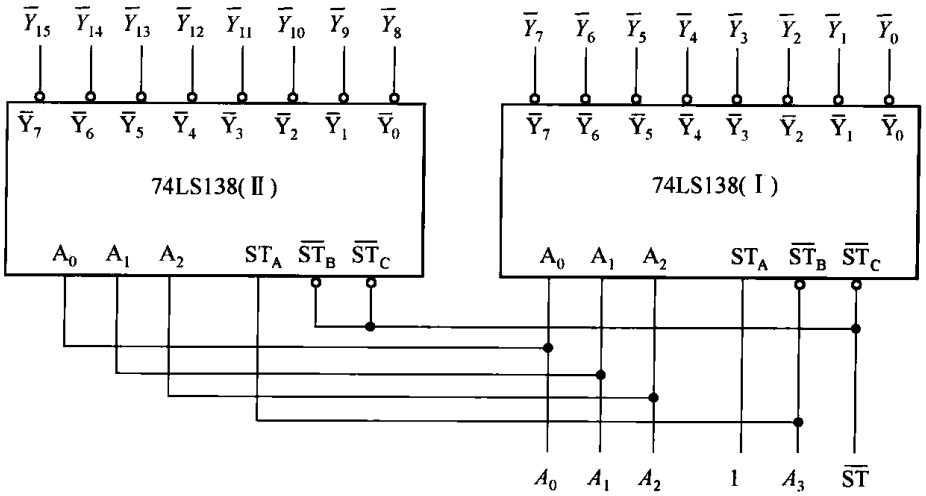


图 5.6.9　74LS138 扩展为 4 线-16 线译码器

(3) 利用译码器实现逻辑函数

由于 n 变量译码器的输出包含了 n 个地址变量的全部最小项，因此只要在它的输出端加上或门或者与非门，就可以实现变量数不大于 n 的组合逻辑函数。如果译码器输出为高电平有效，则需加或门；如果译码器输出为低电平有效，则需加与非门。

例 5.6.2　用 74LS138 实现一组多输出逻辑函数

$$L_1=A\oplus B\oplus C$$

$$L_2=(A\oplus B)C+AB$$

解：74LS138 是 3 线-8 线译码器，有三个地址输入端，而欲实现的逻辑函数也是三变量的，则可以令地址变量为

$$A_2A_1A_0=ABC$$

当使能端 $ST_A=1$，$\overline{ST}_B+\overline{ST}_C=0$ 时，由式(5.6.7)可知 74LS138 的输出函数为 $\overline{Y}_i(A_2,A_1,A_0)=\overline{m}_i$ $(i=0,1,\cdots,7)$，所以需要把待实现逻辑函数写成最小项的反函数形式。

$$L_1=\overline{A}\overline{B}C+\overline{A}B\overline{C}+A\overline{B}\overline{C}+ABC=m_1+m_2+m_4+m_7$$

$$=\overline{\overline{m}_1\overline{m}_2\overline{m}_4\overline{m}_7}$$

$$L_2=\overline{A}BC+A\overline{B}C+AB\overline{C}+ABC=m_3+m_5+m_6+m_7$$

$$=\overline{\overline{m}_3\overline{m}_5\overline{m}_6\overline{m}_7}$$

因此，只需在 74LS138 的输出端再附加两个 4 输入与非门，就可以实现逻辑函数 L_1 和 L_2。电路连接如图 5.6.10 所示。

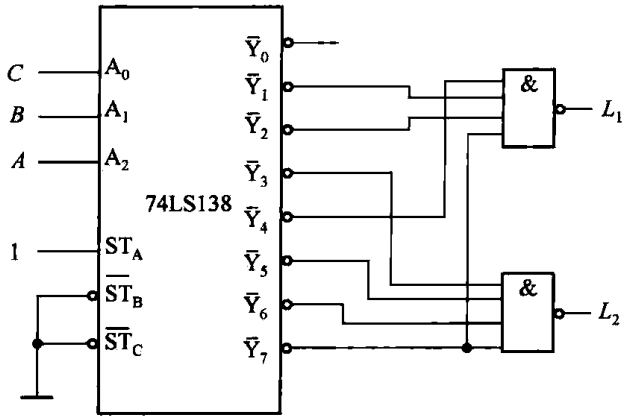


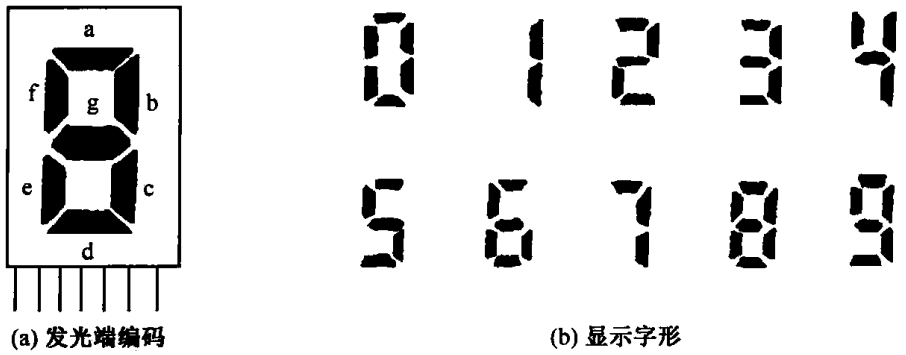
图 5.6.10 例 5.6.2 的电路

2. 数字显示译码驱动器

数字显示电路通常由译码器、驱动器和显示器等部分组成。不同的显示器件对译码器的要求不同，所以先介绍常用的显示器件。

(1) 七段数码管(LED)

把七个发光二极管按一定形状封装在一起便可构成七段数码管，如图 5.6.11(a)所示。其中每一段便是一个二极管，当某些段加控制电压而发光时，发光的各段便可构成 0～9 共 10 个数字，如图 5.6.11(b)所示。

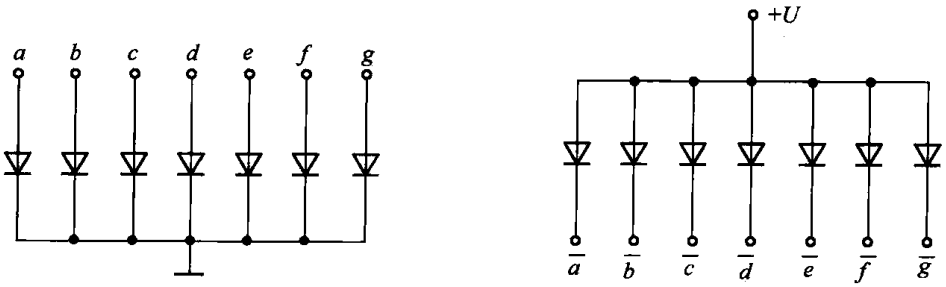


(a) 发光端编码　　(b) 显示字形

图 5.6.11 七段 LED 数码管及数字形式

按照内部接线不同，发光二极管构成的七段式数码管分为共阴极和共阳极两种类型，如图 5.6.12

所示。当译码器输出高电平驱动显示器时，选用共阴极数码管；当输译码器出低电平驱动显示器时，则选用共阳极数码管。

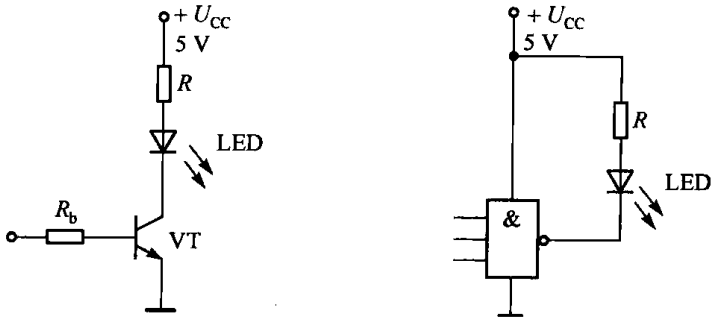


(a) 共阴极　　(b) 共阳极

图 5.6.12　七段 LED 数码管共阴极和共阳极电路

发光二极管的工作电压一般为 1.5～3 V，驱动电流为几 mA 到十几 mA，可以是直流或脉冲电流。为防止过流，使用时需串接限流电阻。

发光数码管可以用双极型三极管驱动，也可以直接用 TTL 与非门驱动，如图 5.6.13 所示。



(a) 三极管驱动电路　　(b) TTL 与非门驱动电路

图 5.6.13　LED 数码管驱动电路

(2) 七段显示译码驱动器

七段显示译码驱动器的功能是把输入的 8421BCD 码译成对应于数码管七个字段的控制信号来驱动数码管，显示出相应的十进制数码。由于七段显示器有共阴极和共阳极两种接法，所以七段显示译码器也有两种类型。驱动共阴极数码管时，应选用高电平有效的七段显示译码器；驱动共阳极数码管时，应选用低电平有效的七段显示译码器。下面以驱动共阴极数码管(如 BS201A)的七段集成显示译码器 74LS248 为例，说明译码器的功能与使用。

74LS248 的简化逻辑符号如图5.6.14 所示，它的逻辑功能如表 5.6.7 所示。

74LS248 的基本输入信号为 4 位二进制数(也可以是 8421BCD 码)DCBA，有七个基本输出信号 a～g，用以驱动共阴极数码管，a～g 的输出结构为集电极开路形式，并已在内部接有上拉电阻 2 kΩ 。用 74LS248 驱动共阴极数码管 BS201A 的接线如图 5.6.15 所示。

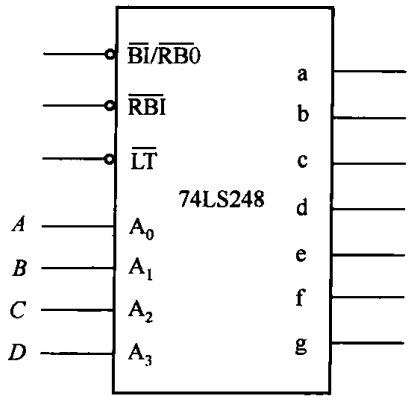


图 5.6.14　74LS248 的简化逻辑符号

为了扩大 74LS248 的功能，除了基本输入输出端外，还有三个辅助控制端 $\overline{LT}$，$\overline{RBI}$ 和 $\overline{BI}/\overline{RBO}$，其功能如下。

表 5.6.7 74LS248 七段译码驱动器真值表

十进制或功能	输入						BI/RBO	输出							显示字形
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A		a	b	c	d	e	f	g	
0	1	1	0	0	0	0	1	1	1	1	1	1	1	0	0
1	1	×	0	0	0	1	1	0	1	1	0	0	0	0	1
2	1	×	0	0	1	0	1	1	1	0	1	1	0	1	2
3	1	×	0	0	1	1	1	1	1	1	1	0	0	1	3
4	1	×	0	1	0	0	1	0	1	1	0	0	1	1	4
5	1	×	0	1	0	1	1	1	0	1	1	0	1	1	5
6	1	×	0	1	1	0	1	1	0	1	1	1	1	1	6
7	1	×	0	1	1	1	1	1	1	1	0	0	0	0	7
8	1	×	1	0	0	0	1	1	1	1	1	1	1	1	8
9	1	×	1	0	0	1	1	1	1	1	1	0	1	1	9
10	1	×	1	0	1	0	1	0	0	0	1	1	0	1	
11	1	×	1	0	1	1	1	0	0	1	1	0	0	1	
12	1	×	1	1	0	0	1	0	1	0	0	0	1	1	
13	1	×	1	1	0	1	1	1	0	0	1	0	1	1	
14	1	×	1	1	1	0	1	0	0	0	1	1	1	1	
15	1	×	1	1	1	1	1	0	0	0	0	0	0	0	
灯测试	0	×	×	×	×	×	1	1	1	1	1	1	1	1	8
消隐	×	×	×	×	×	×	0(入)	0	0	0	0	0	0	0	
灭零	1	0	0	0	0	0	0	0	0	0	0	0	0	0	

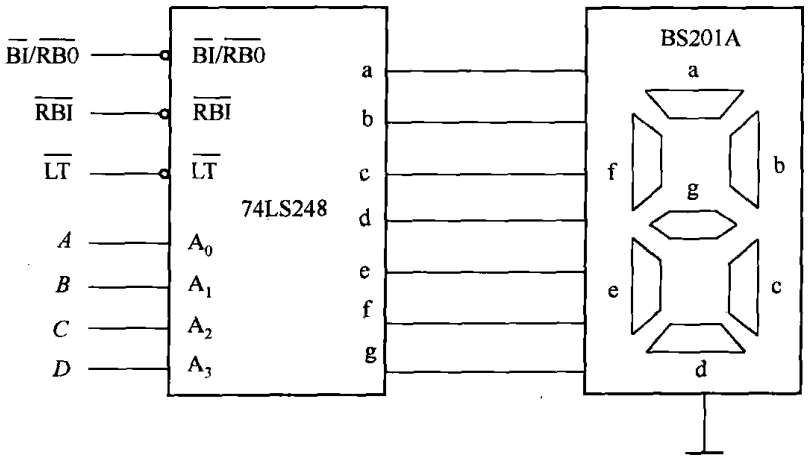


图 5.6.15 74LS248 驱动共阴极数码管 BS201A

① 灯测试输入 $\overline{LT}$ (Light Test)

在 $\overline{BI}/\overline{RBO}$ 端不输入低电平的前提下，当 $\overline{LT}=0$ 时，则不论 $\overline{RBI}$，D, C, B, A 各处于什么状态，输出 a～g 均为高电平，这时数码管的七段全亮，显示“8”字，这一功能可用来检查数码管是否完好。

② 灭零输入 $\overline{RBI}$ (Ripple Blanking Input)

在 $\overline{LT}=1$，$\overline{BI}/\overline{RBO}$ 端不输入低电平的前题下，若 $\overline{RBI}=1$，在 D, C, B, A 的所有组合下正常显示；若 $\overline{RBI}=0$，当 $DCBA\neq 0000$ 时，仍正常显示，而当 $DCBA=0000$ 时，则不再显示“0”的字形，

而是各段全部熄灭。这一功能可用来在多位显示系统中灭掉最高位有效数字左边的零和最低位有效数字右边的零，以使显示更加清晰明了。

③ 消隐输入/灭零输出 $\overline{\text{BI}}/\overline{\text{RBO}}$ (Blank Input/Ripple Blanking Output)

$\overline{\text{BI}}/\overline{\text{RBO}}$ 端比较特殊，是“线与”结构，即可作为输入用，也可作为输出用。当该端输入低电平时，则不论其他输入端的状态，输出全为低电平，七段显示器全灭。如果该端输入一方波信号，则数码管显示的数字将间歇地闪烁，这一功能可用来作为数字系统的极限报警显示用。

在灭零条件下（$\overline{\text{LT}}=1$，$\overline{\text{RBI}}=0$，$DCBA=0000$），$\overline{\text{BI}}/\overline{\text{RBO}}$ 端作为输出使用，输出低电平，表示已将本应显示的零熄灭了。$\overline{\text{RBI}}$ 端和 $\overline{\text{BI}}/\overline{\text{RBO}}$ 端配合使用可以实现多位数码的灭零控制。在多位数码显示系统中，整数部分的最高位灭零是无条件的，而次高位只有在最高位已灭零的条件下才可以灭零，所以把最高位译码器的灭零输入端需直接接低电平，而次高位译码器的灭零输入端需连接到最高位译码器的灭零输出端。同理，小数部分最低位的译码器的灭零输入端可直接接低电平，而次低位译码器的灭零输入端应接在最低位译码器的灭零输出端上。

5.6.4　数码比较器

数码比较器是对两个位数相同的二进制数码进行比较并能判别其大小的逻辑电路。下面以一位数码比较电路为例，介绍一下数码比较器。

两个一位数码 A 和 B 比较时，有三种可能结果：$A>B(A=1,B=0)$；$A<B(A=0,B=1)$；$A=B(A=B=0$ 或 $A=B=1)$。若用 $F_{A>B}$，$F_{A<B}$ 和 $F_{A=B}$ 分别表示上面三种结果，则可列出一位数码比较器的真值表，如表 5.6.8 所示。根据表 5.6.8，可写出 F 的逻辑函数表达式为

$$
\begin{aligned}
F_{A>B} &= A\overline{B} = A\overline{AB} \\
F_{A<B} &= \overline{A}B = B\overline{AB} \\
F_{A=B} &= \overline{A}\,\overline{B} + AB \\
&= \overline{\overline{A}\,\overline{B} + \overline{A}B} = \overline{A\overline{AB} + B\overline{AB}}
\end{aligned}
\tag{5.6.8}
$$

表 5.6.8　一位数码比较器真值表

A	B	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

由式(5.6.8)可画出一位数码比较器的逻辑电路图，如图 5.6.16 所示。

在实际应用中，往往是多位二进制数码进行比较，因此需要采用多位数码比较器。图 5.6.17 为 4 位数码比较器 74LS85 的逻辑符号。其工作原理与一位数码比较器相似，并且总是先比较最高位。如果 A 数最高位大于 B 数最高位，则不论其他位数码情况如何，便可肯定 $A>B$；只有两数的最高位相等时，才继续比较两数的次高位的大小；依次类推。

从图 5.6.17 可看到，4 位数码比较器有 11 个输入端，3 个输出端。其中 $A_3 \sim A_0$ 和 $B_3 \sim B_0$ 是两个待比较的 4 位二进制数码输入端；$F_{A>B}$，$F_{A<B}$ 和 $F_{A=B}$ 是三个比较结果的输出端；$C_{A>B}$，$C_{A<B}$ 和 $C_{A=B}$ 而是三个级联输入端。74LS85 的逻辑功能如下。

(1) 若 $A>B$，则不论级联输入是“1”还是“0”，输出 $F_{A<B}=0$，$F_{A=B}=0$，$F_{A>B}=1$。

(2) 若 $A<B$，同样不论级联输入是“1”还是“0”，输出 $F_{A<B}=1$，$F_{A=B}=0$，$F_{A>B}=0$。

(3) 若 $A=B$，则输出决定于级联输入，即

① 若 $C_{A<B}=1$，$C_{A=B}=0$，$C_{A>B}=0$，则输出 $F_{A<B}=1$，$F_{A=B}=0$，$F_{A>B}=0$。

② 若 $C_{A<B}=0$，$C_{A>B}=1$，$C_{A=B}=0$，则输出 $F_{A>B}=1$，$F_{A=B}=0$，$F_{A<B}=0$。

③ 若 $C_{A<B}=0$，$C_{A>B}=0$，$C_{A=B}=1$，则输出 $F_{A=B}=1$，$F_{A>B}=0$，$F_{A<B}=0$。

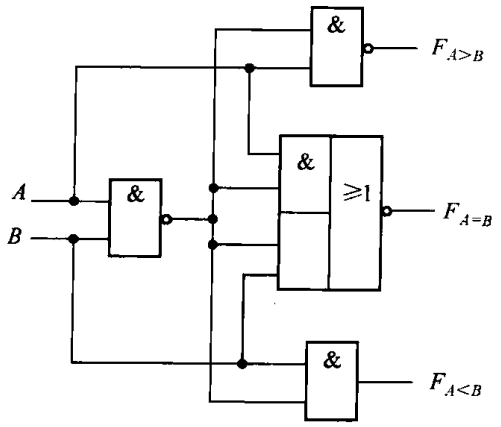


图 5.6.16 一位数码比较器的逻辑电路图

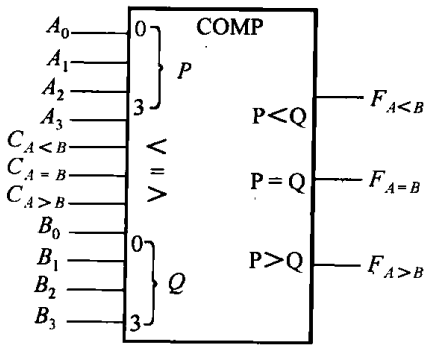


图 5.6.17 4 位数码比较器 74LS85 的逻辑符号

若需比较的二进制数码超过 4 位时，则可用多个 4 位数码比较器通过适当的级联来完成多位数码比较，只要将低位比较器的输出 $F_{A>B}$，$F_{A<B}$，$F_{A=B}$ 分别接到高位比较器的级联输入端 $C_{A>B}$，$C_{A<B}$，$C_{A=B}$ 即可，这样便可将比较位数扩展到 8 位、12 位、16 位、24 位或更多位。图 5.6.18 所示为用三片 4 位比较器级联成一个 12 位数码比较器的逻辑电路示意图。

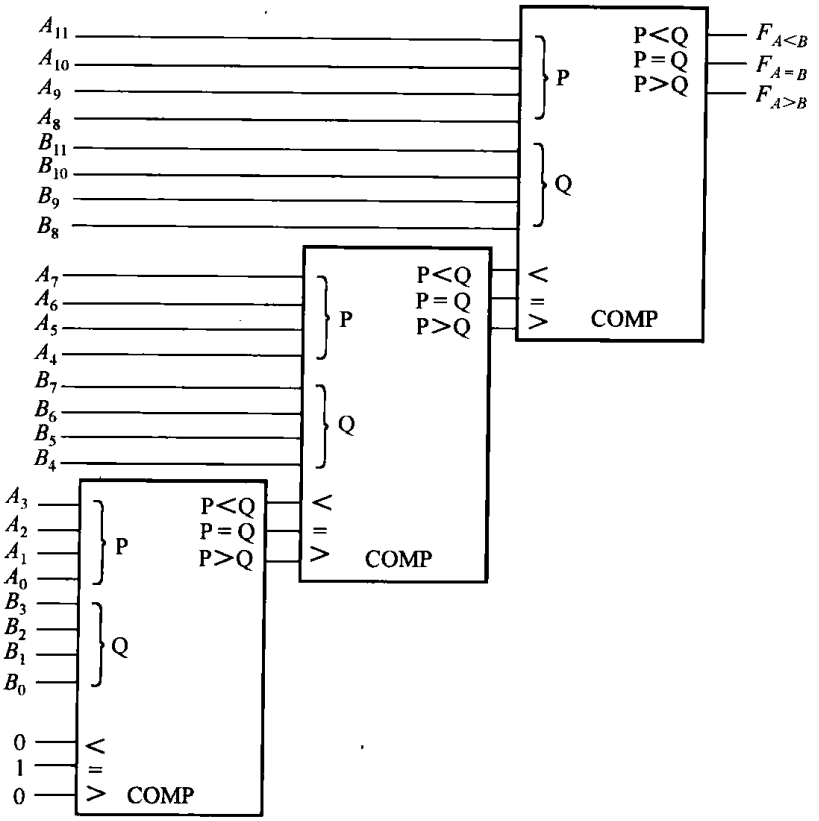


图 5.6.18 三片 4 位比较器级联成一个 12 位数码比较器的逻辑电路示意图

5.6.5 数据选择器

数据选择器也称为多路选择器或多路转换器(Multiplexer，简称 MUX)，它是在选择信号控制下，从若干路输入数据中选择一路送至输出端的逻辑器件。中规模集成数据选择器种类较多，如16选1数据选择器、8 选 1 数据选择器、4 选 1 数据选择器等。这里，我们用一个 4 选 1 数据选择器为例来分析一下其工作原理，其他种类的选择器工作原理基本相似。

1．数据选择器工作原理

图 5.6.19 所示为双 4 选 1 数据选择器 74153 中的一个逻辑电路图。图中 $D_0 \sim D_3$ 为 4 个数据输入端，A_0 和 A_1 为通道选择控制端或称为地址端，$\overline{ST}$ 为使能端，低电平有效。当 $\overline{ST}=0$，A_1 A_0 分别为 00，01，10 和 11 时，则输出 F 分别为 D_0, D_1, D_2 和 D_3，即由 A_1A_0 的值来选择输入数据中的哪一路输出至输出端。由图 5.6.19 可写出输出逻辑函数的表达式为

$$F=\mathrm{ST}\left(\overline{A}_1\overline{A}_0D_0+\overline{A}_1A_0D_1+A_1\overline{A}_0D_2+A_1A_0D_3\right) \tag{5.6.9}$$

由式(5.6.9)可列出 74153 的真值表如表 5.6.9 所示。

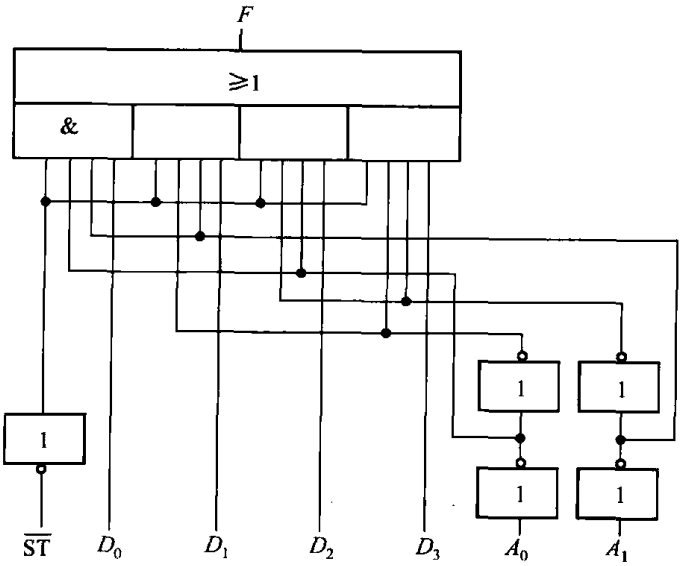


图 5.6.19　4 选 1 数据选择器的逻辑电路图

表 5.6.9　4 选 1 数据选择器的真值表

$\overline{ST}$	A_1	A_0	F
1	×	×	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3

由表 5.6.9 可见，当 $\overline{ST}=1$ 时，选择器被禁止，输出为低电平；当 $\overline{ST}=0$ 时，选择器工作，把与地址相应的一路数据选送到输出端。

图 5.6.20 所示为双 4 选 1 数据选择器 74153 的简化逻辑符号。

4 个数据端，需 2 位地址区分，由此不难想到，8 选 1 数据选择器应有 3 位地址端，16 选 1 数据选择器应有 4 位地址端，…，2^n 选 1 数据选择器应有 n 位地址端。

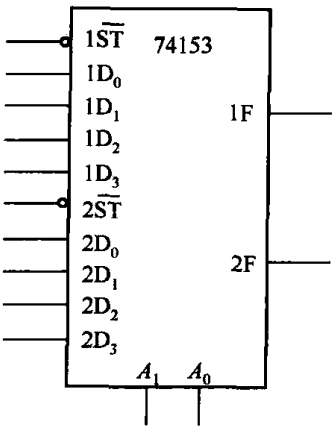


图 5.6.20　双 4 选 1 数据选择器 74153 的简化逻辑符号

2．数据选择器的扩展

如果需要选择器的数据通道较多时，可以采用级联的方法扩展数据输入端。图 5.6.21 所示为将两块半 4 选 1 数据选择器 74153 扩展为 16 选 1 数据选择器的接线图。

图中 $D_0 \sim D_{15}$ 为 16 路数据输入，$B_3B_2B_1B_0$ 为 4 位地址输入端。当 $\overline{ST}=1$ 时，片Ⅲ禁止，输出端为低电平；当 $\overline{ST}=0$ 时，片Ⅲ工作，低位地址 B_1B_0 选出 $D_0 \sim D_{15}$ 中的 4 路送到片Ⅲ的数据输入端，高位地址码 B_3B_2，再选出其中的一路送到输出端，这样，对应于地址 $B_3B_2B_1B_0$ 的 16 种组合，$D_0 \sim D_{15}$ 可分别被送到数据选择器的输出端。

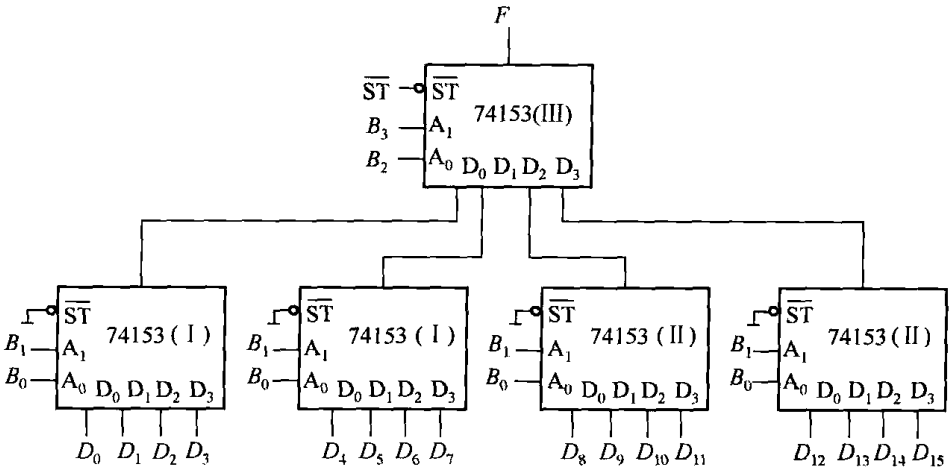


图 5.6.21 4 选 1 扩展为 16 选 1 数据选择器的接线图

3. 利用数据选择器实现逻辑函数

数据选择器除了用来选择输出信号外，还可以用来实现组合逻辑函数。下面举两个例子予以说明。

例 5.6.3 用数据选择器实现二变量异或逻辑函数。

解：异或逻辑函数式为

$$F = A\bar{B} + \bar{A}B$$

由于有两个输入变量，所以可以采用 4 选 1 数据选择器实现该逻辑函数。选取地址变量为 $A_2A_1 = AB$，则由式(5.6.9)可得出在译码器工作条件下($\overline{ST} = 0$)的输出逻辑式为

$$F = \bar{A}\bar{B}D_0 + \bar{A}BD_1 + A\bar{B}D_2 + ABD_3$$

把此式与异或逻辑式相比较，显然有 $D_0 = 0$，$D_1 = 1$，$D_2 = 1$，$D_3 = 0$，据此可画出多路数据选择器的连接图如图 5.6.22 所示。

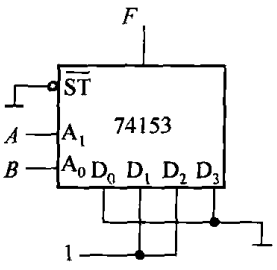


图 5.6.22 例 5.6.3 的电路图

例 5.6.4 用多路数据选择器实现三人表决电路。

解：三人表决电路的输出逻辑函数式为

$$F = AB + BC + AC$$

由于是三变量，故可选用具有三个地址变量的 8 选 1 数据选择器 74151 实现，令地址变量 $A_2A_1A_0 = ABC$，将逻辑函数式写成最小项形式

$$F(A, B, C) = m_3 + m_5 + m_6 + m_7$$

与 4 选 1 译码器的逻辑函数式相类似，8 选 1 译码器的逻辑函数式可表示为

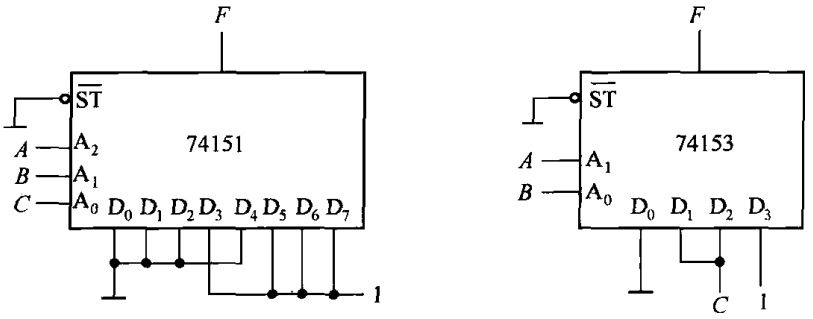
$$L = m_0D_0 + m_1D_1 + m_2D_2 + m_3D_3 + m_4D_4 + m_5D_5 + m_6D_6 + m_7D_7$$

将此式与表决电路输出逻辑函数的最小项形式相比较，显然有 $D_0 = D_1 = D_2 = D_4 = 0$，$D_3 = D_5 = D_6 = D_7 = 1$。据此可画出用 8 选 1 数据选择器实现该函数的逻辑图如图 5.6.23(a)所示。

对于表决电路输出逻辑函数，也可用 4 选 1 数据选择器来实现，为此令地址变量 $A_1A_0 = AB$，把 F 写成地址变量 AB 的最小项形式

$$F = AB + \bar{A}BC + A\bar{B}C = m_1C + m_2C + m_3$$

将此式与 4 选 1 数据选择器的逻辑表达式(5.6.9)相比较，显然有 $D_0=0$，$D_1=C$，$D_2=C$，$D_3=1$，据此可画出用 4 选 1 数据选择器实现该函数的逻辑图如图 5.6.23(b)所示。



(a) 用 8 选 1 实现　　(b) 用 4 选 1 实现

图 5.6.23　例 5.6.4 的电路图

用数据选择器实现逻辑函数时，若数据选择器的地址端数比逻辑函数的变量数少，则需从数据端送入变量。有时，可能需要在数据端送入反变量，这就意味着需另加非门以便得到反变量，此时倒不如选择地址端数与变量数相等的数据选择器方便。

5.6.6　数据分配器

数据分配器又称为多路分配器(Demultiplexer，简称 DMUX)，它的功能是将一个输入数据分时传送到多个输出端输出，即一路输入，多路输出。

数据分配器可由译码器直接构成。图 5.6.24 所示为由 3 线-8 线译码器 74LS138 构成的 8 路数据分配器的简化逻辑符号。

使能端 $ST_A=1$，$\overline{ST_B}$ 与 $\overline{ST_C}$ 并联接输入数据 D，由 74LS138 的真值表(参见表 5.6.6)可知，当 $A_2A_1A_0=000$ 时，若 $D=0$，则 $\overline{Y}_0=0$，$\overline{Y}_1\sim\overline{Y}_7$ 均为 1，若 $D=1$，则 $\overline{Y}_0=1$，$\overline{Y}_1\sim\overline{Y}_7$ 还是 1。因此可得：当 $A_2A_1A_0=000$ 时，$\overline{Y}_0=D$，而其余输出端均为高电平，与 D 无关，相当于把数据 D 送到 $\overline{Y}_0$ 端。类似地，当 $A_2A_1A_0=001$ 时，D 被送到 $\overline{Y}_1$ 端，…，当 $A_2A_1A_0=111$ 时，D 被送到 $\overline{Y}_7$ 端。

数据选择器和数据分配器配合使用，可以实现在一条数据线上分时传送多路数据，如图 5.6.25 所示。

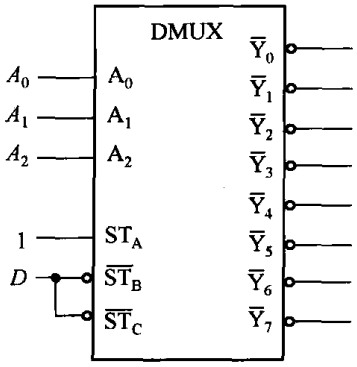


图 5.6.24　74LS138 构成的 8 路数据分配器的简化逻辑符号

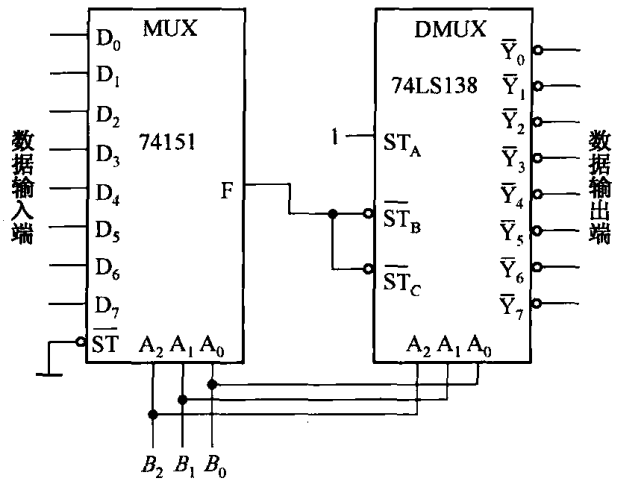


图 5.6.25　多路数据的分时传送

图中，数据选择器和数据分配器受同一地址 $B_2B_1B_0$ 控制。当 $B_2B_1B_0=000$ 时，D_0 传送到 $\overline{Y}_0$ 端；

当 $B_2B_1B_0 = 001$ 时，D_1 传送到 $\overline{Y}_1$ 端；…；当 $B_2B_1B_0 = 111$ 时，D_7 传送到 $\overline{Y}_7$ 端。所以，只要循环改变地址 $B_2B_1B_0$ 的值，即可实现多路信号的分时传送。

思考题

5.6.1 什么是半加器？什么是全加器？半加器与全加器有何不同？

5.6.2 如何用全加器构成多位串行加法器？串行加法器速度慢的原因是什么？

5.6.3 什么是编码器和译码器？它们有何区别？有何用途？

5.6.4 在图 5.6.8 中，若引脚 ST_A 从根部断开，则这块集成译码器是否还能使用？为什么？若是引脚 $\overline{ST}_B$ 或 $\overline{ST}_C$ 从根部断开，又将如何？

5.6.5 译码器的功能如何扩展？若需扩展得到一个 6 线-64 线译码器，则需多少个 74LS138 译码器？应如何连线？

5.6.6 简述用译码器实现逻辑函数的方法。如受条件限制，对例 5.6.2 的逻辑函数用译码器和与门能否实现？

5.6.7 七段显示译码器的功能是什么？外加辅助输入端 $\overline{LT}$，$\overline{RBI}$ 和 $\overline{BI}/\overline{RBO}$ 各有什么作用？译码器和显示器配合使用时，应注意什么问题？

5.6.8 比较器的功能是什么？在用集成 4 位比较器 74LS85 构成多于 4 位的比较器时，级联输入端应如何连接？

5.6.9 数据选择器的功能是什么？怎样扩展其功能？画出用两片 4 选 1 数据选择器扩展为一个 8 选 1 数据选择器的连线路。

5.6.10 数据分配器的功能是什么？怎样用译码器构成数据分配器？如何用 9 片 74LS138 构成一个 64 路数据分配器？

5.6.11 应用数据选择器如何实现逻辑函数？

5.6.12 在图 5.6.25 所示的多路信号分时传送系统中，若要求输出为反码输出，应如何连线？

本章小结

1. 数字系统中常用二进制数和十六进制数表示输入信号和输出信号。将十进制数转换为二进制数或十六进制数时，采用“除 2 取余”或“除 16 取余”方法；将二进制数或十六进制数按权展开后相加，即可得到相应的十进制数。用 4 位二进制数码 0000～1001 来表示 1 位十进制数(0～9)称为 8421BCD 代码。

2. 数字电路的输入与输出之间有三种基本的逻辑关系：“与”、“或”和“非”，实现这三种基本逻辑关系的电路分别称为“与门”、“或门”和“非门”。

3. 数字集成电路可分为两大类：双极型数字集成电路(TTL 系列)和场效应管数字集成电路(主要为 CMOS 系列)。

TTL 电路的开关速度较快、抗干扰能力和带负载能力较强、性能价格比高，在工业控制中获得了广泛应用。CMOS 电路的输入阻抗高、功耗小、集成度高、工作速度也在逐步提高，所以在大规模集成电路中的应用越来越广泛。

TTL 系列的典型产品是 TTL 与非门。可以由与非门组成与门、或门、异或门等。

普通 TTL 与非门输出端不能直接并联使用，而 TTL 集电极开路门(OC 门)允许输出端并联，实现线与逻辑。三态输出门(TS 门)可用做双向传输总线，但不允许在总线上同时有两个以上的三态门同时输出信号。

4. 利用逻辑代数的基本定理和定律，可将逻辑电路输出和输入的关系抽象为逻辑函数式，从而可用逻辑运算法则对逻辑电路进行分析或设计。

逻辑函数有 4 种表示方法：真值表、函数式、逻辑图和卡诺图。在逻辑函数的化简中，采用公式化简法和卡诺图化简法。

5. 组合逻辑电路的特点是：输出信号取决于当时的输入信号，而与电路原来的状态无关。

组合逻辑电路的分析方法是：首先写出输出逻辑函数式，然后进行化简，再列出真值表，最后分析电路的逻辑功能。组合逻辑电路的设计过程与分析过程正好相反，根据逻辑功能要求，列出真值表，写出逻辑式，再进行化简，最后画出组合逻辑电路图。

6. 本章介绍了几种常用中规模集成组合逻辑电路(MSI)，学习中应重点了解其逻辑功能，并根据组件的引线端进行正确连线。利用中规模集成电路实现逻辑函数，具有接线少、可靠性高等优点，已成为组合逻辑电路设计的主要方法。

习题 5

5.1　把下列二进制数转换成十进制数。

1011, 11001, 101101, 1000101

5.2　把下列十进制数转换成二进制数。

35, 742, 264, 146

5.3　把下列 8421BCD 码改写成十进制数。

01111001, 100001011000, 00110110

5.4　三极管非门电路如题 5.4 图所示，试求：

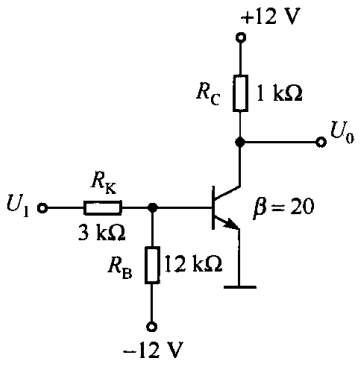
(1) 若 $U_{BE}=0\ V$，要使三极管可靠截止，则允许 U_I 的低电平最大值是多少?

(2) 若 $U_{BE}=0.7\ V$，$U_{CES}=0.3\ V$，要使三极管临界饱和导通，则允许 U_I 的高电平最小值是多少?

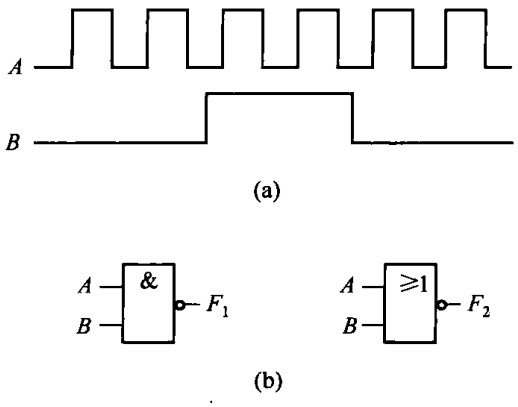
5.5　当 TTL 与非门及或非门的输入端有多余时，该多余的输入端应如何处理? 说明理由。

5.6　如果把正逻辑改为负逻辑，那么在正逻辑条件下的与门、或门、非门在负逻辑条件下的逻辑功能是什么?

5.7　题 5.7 图(a)所示为输入信号 A 和 B 的波形。试画出题 5.7 图(b)中的与非门和或非门的输出端 F_1 和 F_2 的波形。



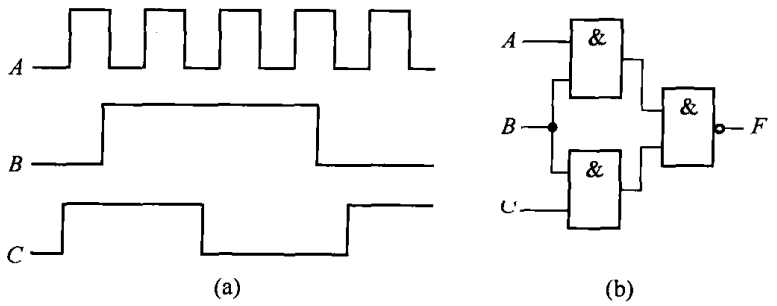
题 5.4 图



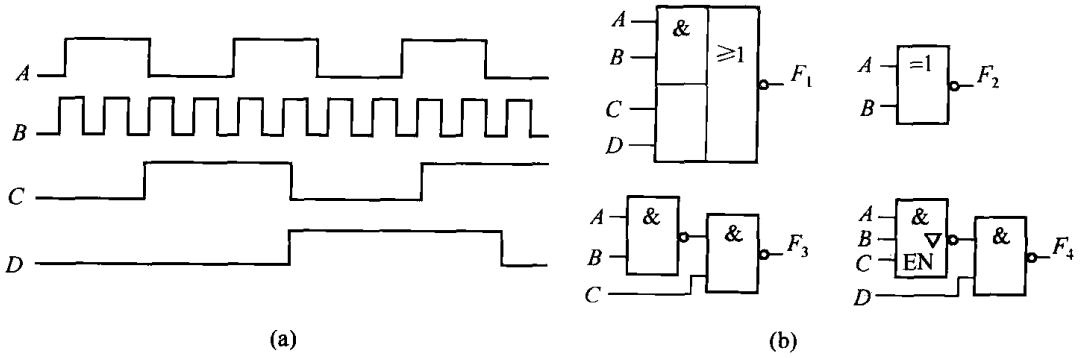
题 5.7 图

5.8　题 5.8 图(a)所示为输入信号 A, B 和 C 的波形。试画出题 5.8 图(b)中组合门电路的输出端 F 的波形。

5.9　题 5.9 图(a)所示为输入信号。试画出题 5.9 图(b)中各组合门电路的输出端 F_1，F_2，F_3 和 F_4 的波形。

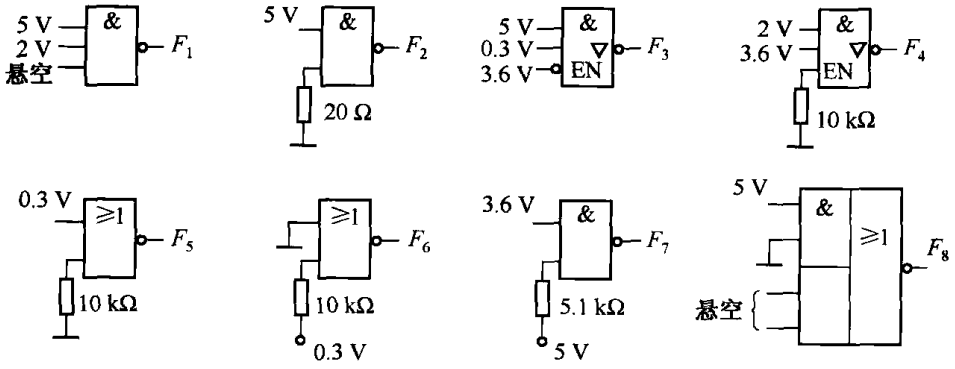


题 5.8 图



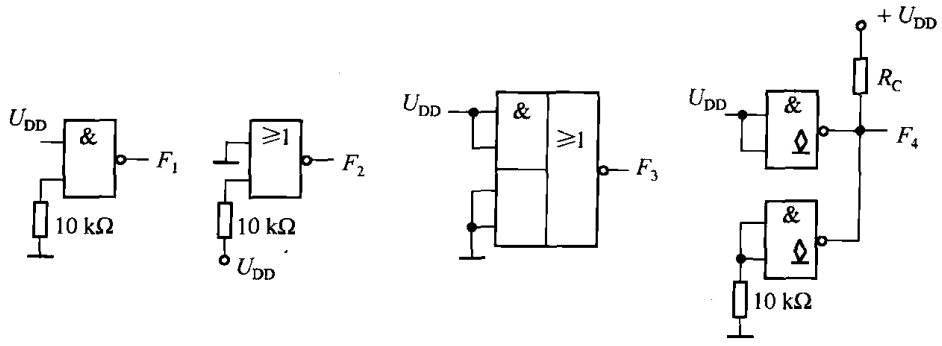
题 5.9 图

5.10 题 5.10 图中均为 TTL 门电路，试指出各门电路的输出 $F_1 \sim F_8$ 是什么状态(高电平、低电平或高阻态)？



题 5.10 图

5.11 题 5.11 图中均为 CMOS 门电路，试指出各门电路的输出 $F_1 \sim F_4$ 是高电平还是低电平？



题 5.11 图

5.12　某系列 TTL 门电路的特性如下：

(1) 输入高电平不高于 0.4 V，并允许向输出端灌入 10 mA 电流；

(2) 输出高电平不低于 2.6 V，并允许从输出端拉出 1 mA 电流；

(3) 关门电平为 0.9 V，开门电平为 1.8 V；

(4) 输入低电平电流为 1 mA，输出高电平电流为 80 μA 。

试求该门的扇出系数 N、输入低电平时的噪声容限 U_{NL} 和输入高电平时的噪声容限 U_{NH} 。

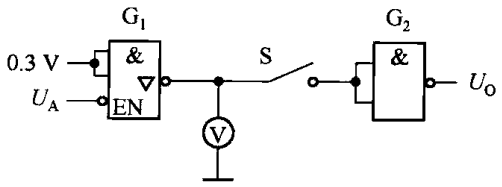
5.13　在题 5.13 图中 G_1 为 TTL 三态与非门，G_2 为普通 TTL 与非门，电压表内阻为 100 kΩ，试求下列 4 种情况下电压表的读数和 G_2 的输出电压 U_O 。

(1) $U_A=0.3$ V，开关 S 断开。

(2) $U_A=0.3$ V，开关 S 闭合。

(3) $U_A=3.6$ V，开关 S 断开。

(4) $U_A=3.6$ V，开关 S 闭合。



题 5.13 图

5.14　用逻辑代数定律化简下列各式。

(1) $F=\overline{A}\overline{B}+A\overline{B}+\overline{A}B+AB$

(2) $F=AB+\overline{A}B\overline{C}+\overline{A}BC$

(3) $F=(A+AB)(\overline{A}+\overline{A}B)$

(4) $F=ABC+AC\overline{D}+A\overline{C}+CD$

(5) $F=A+\overline{B+\overline{C}}\ (A+\overline{B}+C)(A+B+C)$

(6) $F=A\overline{C}\overline{D}+BC+\overline{B}D+A\overline{B}+\overline{A}C+\overline{B}\overline{C}$

5.15　用逻辑代数证明下列等式成立。

(1) $A+B+C=(A+B)(\overline{A}+B)+(C+\overline{D})(C+D)+$
$(A+\overline{E})(A+E)$

(2) $(AB+A\overline{B}+\overline{A}B)(A+B+C+\overline{A}\overline{C})=A+B$

(3) $AB\oplus\overline{A}C=AB+\overline{A}C$

(4) $BC+AD=(B+A)(B+D)(A+C)(C+D)$

5.16　用卡诺图化简下列逻辑函数式。

(1) $F=AB+\overline{A}BC+\overline{A}B\overline{C}$

(2) $F=A\overline{B}+B\overline{C}+\overline{A}C+\overline{A}B+\overline{B}C+A\overline{C}$

(3) $F=(A+B)C+(\overline{B}+\overline{C})D+(A+C)B$

(4) $F(A,B,C)=\sum(0,2,4,5)$

(5) $F(A,B,C,D)=\sum(1,4,7,9,12,15)$

(6) $F(A,B,C,D)=\sum(0,1,2,6,8,10,11,12)$

5.17　用与非门实现以下逻辑关系，并画出逻辑电路图。

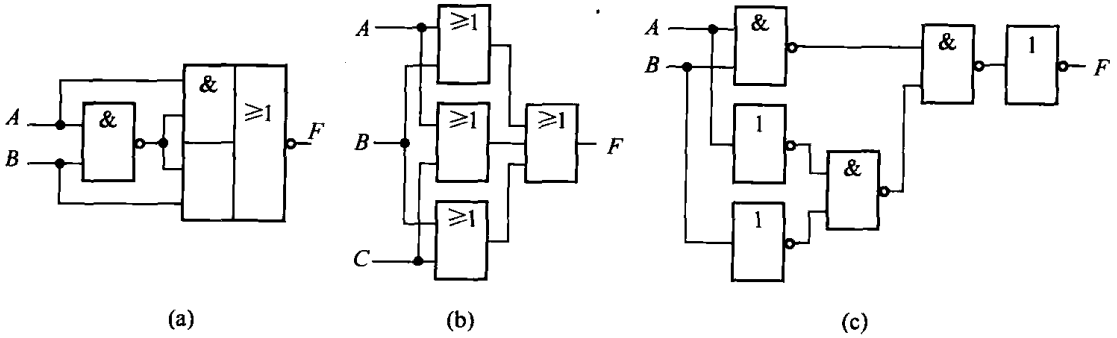
(1) $F=AB+\overline{A}C$

(2) $F=A+B+\overline{C}$

(3) $F=\overline{A}\overline{B}+(\overline{A}+B)\overline{C}$

(4) $F=A\overline{B}+A\overline{C}+\overline{A}BC$

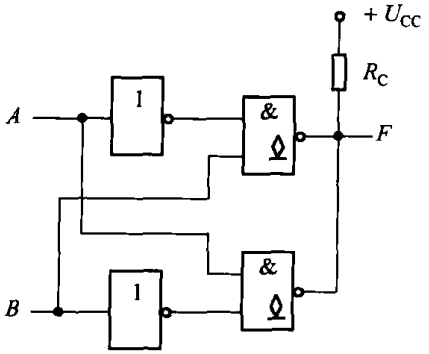
5.18 写出题 5.18 图所示各逻辑电路的逻辑关系式，并化简。



(a) (b) (c)

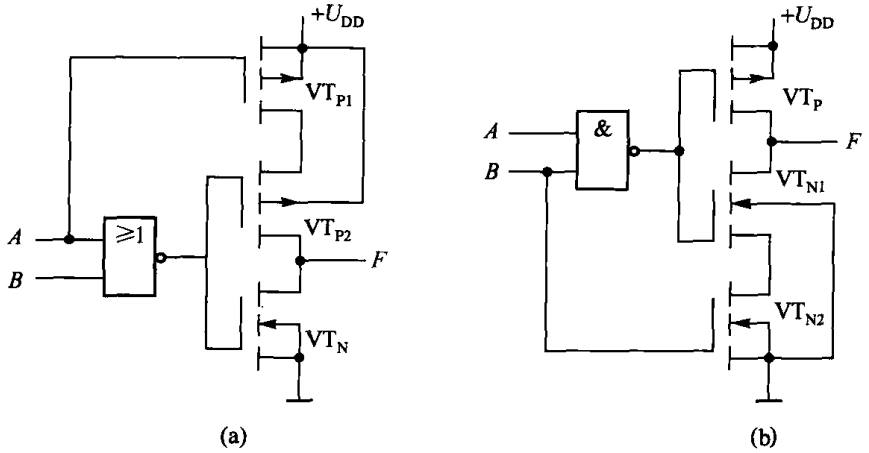
题 5.18 图

5.19 题 5.19 图所示为“线与”逻辑电路，写出输出与输入的逻辑关系式并分析其逻辑功能。



题 5.19 图

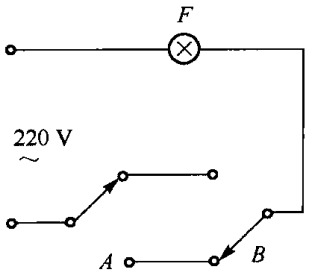
5.20 题 5.20 图所示为 CMOS 组成的逻辑电路，试分析它们的逻辑功能。



(a) (b)

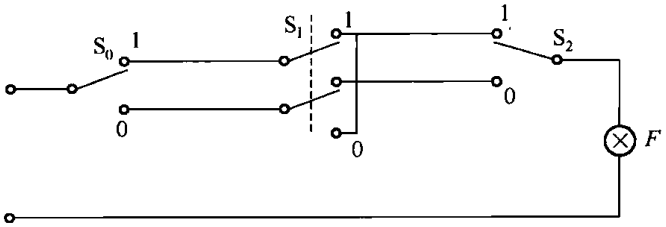
题 5.20 图

5.21 题 5.21 图所示为两处控制照明灯的电路，单刀双掷开关 A 装在一处，开关 B 装在另一处，两处都可以控制灯 F。设 $F=1$ 表示灯亮，$F=0$ 表示灯灭；$A=1$ 表示开关向上扳，$A=0$ 表示开关向下扳，B 与 A 相同。试写出灯亮的逻辑关系，画出相应的逻辑电路图。



题 5.21 图

5.22　从三处分别独立进行控制的通道灯电路如题 5.22 图所示。若开关S_0,S_1,S_2向上拨为状态“1”，向下拨为状态“0”，其中S_1为双刀双掷开关。灯亮为“1”，灯灭为“0”。试列出该电路的真值表和逻辑函数式。



题 5.22 图

5.23　设计一个灯亮的优先排队电路，它有 4 个输入变量 a，b，c 和 d，输出接 A, B, C 和 D 四盏灯。要求：

(1) 当 $a=1$，b，c，d 为任意，A 亮，其余灯不亮。

(2) 当 $a=0$，B = 1，c，d 为任意，B 亮，其余灯不亮。

(3) 当 $a=b=0$，$c=1$，d 为任意，C 亮，其余灯不亮。

(4) 当 $a=b=c=0$，$d=1$，D 亮，其余灯不亮。

(5) 当 $a=b=c=d=0$，所有灯都下亮。

5.24　某产品有 A，B，C，D 四项质量指标，规定 A 是必须满足的要求，其他三项只要满足任意两项要求，产品就算合格。产品满足某项指标为“1”，不满足则为“0”；产品合格为“1”，不合格为“0”。试列出真值表，并写出产品合格的最简逻辑式，用与非门组成逻辑电路。

5.25　设计一个识别电路，输入为 4 位二进制数，要求 $3 \leqslant x < 7$ 和 $x > 12$ 时，输出为“1”，否则，输出为“0”。

5.26　设计一个 4 位奇偶检验电路，当输入信号 A, B, C 和 D 中“1”的总个数为奇数时，F 为“1”，当为偶数时，F 为“0”。

5.27　一个组合电路，输入信号为 A, B 和 C，输出为 F_1 和 F_2，设计一个最简单的与非门组成的逻辑电路，其功能如下：

(1) 输入信号中有一个为“1”时，则 $F_1=0$，$F_2=1$。

(2) 输入信号中有两个为“1”时，则 $F_1=1$，$F_2=0$。

(3) 输入信号全为“1”时，则 $F_1=1$，$F_2=1$。

(4) 输入信号全为“0”时，则 $F_1=0$，$F_2=0$。

5.28　某洗衣机自动控制部分逻辑电路的真值表如题 5.28 表所示。其输入 4 个变量按 5421BCD 码规律变化，相应的输出量 F_1，F_2 和 F_3 状态如表所示，试设计此译码电路。

5.29　用 3 线-8 线译码器 74LS138 和与非门实现下列函数。

(1) $F=\sum(0,3,6,10,15)$

(2) $\begin{cases}F_1=A\bar{B}CD+\bar{A}\bar{B}C+ACD\\F_2=A\bar{B}C+A\bar{B}CD+\bar{A}\bar{B}C\end{cases}$

(3) $\begin{cases}F_1=AB+\bar{A}\bar{B}\bar{C}\\F_2=A+B+C\\F_3=\bar{A}B+A\bar{B}\end{cases}$

题 5.28 表

D	C	B	A	F_1	F_2	F_3
0	0	0	0	1	0	0
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	0	0
0	1	0	0	0	0	1
1	0	0	0	0	1	0
1	0	0	1	0	1	0
1	0	1	0	0	1	0
1	0	1	1	0	1	0
1	1	0	0	0	0	1

5.30 用 3 线-8 线译码器 74LS138 和与非门实现题 5.23 中的输出函数，并画出连接图。

5.31 用 4 选 1 数据选择器实现下列逻辑函数。

(1) $F=AB+C$

(2) $F=A\odot B$

(3) $F=\sum m(1,3,5,7)$

5.32 用 8 选 1 数据选择器实现下列逻辑函数。

(1) $F=\bar{A}\bar{B}+A(B\bar{C}+\bar{B}C)$

(2) $F=\sum m(0,2,5,7,9,12,15)$

(3) $F=ABC+A\bar{C}D$

5.33 试用 8 选 1 数据选择器实现题 5.22 所示电路的逻辑函数，画出连线图。

5.34 分别用集成 4 位加法器 7483 和集成 4 位比较器 74LS85 设计一个判断 8421BCD 码四舍五入的逻辑电路。

第 6 章　集成触发器和时序逻辑电路

第 5 章介绍的组合逻辑电路，其基本单元是门电路。组合逻辑电路的特点是，某一时刻的输出仅取决于当时的输入信号并且无法保存输出信号。本章将讨论的时序逻辑电路，它的基本单元电路是一种具有记忆、存储功能的双稳态触发器。时序逻辑电路的特点是，某一时刻的输出不仅取决于当时的输入信号，而且还与电路原来的状态有关。

本章将主要介绍几种常用的触发器，并讨论由触发器组成的几种常用时序逻辑电路，如寄存器、计数器等。

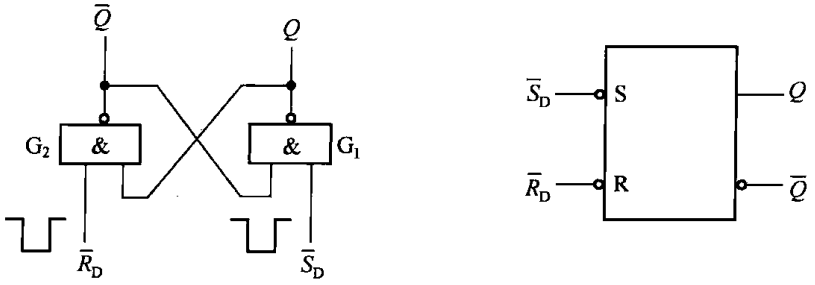
6.1　双稳态触发器

具有两种稳定状态的触发器称为双稳态触发器。双稳态触发器按逻辑功能可分为 RS 触发器、JK 触发器、D 触发器和 T 触发器等；按电路结构不同可分为同步型触发器、主从型触发器、维持-阻塞型触发器等；按触发方式可分为电平触发型、主从触发型和边沿触发型等。下面分别介绍其中主要的几种。

6.1.1　RS 触发器

1. 基本 RS 触发器

基本 RS 触发器可以由不同的逻辑门电路构成，这里介绍的是由两个“与非”门交叉联接而成的基本 RS 触发器，如图6.1.1 所示。图6.1.1 (a) 所示为其逻辑电路，图6.1.1 (b) 所示为其逻辑符号。它有两个输入端 $\overline{S}_D$，$\overline{R}_D$ 和两个互补的输出端 Q，$\overline{Q}$。两个输出端的状态在正常情况下总是相反的，通常把 Q 端的状态作为触发器的工作状态。



(a) 逻辑电路图　　(b) 逻辑符号

图 6.1.1　基本 RS 触发器

触发器在正常情况下具有两个稳定状态，一个是 $Q=1$，$\overline{Q}=0$ 状态，称为“1”态或“置位”状态；另一个是 $Q=0$，$\overline{Q}=1$ 状态，称为“0”态或“复位”状态。$\overline{S}_D$ 称为直接置位端或直接置“1”端，$\overline{R}_D$ 称为直接复位端或直接置“0”端。下面来分析触发器输入-输出关系，在分析中，用 Q^n 表示触发器原来的状态，用 Q^{n+1} 表示触发器接收输入信号触发后的新状态。

当 $\overline{S}_D=1$，$\overline{R}_D=1$ 时，若触发器的原状态为“1”态，即 $Q^n=1$，$\overline{Q}^n=0$，由于 G_2 门的输出为“0”，

反馈到G_1门输入端，必使G_1门的输出Q^n继续为“1”，同时G_1门的输出又反馈到G_2门的输入端，又确保了G_2门的输出$\overline{Q}^n$继续为“0”，即触发器保持原状态不变。若触发器的原状态为“0”态，即$Q^n=0$，$\overline{Q}^n=1$，则同样可推导出触发器保持原状态不变。这说明触发器此时具有记忆和保持信息的功能，即$Q^{n+1}=Q^n$。

当$\overline{S}_D=0$，$\overline{R}_D=1$($\overline{S}_D$端输入一负脉冲)时，无论Q^n为何状态，必有$Q^{n+1}=1$，$\overline{Q}^{n+1}=0$，由于$\overline{Q}^{n+1}$又反馈到G_1门的输入端，这时即使$\overline{S}_D=0$的信号消失，Q^{n+1}仍为“1”态。故触发器置“1”。

当$\overline{S}_D=1$，$\overline{R}_D=0$($\overline{R}_D$端输入一负脉冲)时，无论Q^n为何状态，必有$Q^{n+1}=0$，$\overline{Q}^{n+1}=1$，由于Q^{n+1}反馈到G_2门的输入端，这时即使$\overline{R}_D=0$的信号消失，同样可使$Q^{n+1}=0$，$\overline{Q}^{n+1}=1$。故触发器置0。

当$\overline{S}_D=0$，$\overline{R}_D=0$($\overline{S}_D$，$\overline{R}_D$端同时输入负脉冲)时，在此期间$Q^{n+1}=1$，$\overline{Q}^{n+1}=1$，这一状态破坏了双稳态触发器的正常逻辑关系，即违反了Q和$\overline{Q}$的互补原则。若输入状态再变成$\overline{S}_D=1$，$\overline{R}_D=1$(负脉冲同时消失)，则G_1和G_2门的输入端均为“1”，使得Q和Q^n都为0，似乎Q和$\overline{Q}$将在“1”和“0”之间振荡。事实上，这种振荡不可能出现，因为G_1门和G_2门的平均延迟时间t_{pd1}和t_{pd2}不可能完全相等。若t_{pd1}小于t_{pd2}，则触发器将稳定在$Q^{n+1}=0$，$\overline{Q}^{n+1}=1$的状态；若t_{pd1}大于t_{pd2}，则触发器将稳定在$Q^{n+1}=1$，$\overline{Q}^{n+1}=0$的状态。由于t_{pd1}和t_{pd2}往往是随机的，故触发器的最终状态是不定的。所以，这种输入状态在使用中应尽可能避免，即$\overline{S}_D=\overline{R}_D=0$为禁用输入状态。

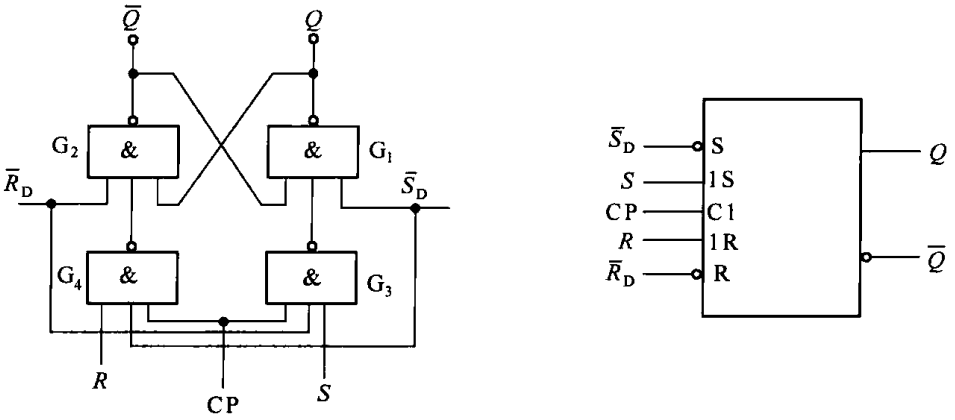
表6.1.1是基本RS触发器的真值表。

表6.1.1 基本RS触发器的真值表

$\overline{S}_D$	$\overline{R}_D$	Q_{n+1}
1	0	0
0	1	1
1	1	Q^n
0	0	不定

2. 同步RS触发器

上面介绍的基本RS触发器是一种直接触发的触发器，其输入不受任何约束，随时可将触发器置“0”或置“1”。而在一个数字系统中，当采用多个触发器工作时，往往要求各个触发器的翻转在时间上同步，以避免各触发器之间逻辑关系混乱。这就需要在触发器电路中增加门控电路，使得触发器只有在一个同步控制信号到达时才按输入信号改变输出状态。称此同步控制信号为时钟脉冲信号，简称时钟，用CP(Clock Pulse)表示。通常，时钟脉冲信号是连续的周期矩形窄脉冲或对称方波。



(a) 逻辑电路　　(b) 逻辑符号

图6.1.2 同步RS触发器

将具有时钟控制的RS触发器称为同步RS触发器或钟控RS触发器。其逻辑电路及逻辑符号分

别如图 6.1.2(a)和(b)所示。G_1 和 G_2 门组成基本 RS 触发器，G_3 和 G_4 门组成输入控制电路(引导电路)。CP 为时钟信号，S 和 R 为输入信号，Q 和 $\overline{Q}$ 为互补输出，$\overline{S}_D$ 和 $\overline{R}_D$ 为直接置位和复位端，用来设置初始状态，不用时应使 $\overline{S}_D=\overline{R}_D=1$。

下面分析触发器的输出状态与输入信号端 S 和 R 之间的关系。

当 CP = 0 时，G_3 和 G_4 门被封锁，输出高电平，所以 S 和 R 输入端的信号不起作用，触发器保持原状态不变。

当 CP = 1 时，G_3 和 G_4 门解除了封锁，则 S 和 R 输入端的信号可以通过 G_3 和 G_4 门作用到基本 RS 触发器的输入端。此时，触发器的状态有以下几种可能。

$S=0, R=0$ 时，G_3 和 G_4 门被封锁，与 CP = 0 的效果一样，触发器保持原状态不变，即 $Q^{n+1}=Q^n$。

$S=1, R=0$ 时，此时 G_4 门封锁，G_4 门输出高电平，G_3 门输出低电平，故无论触发器原来状态如何，必有 $Q^n=1$，触发器置“1”。

$S=0, R=1$ 时，此时 G_3 门封锁，G_3 门输出高电平，G_4 门输出低电平，故无论触发器原来状态如何。必有 $Q^{n+1}=0$，触发器置“0”。

$S=1, R=1$ 时，此时 G_3 和 G_4 门输出均为低电平，故触发器 $Q^{n+1}=\overline{Q}^{n+1}=1$。当时钟脉冲消失后，触发器状态不定，因此为禁用的输入状态。

同步 RS 触发器的状态转换表如表 6.1.2 所示。由表 6.1.2 所示的逻辑关系，得到触发器的次态 Q^{n+1} 和现态 Q^n 及输入信号的逻辑关系的卡诺图如图6.1.3(a)所示。

表 6.1.2　同步 RS 触发器状态转换表

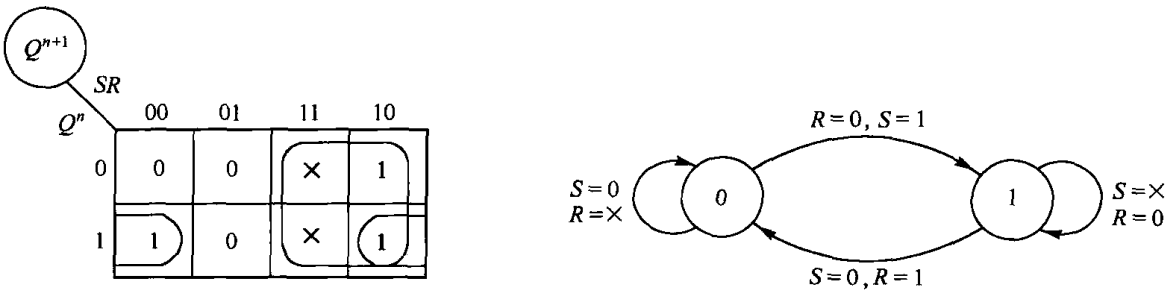
CP	S	R	Q^n	Q^{n+1}
0	×	×	0	0
0	×	×	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1*(禁止状态)
1	1	1	1	1*(禁止状态)

对次态卡诺图化简，得到触发器次态的逻辑表达式，也称为次态方程或特性方程：

$$Q^{n+1}=S+\overline{R}Q^n$$

$$RS=0\text{(约束条件)} \tag{6.1.1}$$

状态转换图也简称为状态图，是表示触发器状态变化的图形，也是分析和设计时序逻辑电路的重要工具。同步 RS 触发器的状态图如图 6.1.3(b)所示，图中标“0”的圆圈表示触发器的“0”态，标“1”的圆圈表示触发器的“1”态，箭头线表示触发器的状态变化方向，箭头线旁的数据表示触发器状态变化的所需条件。



(a) 次态卡诺图　　(b) 状态转换图

图 6.1.3　同步 RS 触发器状态图

同步 RS 触发器在基本 RS 触发器的基础上，增加了时钟控制电路，因此除了具有记忆存储信号

的功能外，还可用来构成数字电路中的寄存器和计数器。但它也存在两个问题：一个是存在禁用的不定状态；另一个是当构成计数器时，会出现空翻现象。如图6.1.4所示为一同步 RS 触发器构成的计数器，即 Q 和 R 相接、$\overline{Q}$ 与 S 相接，这时，每来一个时钟脉冲，触发器的状态改变一次。

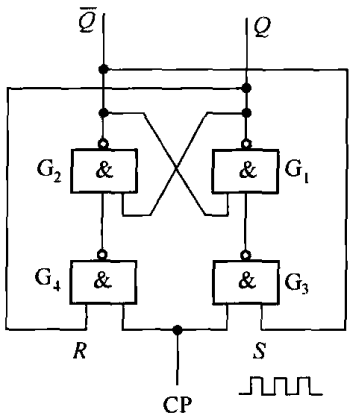


图 6.1.4 同步 RS 触发器构成的计数器

假设触发器状态为“0”，由于 Q 和 $\overline{Q}$ 的反馈，使 G_4 门封锁，G_3 门打开，当 CP = 1 时，脉冲从 G_3 门进入，将触发器状态翻转为“1”态。若时钟脉冲过宽，超过 G_3，G_1，G_2 三个门的平均延迟时间之和，即 $t_p > 3t_{pd}$ 时，则由于 Q 的翻转在 G_4 门的输出端产生一负脉冲将使触发器再次翻转回到“0”。若脉冲很宽，则会继续翻转下去。这种在一个时钟脉冲内触发器的状态发生多次翻转的现象，称为空翻，空翻现象会造成逻辑错误。但若时钟脉冲太窄，则又会出现新的问题，因为如果脉冲宽度小于 G_1，G_2 两个门的平均延迟时间，触发器新的状态可能还没有稳定就会由于输入状态的改变而返回原来状态，即出现触而不翻的现象。故要求时钟脉冲动 $t_p > 2t_{pd}$。从上面的分析可以看出，同步 RS 触发器要能正常工作，其时钟脉冲必须满足 $2t_{pd} < t_p < 3t_{pd}$，这在实际应用中较难实现。

同步 RS 触发器可在 CP = 1 期间的任何时刻接收输入信号并立即改变输出状态，这种触发方式称为高电平触发方式。如果在 CP = 0 期间接收输入信号并改变输出状态，则称为低电平触发方式，其逻辑符号应在图 6.1.2(b)中的 CP 输入端靠近方框处加一小圆圈。高电平触发和低电平触发统称为电平触发方式。

为了克服电平触发方式存在的空翻现象，需要采用新的输入控制电路。下面将介绍目前使用最为广泛的两种触发器：主从型 JK 触发器和维持-阻塞型 D 触发器。

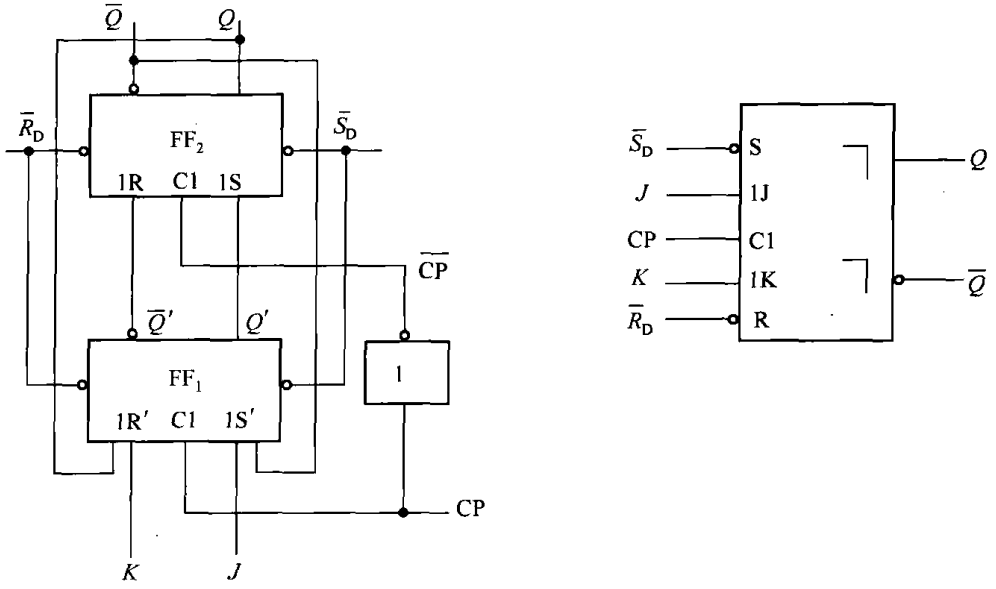
6.1.2 JK 触发器

图 6.1.5(a)和(b)所示分别为主从型 JK 触发器的逻辑电路和逻辑符号。从图 6.1.5(a)可知，它是由两个同步 RS 触发器相连而成的，触发器 FF_1 称为主触发器，触发器 FF_2 称为从触发器，主触发器的输出为从触发器的输入，从触发器的输出 Q 和 $\overline{Q}$ 交叉反馈至主触发器的输入，主触发器增加了两个信号输入端 J 和 K，电路中的非门为隔离引导门，它使主触发器和从触发器分别得到相位相反的时钟脉冲信号，这样可将接收输入信号和改变输出状态从时间上分开。$\overline{S}_D$ 和 $\overline{R}_D$ 为设置初始状态用的直接触发端，触发器工作时应将其保持在高电平上。

下面讨论主从型 JK 触发器的工作原理。

当 $J = 0, K = 0$ 时，无论 CP = 0 或 CP = 1，主触发器输入控制门均被封锁，触发器保持原状态不变，即 $Q^{n+1} = Q^n$。

当 $J = 1, K = 0$ 时，若触发器原状态为“0”态，在 CP = 1 时，主触发器由于两个 S 输入端(J 和 $\overline{Q}$)均为“1”，两个 R 输入端(K 和 Q)均为“0”，故翻转为“1”态，此时从触发器因时钟脉冲 $\overline{CP} = 0$，状态不变，仍为“0”态。当 CP 从“1”下跳到“0”，即 CP = 0 时，主触发器被封锁，保持“1”态不变；而 $\overline{CP} = 1$，从触发器跟随主触发器而翻转为“1”态。若触发器的原状态为“1”态，在 CP = 1 时，主触发器由于两个 S 输入端中和两个 R 输入端中均有“0”信号($\overline{Q}$ 和 K)，故被封锁，主触发器保持原状态“1”不变，在 CP = 0 时. 从触发器处于置“1”状态，故输出状态为“1”不变。所以，当 $J = 1, K = 0$ 时，无论触发器的初始状态如何，在 CP 下跳后，触发器将被置“1”(或保持“1”态)。



(a) 逻辑电路　　(b) 逻辑符号

图 6.1.5　主从型 JK 触发器

当 $J=0, K=1$ 时，同上述的分析方法一样，可知无论触发器的初始状态如何，在 CP 下跳后，触发器将被置“0”（或保持“0”态）。

当 $J=1, K=1$ 时，若触发器的原状态为“0”态（$Q=0$，$\overline{Q}=1$），在 CP = 1 时，主触发器由于两个 S 输入端（J 和 $\overline{Q}$）均为“1”，而两个 R 输入端中有“0”信号（$Q=0$），故主触发器翻转为“1”态。当 CP = 0 后，主触发器封锁，“1”态不变，而从触发器将翻转为“1”态。若触发器的原状态为“1”态（$Q=1$，$\overline{Q}=0$），在 CP = 1 时，主触发器由于 S 输入端中有“0”信号（$\overline{Q}=0$）而 R 输入端均为“1”，故主触发器翻转为“0”态。当 CP = 0 后，主触发器封锁，保持“0’态不变，而从触发器将翻转为“0”态。

从上面分析可知，当 $J=1, K=1$ 时，无论触发器的初始状态如何，在 CP 脉冲作用后，触发器的输出状态总是发生一次翻转。每来一个 CP 脉冲，触发器便翻转一次，即 $Q^{n+1}=\overline{Q}^n$，触发器处于计数状态。

表 6.1.3　JK 触发器真值表

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q}^n$

与图 6.1.4 所示的同步 RS 触发器构成的计数器相比较，JK 触发器在 CP = 1 时，主触发器开门接收信号、从触发器封锁，输出状态不变；在 CP = 0 时，主触发器封锁，从触发器开门改变状态。这种分两步走的工作方式决定了触发器在一个 CP 脉冲变化中最多只能翻转一次，故可避免因 CP 脉冲太宽而产生的“空翻”现象。

此外，J, K 端输入状态的任何组合都是允许的，没有禁用和不定的限制。由于主从型 JK 触发器的功能较全，同时可容易地转换为其他类型的触发器，故在数字时序逻辑电路中应用非常广泛，是一种很实用的触发器。根据上述的分析，可写出主从型 JK 触发器的真值表，如表6.1.3所示。

同样，根据 JK 触发器的真值表可得到其特性方程（次态方程）：

$$Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n \qquad (6.1.2)$$

主从型 JK 触发器的状态图如图6.1.6 所示。

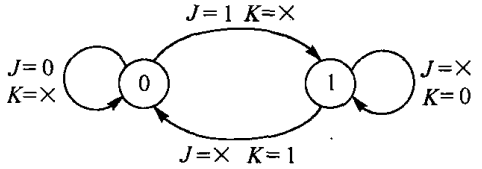


图 6.1.6　主从型 JK 触发器的状态图

主从型 JK 触发器在 CP = 1 期间主触发器接收输入信号，在 CP 由“1”下降到“0”时刻，从触发器输出状态发生改变——向主触发器看齐，将这种触发方式称为主从触发方式。在图 6.1.5(b)所示的逻辑符号中，CP 输入端的小圆圈符号表明输出状态的改变是在 CP 下降沿发生的，输出端的“¬”符号表明输出状态相对于输入信号有一延迟，即主从触发。主从型 JK 触发器后沿翻转的工作情况可用图6.1.7 所示工作波形图的例子来说明。

中规模集成主从型 JK 触发器有 7472，74H72 等。图6.1.8 为 7472 型双 JK 集成触发器的引脚排列图，它内部集成了两个独立的主从 JK 触发器，其输入和输出分别用 1J, 1K, 1Q 和 2J, 2K, 2Q 表示。

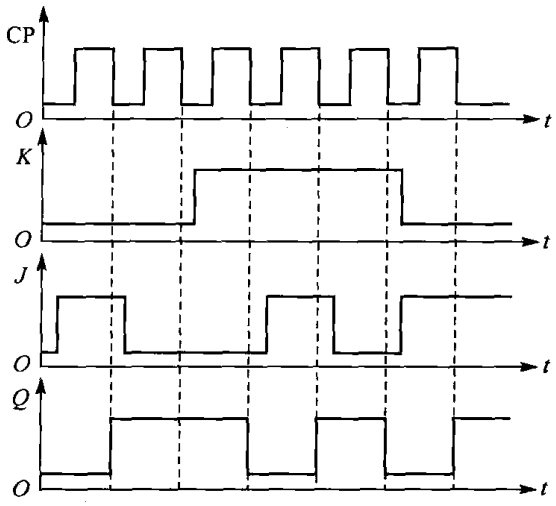


图 6.1.7 主从型 JK 触发器工作波形图

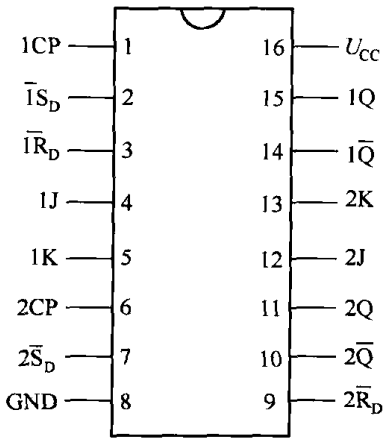


图 6.1.8 7472 型双 JK 集成触发器引脚排列图

主从型 JK 触发器逻辑功能较强并能有效地避免空翻现象，但它对 J, K 端输入信号要求较高，若在 CP = 1 期间，J, K 端输入信号发生变化，触发器将可能出现“一次翻转”问题。这是由于在主从型 JK 触发器中有两条从输出到输入的交叉反馈线，在 CP = 1，$\overline{CP} = 0$ 期间，从触发器保持状态不变，而 Q 和 $\overline{Q}$ 互补，总有一个为低电平，这就使主触发器的输入中必有一个低电平，并将相应的门封锁住，故 J, K 输入信号中只有一个输入变量能对主触发器的翻转起作用，一旦此输入发生变化引起主触发器翻转，则该变量无论再怎样变化也不能使主触发器再翻转到原来的状态。这种在一个时钟脉冲内，主触发器只能翻转一次的现象称为主从型 JK 触发器的“一次翻转”。因此，在使用主从型触发器时必须注意：只有在 CP = 1 的全部时间内，输入信号始终不变的情况下，用 CP 下降沿到达时刻的输入信号决定触发器次态才是正确的。“一次翻转”问题降低了主从型触发器的抗干扰能力，限制了它的使用范围。为了解决这一问题，下面将介绍一种能避免“一次翻转”的边沿型触发器。

6.1.3 D 触发器(边沿触发器)

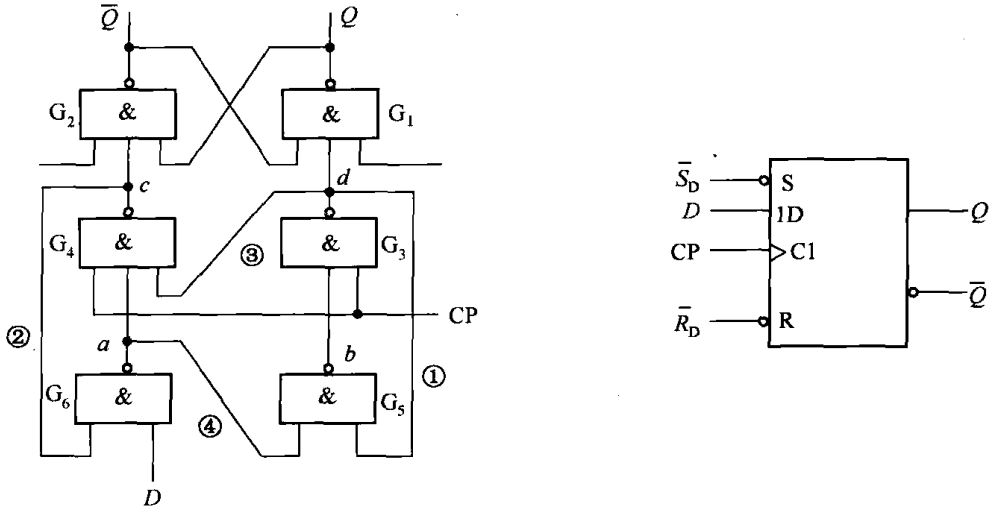
与主从型触发器不同的是，边沿触发器只是在 CP 的上升或下降跳变时刻接收输入信号并改变输出状态，这种触发方式称为边沿触发方式。如果在 CP 的上升沿接收输入信号并改变输出，则称之为上升沿触发或前沿触发；如果在 CP 的下降沿接收输入信号并改变输出，则称之为下降沿触发或后沿触发。上升沿触发和下降沿触发统称为边沿触发。由于边沿触发器的输出状态仅取决于 CP 跳变时输入信号的状态，而在 CP = 0 和 CP = 1 期间输入状态的任何变化，对触发器的输出状态均无影响，因此有效地克服了主从触发方式的“一次翻转”现象，抗干扰能力较强，是目前应用较为广泛的触发器。

边沿触发器有多种，但主要应用的有两类，即 CP 上升沿触发的维持-阻塞型 D 触发器和 CP 下降沿触发的边沿 JK 触发器，而在这两类触发器中又分别有 TTL 结构型和 CMOS 结构型。

在本节中，主要介绍 TTL 结构型维持-阻塞型 D 触发器。

图6.1.9(a)所示为 TTL 结构型维持-阻塞型 D 触发器的逻辑电路，它由 6 个“与非”门组成。其中，G_1 和 G_2 门构成基本 RS 触发器，G_3，G_4，G_5 和 G_6 门构成导引电路，输出端为互补的 Q 和 $\overline{Q}$，时钟脉冲加在 G_3 和 G_4 门的输入端，输入信号 D 加在 G_6 门的输入端，①，②，③和④为 4 根维持-阻塞反馈线。

维持-阻塞型 D 触发器的逻辑符号如图6.1.9(b)所示，图中 CP 输入端没有小圆圈，表示它是在 CP 前沿触发翻转的触发器，如果是下降沿触发则需在 CP 输入端加上小圆圈。若输入端 D 有两个以上输入端如 D_1，D_2，D_3 时，则输入端之间是“与”逻辑关系，即 $D = D_1 D_2 D_3$。



(a) 逻辑电路图　　(b) 逻辑符号

图 6.1.9　TTL 结构型维持-阻塞型 D 触发器

下面讨论该触发器的工作原理。

在 CP = 0 时，G_3 和 G_4 门均被封锁，其输出 c 和 d 均为“1”，基本 RS 触发器保持原状态不变。G_5 和 G_6 门的输出 a 和 b 的状态由输入信号 D 的状态而定，此时触发器处于等待状态。

当 CP 从“0”上跳到“1”，即时钟脉冲的前沿到达时，我们分两种情况来讨论。

若 $D = 0$，G_6 门输出 a 为“1”，G_5 门的两个输入端 a 和 d 均为“1”，其输出 b 为“0”，G_3 门被封锁。当 CP 的前沿到达时，从 G_4 门进入，G_4 门输出 c 从“1”变为“0”，触发器处于清“0”状态($Q = 0$)，同时通过置“0”维持线②封锁 G_6 门以保证 a 为“1”、c 为“0”，并通过置“1”阻塞线④使 b 为“0”，阻塞了置“1”通道。此时，无论输入信号 D 发生什么变化，都不会再改变触发器的输出状态。

若 $D = 1$，由于 G_4 门输出 c 此时也为“1”，故 G_6 门输出 a 为“0”，封锁了 G_4 和 G_5 门，G_5 门输出 b 也为“1”。当 CP 的前沿到达时，由于 G_4 门封锁了，故 CP 从 G_3 门进入，G_3 门输出 d 从“1”变为“0”，触发器处于置“1”状态($Q = 1$)，同时通过置“0”阻塞线③封锁 G_4 门，阻塞了置“0”通道，并通过置“1”维持线①封锁 G_5 门，保证 G_5 门输出 b 为“1”。此时，无论输入信号 D 发生什么变化，由于 G_4 和 G_5 门均已封锁，触发器的输出状态不会再改变。

从上述分析可知，维持-阻塞型 D 触发器在 CP = 0 时，输出保持不变；在 CP 从“0”上跳到“1”的脉冲前沿到达时，触发器接收这一时刻输入信号 D 的状态并改变输出状态，这一时刻后输入信号无论怎样变化，触发器的输出状态不再改变，必须等到下一个脉冲前沿到来时才会再发生变化，故该触发器是一种脉冲前沿触发翻转的边沿触发器，可有效地防止“空翻”现象和“一次翻转”现象。

表 6.1.4 为 D 触发器的真值表。

D 触发器的特性方程(次态方程)为

$$Q^{n+1}=D \tag{6.1.3}$$

维持-阻塞型 D 触发器的状态图如图6.1.10 所示。

表 6.1.4 D 触发器真值表

D	Q^{n+1}
1	1
0	0

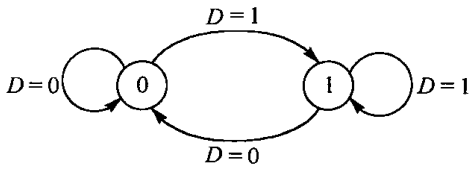


图 6.1.10 D 触发器状态图

图6.1.11 所示为当输入端 D 输入某一输入信号时 D 触发器的工作波形。

中规模集成 TTL 维持-阻塞型 D 触发器有 7474，74H74 等型号。图6.1.12为 7474 型双 D 集成触发器引脚排列图，它内部集成了两个独立的维持-阻塞型 D 触发器，其输入和输出分别用 1D，2D 和 1Q，2Q 表示。

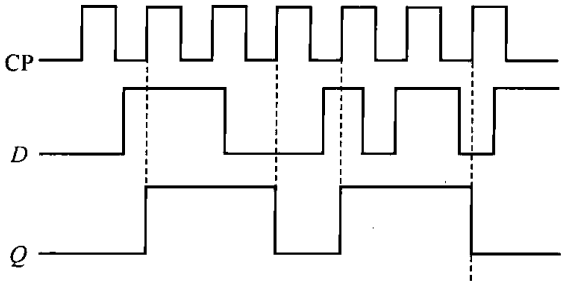


图 6.1.11 维持-阻塞型 D 触发器的工作波形

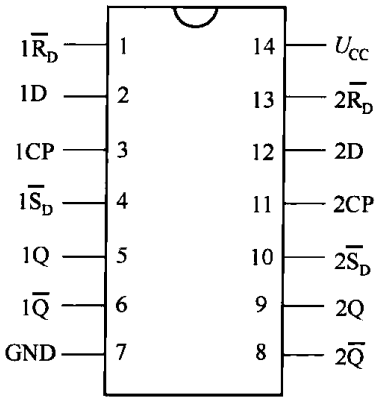


图 6.1.12 7474 型双 D 集成触发器的引脚排列图

思考题

6.1.1 什么是 RS 触发器的不定状态？在基本 RS 触发器中，当 $\bar{R}_D=0$，$\bar{S}_D=0$ 时，触发器的状态是否不定？

6.1.2 在触发器中直接置位端 $\bar{S}_D$ 和直接复位端 $\bar{R}_D$ 分别起什么作用？触发器正常工作时，应将它们置于何种状态？

6.1.3 什么是触发器的空翻现象？怎样克服空翻现象？

6.1.4 什么是触发器的“一次翻转”现象？怎样克服“一次翻转”现象？

6.1.5 触发器有哪几种触发方式？各有何特点？

6.1.6 总结 RS 触发器、JK 触发器、D 触发器等各种触发器的逻辑功能和逻辑符号的画法，以及它们的次态 Q^{n+1} 的逻辑表达式(次态方程)。

6.1.7 TTL 系列触发器的输入端若悬空，其逻辑状态是什么？

6.2 寄存器

常用的时序逻辑电路主要有寄存器和计数器等，可以由单个分立的触发器构成这些时序电路，但目前基本上都是采用集成电路产品。下面将对由分立的触发器构成的电路和集成电路分别作一个介绍。

在计算机和数字系统中，经常需要将一些数码暂时存放起来。能暂时存放数码的逻辑部件称为寄存器。

寄存器通常由具有记忆功能的触发器和某些起控制作用的门电路组成。一个触发器可以寄存一位二进制数，因此能存储 n 位二进制数的寄存器需要 n 个触发器。

寄存器接收数码的方式有双拍接收方式和单拍接收方式两种。前者是第 1 拍清零，第 2 拍存数；后者则是 1 拍就完成存数。

寄存器按功能可分为多种，但运用较多的是数码寄存器和移位寄存器这两种，特别是不仅能寄存数码，而且能使数码移位的移位寄存器使用更广泛，是数字系统中进行算术运算的必需部件。

6.2.1　数码寄存器

图6.2.1所示逻辑电路是一个由 D 触发器组成的 4 位数码寄存器。它由 4 个 D 触发器组成，时钟脉冲端 CP 在这里作为存数指令端，$D_0 \sim D_3$ 为 4 位数码输入端，$Q_0 \sim Q_3$ 为 4 位数码的原码输出端，$\overline{Q}_0 \sim \overline{Q}_3$ 为 4 位数码的反码输出端，$\overline{R}_D$ 为清零指令端。

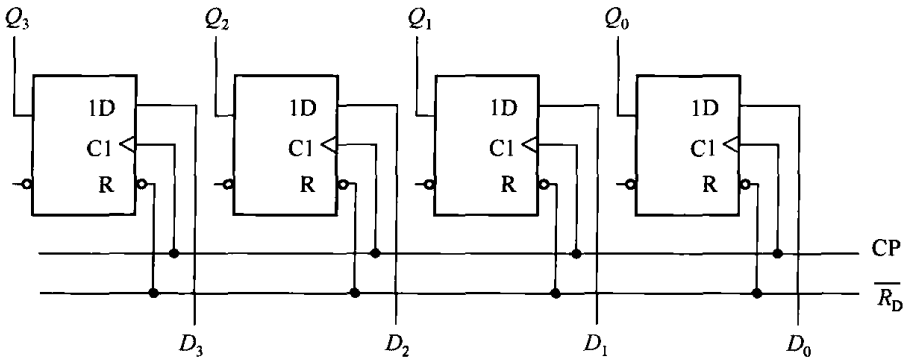


图 6.2.1　D 触发器组成的 4 位数码寄存器

当 4 位数码要存入时，先将数码送到相应的数据端，在存数指令到达后，则 $Q^{n+1}=D$ 数码便存入了寄存器，一直保存到下一次存数指令到达前。该电路的数码输出端未加控制电路，数码可直接取出，若加入输出控制门电路后，则需要等到取数指令到达后，才能取数。这种将数码一并存入又一并取出的方式称为并入并出方式。该电路存数前不需要专门清零，一步可完成存数过程，故属于单拍接收方式。

数码寄存器有专门的集成器件，TTL 中规模集成数码寄存器有 4 位的 74175，74LS175 等，另外还有 6 位、8 位集成器件，如 8 位的 74273，74LS373 等。

6.2.2　移位寄存器

移位寄存器是在移位脉冲作用下，将寄存器中的数码依次向左移或向右移。按移动方式可分为单向(左移或右移)移位寄存器和双向移位寄存器。按数码输入输出方式可分为串行输入、并行输入、串行输出、并行输出等。

1．单向移位寄存器

(1) *串行输入-串并行输出右移寄存器*

图6.2.2所示为用 D 触发器构成的 4 位串行输入-串并行输出右移寄存器的逻辑电路。每个 D 触发器的输出端 Q 接到前一级 D 触发器的 D 输入端。最左边的 D 触发器 FF_3 的输入端 D 作为串行输入端，最右边的 D 触发器 FF_0 的输出端 Q_0 作为串行输出端。由于 D 触发器的输出状态 Q^{n+1} 仅决定于 CP 脉冲到来之前瞬时的输入 D^n 的状态，所以，每来一个移位脉冲，上一触发器的输出状态就移入到下一触发器中，即数码向右移了一位。现举例说明。

在输入数码之前，首先清零。设需要寄存的 4 位数码是 1101，右移寄存器总是先从数码的最低位输入并向右移位。当第一个移位脉冲 CP 来到后，串行输入信号的最低位“1”移入 FF_3，此时 4 个触发器的输出状态 $Q_3Q_2Q_1Q_0=1000$。第 2 个 CP 脉冲到来后，串行输入信号的次低位“0”移入 FF_3，同时 FF_3 的“1”移入 FF_2，此时 $Q_3Q_2Q_1Q_0=0100$；依次分析可知，第 3 个 CP 脉冲来到后，$Q_3Q_2Q_1Q_0=1010$；第 4 个脉冲来到后，$Q_3Q_2Q_1Q_0=1101$。串行输入的 4 位数码在 4 个 CP 移位脉冲的作用下，全部移入寄存器中。

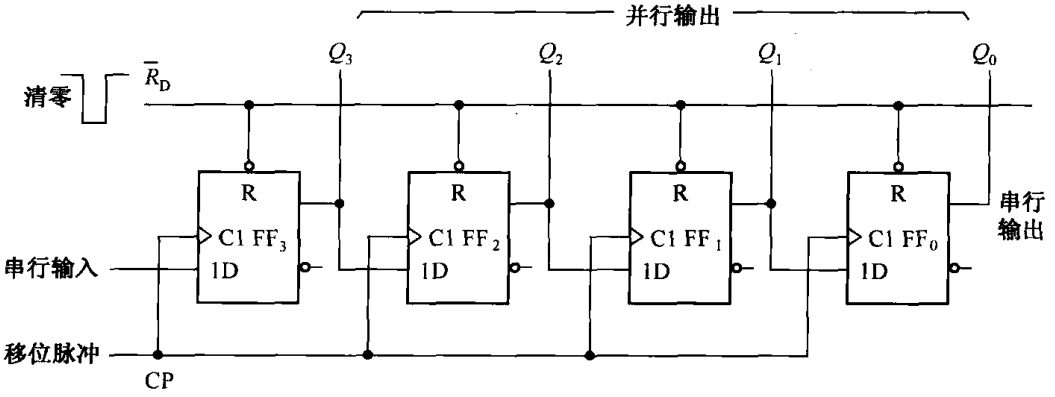


图 6.2.2 D 触发器构成的 4 位串行输入-串并行输出右移寄存器

若需输出这 4 位数码时，一种方法是并行输出，即通过 4 个触发器输出端 Q_3，Q_2，Q_1，Q_0 直接取出数码；另一种方法是串行输出，即继续输入 4 个 CP 移位脉冲，就可在最低位触发器 FF_0 的输出端 Q_0 串行取出被寄存的数码。

上述数码移位过程如表 6.2.1 所示，其工作波形如图6.2.3所示。

表 6.2.1 4 位右移寄存器状态表

CP	D_3	Q_3	Q_2	Q_1	Q_0
1	1	1	0	0	0
2	0	0	1	0	0
3	1	1	0	1	0
4	1	1	1	0	1
5	0	0	1	1	0
6	0	0	0	1	1
7	0	0	0	0	1
8	0	0	0	0	0

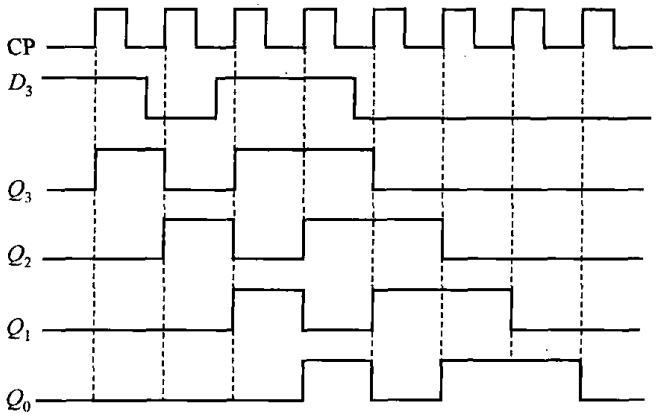


图 6.2.3 4 位右移寄存器工作波形

(2) 并串行输入-串行输出左移寄存器

图6.2.4所示为采用 4 个 D 触发器和 4 个与非门组成的 4 位并串行输入-串行输出左移寄存器的逻辑电路。每个 D 触发器的输出端接到下一个触发器的输入端。最右边的 D 触发器 FF_0 的输入端 D 作为串行输入端，最左边的 D 触发器 FF_3 的输出端 Q_3 作为串行输出端，4 个 D 触发器的直接置“1”端 $\overline{S}_D$ 通过 4 个与非门在存数指令脉冲控制下作为并行输入端。

左移寄存器的串行输入数码总是从高位到低位依次输入到 FF_0 的 D 端。与前面所述的右移寄存器工作情况相似，在连续输入 4 个 CP 移位脉冲后，待寄存的 4 位数码逐个左移，存入寄存器中。

该寄存器也可使用并行输入方式，输入数码时需采用双拍输入。第 1 步，在各位 D 触发器 $\overline{R}_D$ 端

加清零负脉冲，将各触发器清零。第 2 步，将 4 位待寄存数码加在 D_3，D_2，D_1，D_0 端，当存数指令脉冲到达后，便可将待寄存的 4 位数码直接存入寄存器中。需要输出数码时，只要再输入 4 个 CP 移位脉冲，就可在最高位触发器 FF_3 的输出端 Q_3 处串行依次取出 4 位寄存的数码。

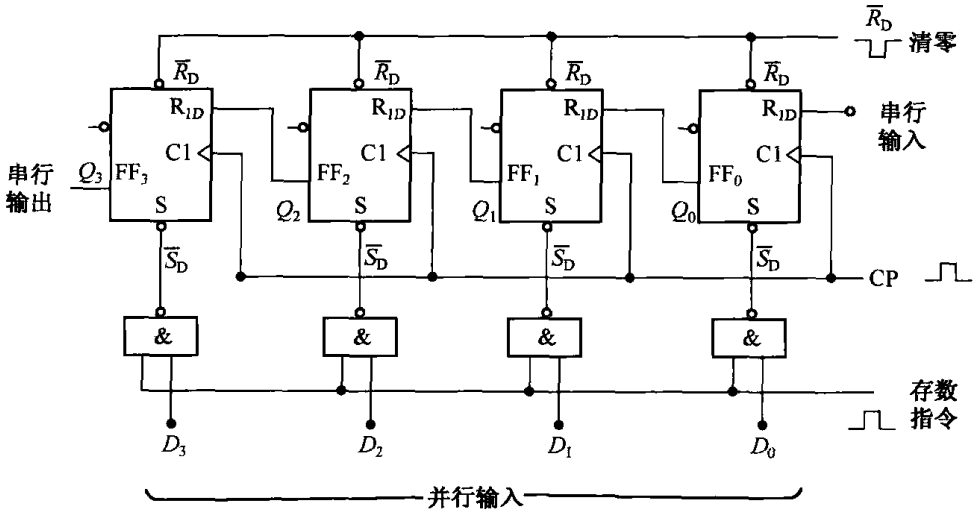


图 6.2.4　D 触发器组成的 4 位并串行输入-串行输出左移寄存器

2．双向移位寄存器

上述移位寄存器都是单向移位的，双向移位寄存器由于其功能更完善、更实用而在实际中使用得更多。其中，较为典型的有中规模集成双向移位寄存器 74194(4 位)、74LS194(4 位)、74198(8 位)、74LS198(8 位)等。这里以 74LS194 为例，介绍双向移位寄存器。图 6.2.5 所示为 74LS194 双向移位寄存器的逻辑符号。其中 D_{SR} 为数码右移串行输入端，D_{SL} 为数码左移串行输入端，$D_0 \sim D_3$ 为数码并行输入端，M_1 和 M_0 为移位寄存器工作方式控制端，$\overline{CR}$ 为清零端，CP 为时钟脉冲端，$Q_0 \sim Q_3$ 为并行输出端。这是一个串并行输入-串并行输出的双向移位寄存器。该双向移位寄存器用控制端 M_1 和 M_0 的不同取值并通过 4 个相同的四选一数据选择器来选择和控制移位寄存器的工作方式。

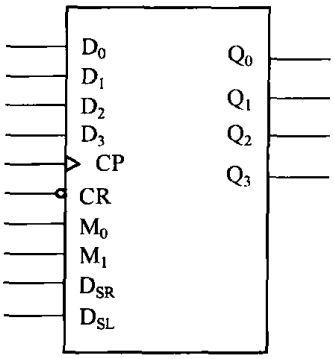


图 6.2.5　74LS194 双向移位寄存器的逻辑符号

表 6.2.2 为 74LS194 双向移位寄存器的逻辑功能表。表中的“×”处为任意状态、“↑”表示上升沿。

表 6.2.2　74LS194 双向移位寄存器的逻辑功能表

功　能	输入状态										输　出			
	$\overline{CR}$	M_1	M_0	CP	D_{SR}	D_{SL}	D_0	D_1	D_2	D_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
清零	0	×	×	×	×	×	×	×	×	×	0	0	0	0
保持	1	×	×	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n
存数	1	1	1	↑	×	×	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
右移	1	0	1	↑	1	×	×	×	×	×	1	Q_0^n	Q_1^n	Q_2^n
	1	0	1	↑	0	×	×	×	×	×	0	Q_0^n	Q_1^n	Q_2^n
左移	1	1	0	↑	×	1	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	1
	1	1	0	↑	×	0	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	0
保持	1	0	0	↑	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n

由表6.2.2可以看出，当清零信号$\overline{CR}$为“0”时，输出为“0”；其他工作状态时，$\overline{CR}$应为“1”。

若清零信号$\overline{CR}=1$，M_1 M_0为任意值时，输出保持原态。

若M_1 $M_0=00$，在CP上升沿到达时寄存器工作在“保持”状态。

若M_1 $M_0=01$，在CP上升沿到达时寄存器工作在“右移”状态，寄存数码可从D_{SR}端输入。

若M_1 $M_0=10$，在CP上升沿到达时寄存器工作在“左移”状态，寄存数码可从D_{SL}端输入。

若M_1 $M_0=11$，在CP上升沿到达时寄存器工作在“数码并行输入”状态，待寄存的数码可从$D_0 \sim D_3$端并行输入。

从上面可知，74LS194具有左移、右移、并行输入、保持等4种功能。

双向移位寄存器除了作为寄存器使用外，在数字测量与控制系统中也有着较为广泛的应用。下面举一个由74LS194双向移位寄存器构成的数据串并转换电路的例子来说明其用法。

在数字测控系统中和微机与外设的数据传递过程中，经常需要变换数据的传送格式，图6.2.6所示为利用两片74LS194双向移位寄存器构成的8位串行-并行数据转换电路。

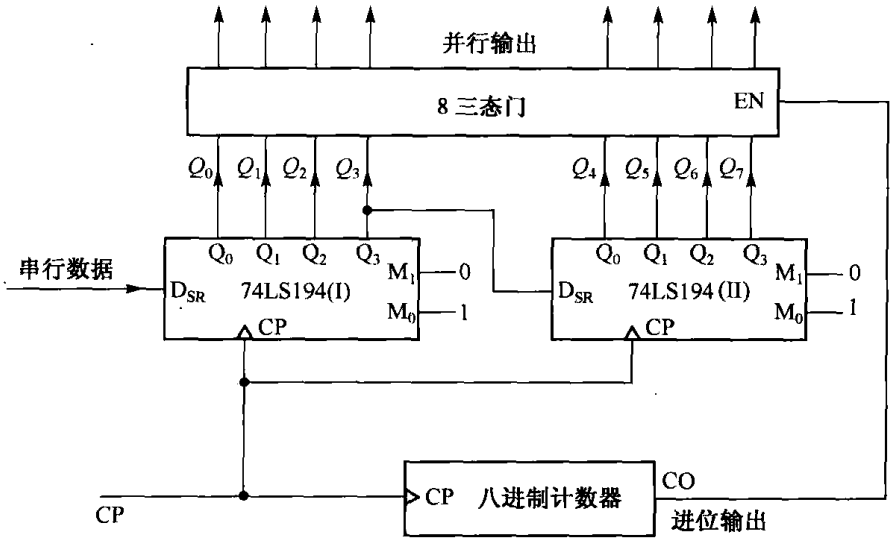


图6.2.6 利用两片74LS194双向移位寄存器构成的8位串行-并行数据转换电路

两片74LS194双向移位寄存器串接组成8位移位寄存器，串行数据从片74LS194(Ⅰ)的D_{SR}端输入，经过8个CP脉冲后，串行数据依次移入$Q_0 \sim Q_7$，同时八进制计数器计满输出进位信号CO，使8三态门工作，一次便可将$Q_0 \sim Q_7$的8个数据读出，从而实现了8位数据的串并转换。

另外，在6.4节中还将介绍一种由74LS194双向移位寄存器构成的顺序脉冲发生电路。

思考题

6.2.1 数码寄存器和移位寄存器有何不同?

6.2.2 什么是并行输入、串行输入、并行输出和串行输出?

6.2.3 怎样由移位寄存器构成环形计数器和扭环形计数器?

6.3 计数器

计数器是一种能累计输入脉冲数目的时序逻辑电路。除了计数，计数器还可用来定时、分频和进行数字运算等，几乎所有的数字系统中都有计数器。因此，计数器是数字系统中非常重要和基本的时序逻辑部件。

计数器的种类很多，按时钟脉冲作用方式可分为同步计数器和异步计数器；按进位制可分为二

进制计数器、十进制计数器和任意进制计数器；按计数功能可分为加法计数器、减法计数器和可加可减的可逆计数器。此外，按集成工艺还可分为 TTL 型计数器和 MOS 型计数器等。

6.3.1　时序逻辑电路的分析方法

所谓时序逻辑电路的分析，就是对时序电路进行逻辑功能的分析。

根据构成时序逻辑电路的各级触发器时钟端的连接方式，时序逻辑电路可分为同步时序逻辑电路和异步时序逻辑电路。同步时序逻辑电路的全部触发器时钟端是并联的，受系统时钟的统一控制，所以各级触发器的状态变化是同时进行的；而异步时序逻辑电路的各级触发器时钟端的连接不完全相同，因此触发器的状态变化不是同时发生的。所以，同步时序逻辑电路和异步时序逻辑电路的分析方法稍有不同，但基本方法是一致的。

时序逻辑电路分析的方法有几种，基本的方法和步骤如下。

(1) 写出时序逻辑电路中每个触发器的激励方程(驱动方程)，即各个触发器输入信号的逻辑函数表达式，有些电路还要写出输出方程；

(2) 将各个触发器的激励方程代入各自的触发器特性方程中，得到各个触发器的状态方程，也即次态方程；

(3) 将输入变量和电路的初始状态的取值代入状态方程和输出方程，求出电路的次态和输出值；再将该次态作为新的现态，与此时的输入变量取值一起，代入到状态方程和输出方程中，得到新的次态和输出值；依此类推，把所得到的结果列成表的形式，即得到状态转换表，进而也就可以画出状态转换图和时序波形图；

(4) 根据状态转换表或状态转换图、时序波形图分析和说明该时序逻辑电路的逻辑功能。

如果是异步时序逻辑电路，则还需增加时钟方程，故分析方法略复杂一些。

对于较为简单的时序逻辑电路，也可以采用直接观察法来分析电路的逻辑功能，可能会比上述的基本分析方法更为简便，其步骤是：首先写出各触发器输入端的激励方程；然后根据触发器的类型和逻辑功能，按计数脉冲输入的顺序逐个确定各个触发器翻转的状态，列出电路的状态表并画出工作波形图；最后由状态表和工作波形图确定电路的逻辑功能。此外也可以用实验的方法来分析电路的逻辑功能，如示波器观察波形等。

对于上述的基本分析方法，将在后面的例题分析中进行实例说明。

6.3.2　二进制计数器

1．二进制加法计数器

对于二进制的加法，其规则是“逢 2 进 1”，即 0 + 1 = 1，1 + 1 = 10。当本位是 1，再加 1 时，本位便为 0，高位加 1，也就是说，每当本位从 1 变为 0 时，便向相邻高位进位，使高位加 1。1 位二进制数需一个触发器表示，n 位二进制数则需用 n 个触发器构成。

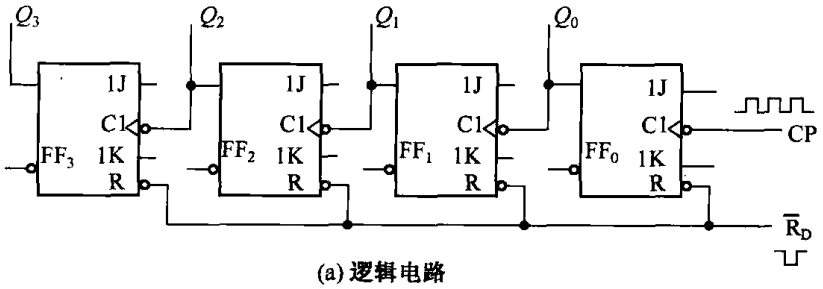
(1) 异步二进制加法计数器

所谓异步计数器，是指计数脉冲不是同时加到各触发器的 CP 端，只是加到最低位触发器的 CP 端，其他触发器由相邻低位触发器输出的进位脉冲来触发。故各级触发器不是同时翻转的。

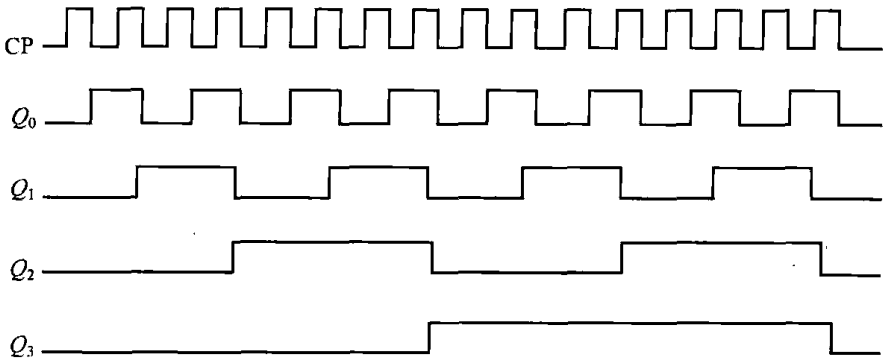
图6.3.1(a)所示为由下降沿触发的边沿 JK 触发器构成的异步 4 位二进制加法计数器的逻辑电路，图6.3.1(b)所示为该计数器的工作波形。

该异步 4 位二进制加法计数器 JK 触发器的输入端 J 和 K 均接高电平，故触发器处于计数状态，其 CP 端来一个脉冲后沿，输出便翻转一次。该计数器的最低位触发器 CP 端接计数脉冲，每一个触

发器的输出端Q接到相邻高位触发器的 CP 端。这样，每输入一个计数脉冲，最低位触发器FF_0便翻转一次，当FF_0由“1”翻到“0”时，产生进位脉冲，使触发器FF_1翻转；同理，当FF_1由“1”翻转“0”时，FF_2翻转；FF_2由“1”翻到“0”时，FF_3翻转，…… 从图6.3.1(b)所示的工作波形图中可以看到这一过程。表6.3.1为该计数器的状态表。



(a) 逻辑电路



(b) 工作波形图

图 6.3.1 异步 4 位二进制加法计数器

4 位二进制计数器有 16 种组合状态，在第 16 个计数脉冲到来后，Q_3端产生进位信号，整个计数器完成“逢 16 进 1”的功能，因此，也称 4 位二进制计数器为十六进制计数器或模 16 计数器。

符合2^n（$n=1, 2, \cdots$）进制的计数器，也可称为n位二进制计数器。异步计数器的优点是电路结构简单，缺点是高位触发器的翻转必须在低位触发器翻转之后进行，不是同时动作，所以进位时间较长，计数速度受到影响。

表 6.3.1 二进制加法计数器状态表

CP	Q_3	Q_2	Q_1	Q_0	十进制数
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

(2) 同步二进制加法计数器

所谓同步计数器，是指计数脉冲直接加到所有触发器的 CP 端，使各个触发器能够同时动作，大大减少了进位时间，计数速度较快。

同步计数器是通过控制各个触发器输入端的状态来决定各个触发器是否翻转。下面仍以由 4 个 JK 触发器构成的同步二进制加法计数器为例，讨论触发器输入端的接法。分析表6.3.1所示的二进制加法计数器状态表，可以得出各个触发器输入端J和K的激励方程。

① 触发器FF_0，每来一个计数脉冲，就翻转一次，故FF_0的激励方程为$J_0=K_0=1$。

② 触发器 FF_1，在 $Q_0=1$ 时，再来一个脉冲才翻转；在 $Q_0=0$ 时，保持原状态。故 FF_1 的激励方程为 $J_1=K_1=Q_0$。

③ 触发器 FF_2，在 $Q_1=Q_0=1$，即 $Q_1Q_0=1$ 时，再来一个计数脉冲才翻转；而在 $Q_1Q_0=0$ 时，保持原状态。故 FF_2 的激励方程为 $J_2=K_2=Q_1Q_0$。

④ 触发器 FF_3，在 $Q_2=Q_1=Q_0=1$，即 $Q_2Q_1Q_0=1$ 时，再来一个计数脉冲才翻转；而在 $Q_2Q_1Q_0=0$ 时，保持原状态。故 FF_3 的激励方程为 $J_3=K_3=Q_2Q_1Q_0$。

根据上述结果，可构成同步二进制加法计数器的逻辑电路，如图 6.3.2 所示。由于采用多输入端的 JK 触发器，且每个触发器的多个 J 端(K 端)是“与”的逻辑关系，故不需要另外用与门。同步二进制加法计数器的工作波形图与图6.3.1(b)相同。

二进制加法计数器不仅能够进行二进制加法计数，还能够对计数脉冲进行分频。所谓分频，是把脉冲频率降低某个整数 N 倍，脉冲频率降低了 N 倍称为 N 分频。从二进制加法计数器的工作波形图可以看出，每经过一级触发器，输出脉冲的周期增大一倍，即频率降低一倍，所以 n 位二进制加法计数器也就是 2^n 分频器。

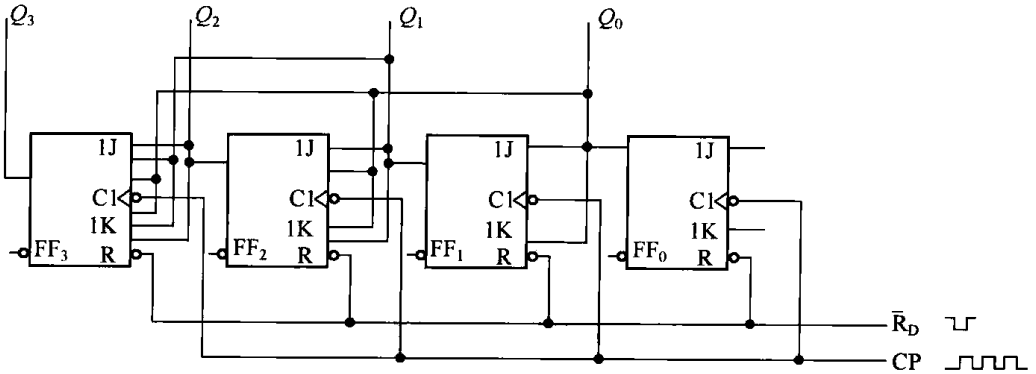


图 6.3.2　同步二进制加法计数器逻辑电路

4 位二进制加法计数器也称为十六进制加法计数器，当输入第 16 个计数脉冲时，计数器状态将从“1111”翻转为初始状态“0000”，同时产生进位输出，若只有 4 个触发器，则计数器出现溢出。所以，4 位二进制加法计数器能表示的最大十进制数是 $2^4-1=15$。n 位二进制加法计数器能表示的最大十进制数是 2^n-1。

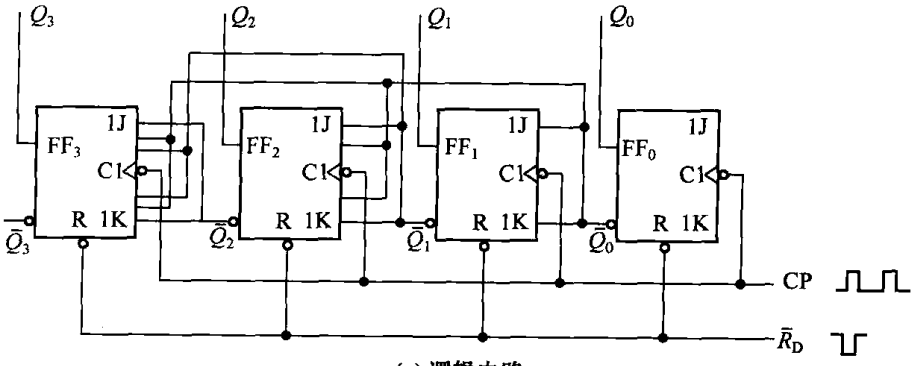
2. 二进制减法计数器

二进制减法计数器的功能是计数器的计数值随计数脉冲的增加而递减，若仍以 4 位二进制数为例，则二进制减法计数器的状态表如表 6.3.2 所示。二进制的减法运算与加法运算不同之处是：当 0 减 1 时，必须向相邻高位借 1。对于计数器，则是本位触发器由“0”态翻成“1”态时，将向相邻高位触发器发出借位脉冲，并使其翻转。

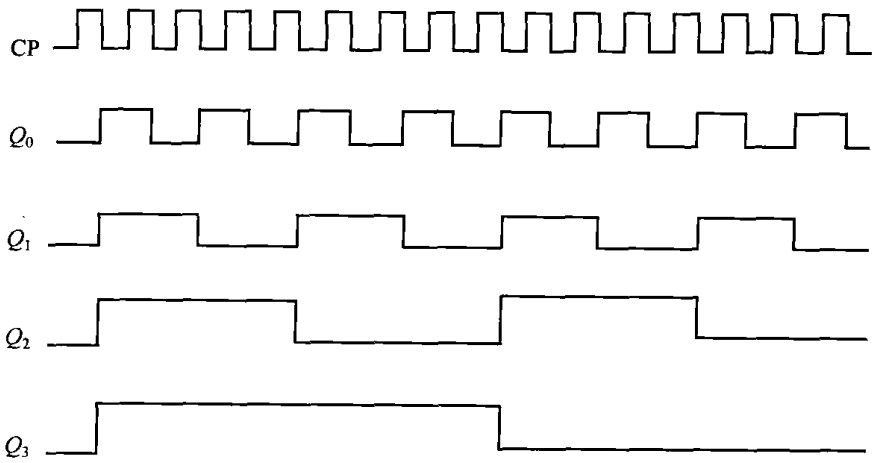
图6.3.3(a)所示为由 JK 触发器构成的 4 位同步二进制减法计数器的逻辑电路，图6.3.3(b)所示为其工作波形。

表 6.3.2　二进制减法计数器状态表

CP	Q_3	Q_2	Q_1	Q_0	十进制数
0	1	1	1	1	15
1	1	1	1	0	14
2	1	1	0	1	13
3	1	1	0	0	12
4	1	0	1	1	11
5	1	0	1	0	10
6	1	0	0	1	9
7	1	0	0	0	8
8	0	1	1	1	7
9	0	1	1	0	6
10	0	1	0	1	5
11	0	1	0	0	4
12	0	0	1	1	3
13	0	0	1	0	2
14	0	0	0	1	1
15	0	0	0	0	0



(a) 逻辑电路



(b) 工作波形图

图 6.3.3 4 位同步二进制减法计数器

分析表6.3.2可得同步二进制减法计数器各触发器的激励方程(驱动方程)分别为

$$J_0 = K_0 = 1;\quad J_1 = K_1 = \bar{Q}_0$$

$$J_2 = K_2 = \bar{Q}_1\bar{Q}_0$$

$$J_3 = K_3 = \bar{Q}_2\bar{Q}_1\bar{Q}_0$$

3. 二进制可逆计数器

若将上述的同步二进制加法计数器与同步二进制减法计数器组合在一起便构成了同步二进制可逆计数器，如图6.3.4所示。当控制端 $X = 1$ 时，为加法电路；当 $X = 0$ 时，为减法电路。电路的具体工作原理不难理解，读者可自行分析。

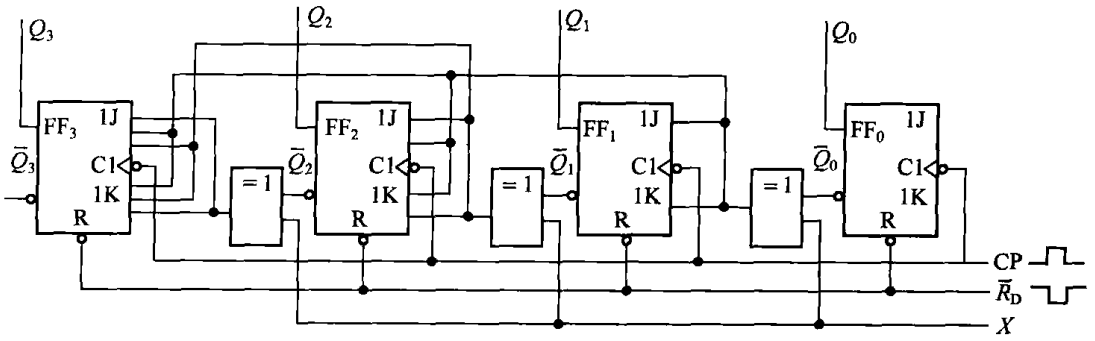


图 6.3.4 同步二进制可逆计数器

6.3.3　十进制计数器

在实际工作中，人们习惯于使用十进制数，而不是二进制数，所以在数字系统中常采用二-十进制计数器。

在 5.1.2 节中，已介绍过使用广泛的 8421BCD 码，本节主要介绍这种 8421BCD 码的十进制加法计数器。

表 6.3.3 为 8421BCD 码十进制加法计数器的状态表。

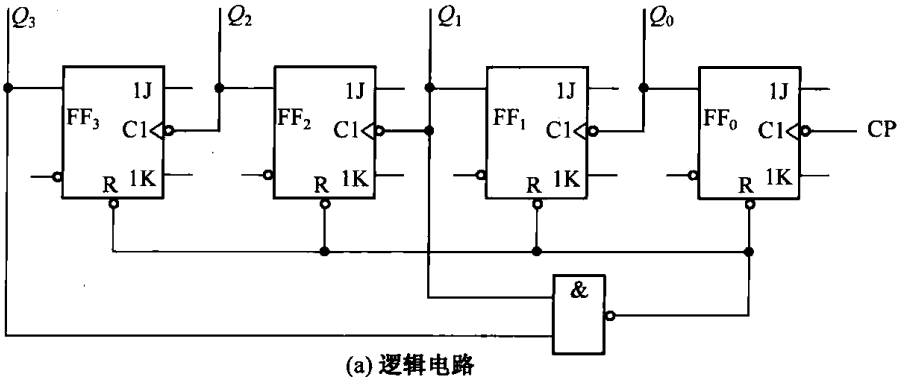
表 6.3.3　8421BCD 码十进制加法计数器的状态表

CP	Q_3	Q_2	Q_1	Q_0	十进制数
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0	0	0	0	0

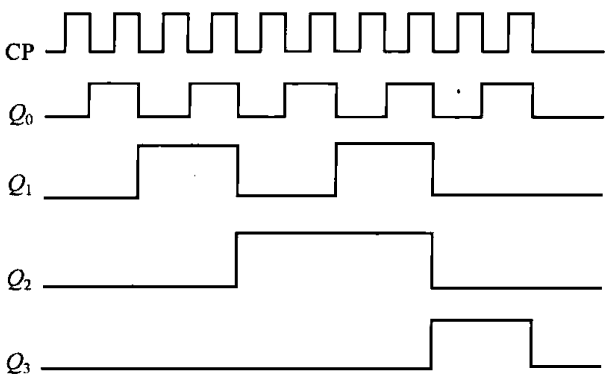
对 6.3.2 节中介绍的异步和同步二进制加法器电路稍作变动，便可分别得到异步和同步十进制加法计数器的逻辑电路图。

1．异步十进制加法计数器

由表6.3.3可以看出，当代表十进制数 10 的等效二进制数“1010”出现时，计数器的各触发器都应翻转为“0”，使计数器复位。即在 $Q_3Q_2Q_1Q_0$ 中，只要 Q_3 和 Q_1 同时为“1”时便将各触发器复位为“0”。因此，将 Q_3 和 Q_1 同时引到一“与非”门的输入端，“与非”门的输出接到各触发器的复位端 $\overline{R}_D$ 上，则有 $\overline{R}_D=\overline{Q_3Q_1}$；当 $Q_3=Q_1=1$ 时，$\overline{R}_D$ 为“0”，各触发器被强制清零复位。所以，当第 10 个脉冲到来后，计数器复位。这种复位方法也称为反馈清零法，在 6.3.5 节中将具体介绍。图 6.3.5(a)所示为由此法构成的异步 4 位十进制加法计数器的逻辑电路，图6.3.5(b)所示为其工作波形。



(a) 逻辑电路



(b) 工作波形图

图 6.3.5　异步 4 位十进制加法计数器

2. 同步十进制加法计数器

从6.3.2节分析同步二进制加法计数器可知：同步计数器是通过控制各触发器输入端的状态来决定各触发器的翻转。对于十进制加法计数器，要求在计数到第9个脉冲，即4个触发器的状态 $Q_3Q_2Q_1Q_0=1001$ 时，再来一个计数脉冲，这4个触发器应复位为“0000”，同时向高位发出进位信号。

根据表6.3.3运用观察法，可以得出同步十进制加法计数器各JK触发器输入端J和K的激励方程。

(1) 触发器 FF_0：每来一个计数脉冲就翻转一次。故激励方程为 $J_0=K_0=1$。

(2) 触发器 FF_1：当在 $Q_0=1$，$Q_3=0(\overline{Q}_3=1)$ 时，再来一个计数脉冲就翻转；而当在 $Q_0=1$，$Q_3=1(\overline{Q}_3=0)$ 时，再来一个计数脉冲仍保持原状态“0”而不翻转，故激励方程为 $J_1=\overline{Q}_3Q_0$，$K_1=Q_0$。

(3) 触发器 FF_2：在 $Q_1=Q_0=1$ 时，再来一个计数脉冲就翻转，故激励方程为 $J_2=K_2=Q_1Q_0$。

(4) 触发器 FF_3：当在 $Q_2=Q_1=Q_0=1$ 时，再来一个计数脉冲则从“0”翻转为“1”，而当在第9个计数脉冲来到后，状态为“1001”，即 $Q_2=Q_1=0$，$Q_0=1$ 时，再来一个计数脉冲后 FF_3 应从“1”翻转为“0”。所以，第9个计数脉冲后，FF_3 的输入应处于复位的等待状态($J_3=0$，$K_3=1$)。故激励方程为 $J_3=Q_2Q_1Q_0$，$K_3=Q_0$。

根据上述各触发器输入端的激励方程，可构成由4个主从型JK触发器组成的4位同步十进制加法计数器，其逻辑电路如图6.3.6所示。其工作波形与图6.3.5(b)中所示相同。

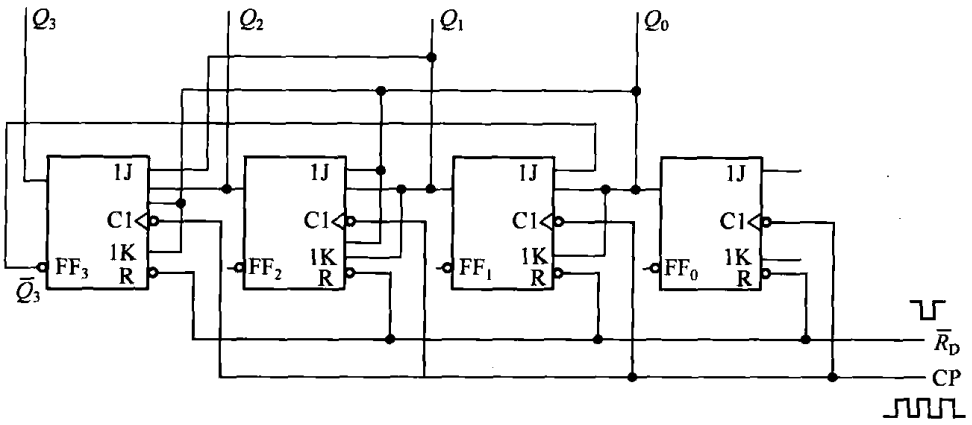


图6.3.6 4位同步十进制加法计数器逻辑电路

同二进制计数器一样，也可以构成十进制减法计数器、可逆计数器以及其他编码形式的十进制计数器，这里不一一介绍，有兴趣的读者可参考有关书籍。

6.3.4 N进制计数器

在数字系统中，除了二进制和十进制计数器外，还有其他任意进制(如3, 5, 6, 7, …)的计数器，统称为 N 进制计数器。

对于 N 进制计数器的分析和设计，在6.3.3节中介绍过根据状态表写出激励方程的观察法(如同步十进制加法计数器分析)和异步复位法(如异步十进制加法计数器分析)。事实上，中规模集成二进制和十进制计数器已被普遍使用，这些器件芯片设置了某些附加输入端，它的一个重要目的就是用来非常方便地构成任意进制计数器。因此，关于 N 进制计数器的构成，将在6.3.5节中介绍。

对于 N 进制计数器的分析，可以采用前面介绍的基本分析方法或直接观察法分析。下面用两个例题来说明。

例 6.3.1　由 3 个 JK 触发器组成的计数器如图 6.3.7 所示。试分别用基本分析法和直接观察法分析该计数器的逻辑功能，并画出工作波形图。

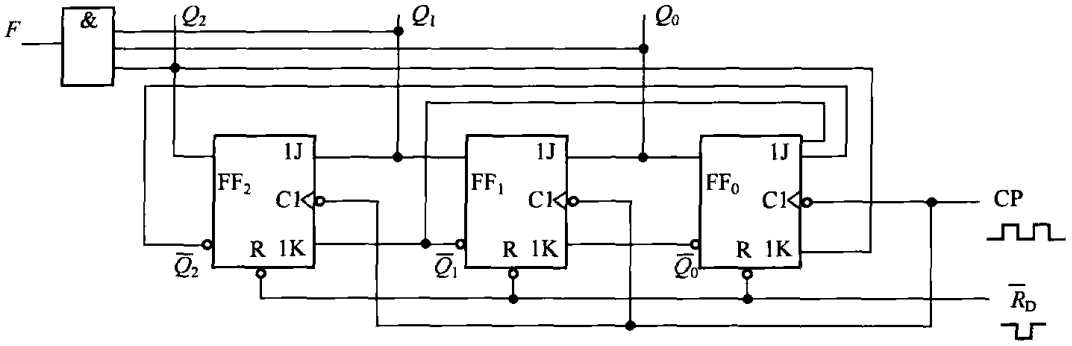


图 6.3.7　例 6.3.1 的逻辑电路图

解：由于计数脉冲直接引到各触发器的 CP 端，故这是一个同步计数器。

(1) 采用基本分析法分析

(a) 写出时序逻辑电路中每个触发器的激励方程(驱动方程)和输出方程：

$$\mathrm{FF}_0=\begin{cases}J_0=\overline{Q}_2\overline{Q}_1\\K_0=Q_2\end{cases},\qquad \mathrm{FF}_1=\begin{cases}J_1=Q_0\\K_1=\overline{Q}_0\end{cases},\qquad \mathrm{FF}_2=\begin{cases}J_2=Q_1\\K_2=\overline{Q}_1\end{cases}$$

$$F=Q_2Q_1Q_0$$

(b) 将各个触发器的激励方程代入各自的触发器特性方程中，则得到各个状态方程，也即次态方程。

JK 触发器的特性方程为

$$Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$$

将激励方程代入上述特性方程，则得到状态方程：

$$Q_0^{n+1}=J_0\overline{Q}_0^n+\overline{K}_0Q_0^n=\overline{Q}_2^n\overline{Q}_1^n\overline{Q}_0^n+\overline{Q}_2^nQ_0^n=\overline{Q}_2^n\overline{Q}_1^n+\overline{Q}_2^nQ_0^n$$

$$Q_1^{n+1}=J_1\overline{Q}_1^n+\overline{K}_1Q_1^n=Q_0^n\overline{Q}_1^n+Q_0^nQ_1^n=Q_0^n$$

$$Q_2^{n+1}=J_2\overline{Q}_2^n+\overline{K}_2Q_2^n=Q_1^n\overline{Q}_2^n+Q_1^nQ_2^n=Q_1^n$$

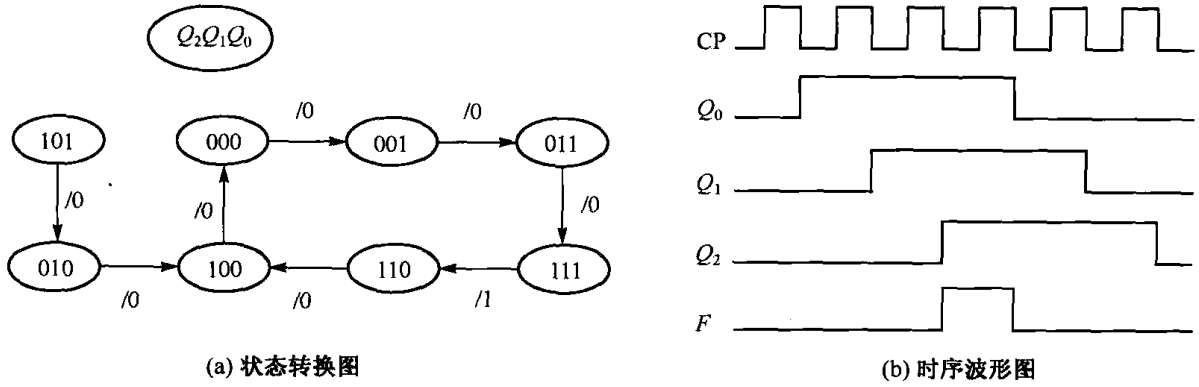
(c) 计数器工作前先清零，即设初态 $Q_2Q_1Q_0=000$。将电路的初始状态的取值代入状态方程和输出方程，求出电路的次态和输出值；再将该次态作为新的现态代入到状态方程和输出方程中，得到新的次态输出值；依次类推，把所得到的结果列成表的形式，即得到如表 6.3.4 所示的状态转换表，并可画出状态转换图和时序波形图，如图 6.3.8 所示。在状态转换图中，箭头表示状态转移的方向，箭头旁注明当前状态时的输入变量 X 和输出变量 F 的值，用 X/F 的形式来表示，本例题中仅有输出变量而无输入变量。

(d) 根据状态转换表和状态转换图、时序波形图，可知该时序逻辑电路的逻辑功能为非 8421BCD 码的扭环形同步六进制加法计数器，且在 $Q_2Q_1Q_0$ 均为 1 时，输出信号 F 为 1。这种计数器也称为约翰逊计数器，其 Q 输出波形是一系列的顺序脉冲。此外，计数循环中未出现的“010”和“101”两个无效状态都可以在 CP 脉冲作用下进入到有效状态“100”中，故该计数器具有自启动能力。计数器在正常工作时是不会进到无效状态中的，但是如果出现干扰信号使计数器误入无效状态，则具有自

启动能力的计数器可以自动恢复回正常循环工作状态。无法从无效状态恢复回有效状态的计数器，称为无自启动能力计数器。

表 6.3.4 状态转换表

CP	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	F
0	0	0	0	0	0	1	0
1	0	0	1	0	1	1	0
2	0	1	1	1	1	1	0
3	1	1	1	1	1	0	1
4	1	1	0	1	0	0	0
5	1	0	0	0	0	0	0
	0	1	0	1	0	0	0
	1	0	1	0	1	0	0



(a) 状态转换图　　(b) 时序波形图

图 6.3.8 例 6.3.1 的状态转换图和时序波形图

(2) 采用直接观察法分析

触发器输入端的激励方程见(1)中所列。

计数器初态 $Q_2Q_1Q_0=000$，此时 $J_0=1$，$K_0=0$，$J_1=0$，$K_1=1$，$J_2=0$，$K_2=1$。因此，当第 1 个计数脉冲来到后，计数器状态将变为 $Q_2Q_1Q_0=001$。这时，各输入端的状态也变为 $J_0=1$，$K_0=0$，$J_1=1$，$K_1=0$，$J_2=0$，$K_2=1$。第 2 个计数脉冲来到后，计数器状态为 $Q_2Q_1Q_0=011$，各输入端状态为 $J_0=0$，$K_0=0$，$J_1=1$，$K_1=0$，$J_2=1$，$K_2=0$；…，依次分析，可列出和(1)中一样的状态转换表(参见表 6.3.4)，分析结果与(1)的基本分析法一致。

例 6.3.2 图 6.3.9 所示由 JK 触发器构成的计数器电路，试分析该计数器的逻辑功能，并画出工作波形图，设各触发器初态为“0”。

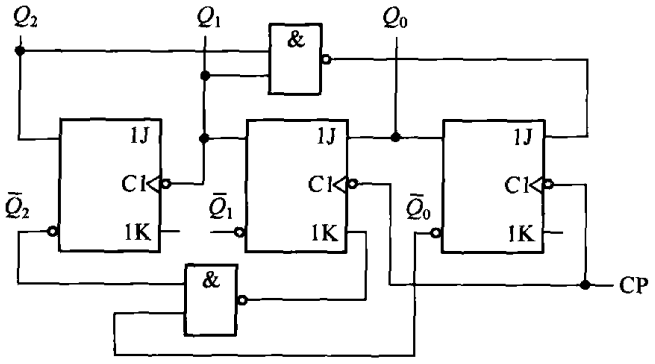


图 6.3.9 例 6.3.2 的逻辑电路图

解：由于触发器 FF_2 的 CP 端接到 Q_1 端，而不是直接接到计数脉冲，故这是一个异步计数器。采用基本分析法分析。

(a) 写出时序逻辑电路中每个触发器的激励方程(驱动方程)和时钟方程：

$$FF_0=\begin{cases}J_0=\overline{Q_1Q_2}=\overline{Q}_1+\overline{Q}_2\\K_0=1\end{cases}\qquad CP_0=CP$$

$$FF_1=\begin{cases}J_1=Q_0\\K_1=\overline{\overline{Q}_0\overline{Q}_2}=Q_0+Q_2\end{cases}\qquad CP_1=CP$$

$$FF_2=\begin{cases}J_2=1\\K_2=1\end{cases}\qquad CP_2=Q_1$$

(b) 将各个触发器的激励方程代入各自的触发器特性方程中，则得到各个状态方程，也即次态方程。

JK 触发器的特性方程为

$$Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$$

将激励方程代入上述特性方程，则得到状态方程：

$$Q_0^{n+1}=J_0\overline{Q}_0^n+\overline{K}_0Q_0^n=\overline{Q}_0^n\overline{Q}_1^n+\overline{Q}_0^n\overline{Q}_2^n\qquad(CP_0=CP)$$

$$Q_1^{n+1}=J_1\overline{Q}_1^n+\overline{K}_1Q_1^n=\overline{Q}_0^n\overline{Q}_1^n+\overline{Q}_0^n\overline{Q}_2^nQ_1^n\qquad(CP_1=CP)$$

$$Q_2^{n+1}=J_2\overline{Q}_2^n+\overline{K}_2Q_2^n=\overline{Q}_2^n\qquad(CP_2=Q_1)$$

(c) 初态 $Q_2Q_1Q_0=000$。将电路的初始状态的取值代入状态方程，求出电路的次态。但要注意，因为 $CP_0=CP$，$CP_1=CP$，所以 $Q_0^{n+1}=\overline{Q}_0^n\overline{Q}_1^n+\overline{Q}_0^n\overline{Q}_2^n$ 和 $Q_1^{n+1}=Q_0^n\overline{Q}_1^n+\overline{Q}_0^n\overline{Q}_2^nQ_1^n$ 在每个 CP 脉冲下降沿(用 ↓ 表示)时都成立并可推出各自的次态值，而由于 $CP_2=Q_1$，则只有在 Q_1 的状态从 1 变 0 时，$Q_2^{n+1}=J_2\overline{Q}_2^n+\overline{K}_2Q_2^n=\overline{Q}_2^n$ 才成立，否则 Q_2 的状态将保持不变，这就是异步计数器与同步计数器分析过程中不同的地方，即要考虑时钟问题。依次分析，即可得到如表 6.3.5 所示的状态转换表，并可画出状态转换图，如图6.3.10 所示。

表 6.3.5　状态转换表

CP	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP_2	CP_1	CP_0
0	0	0	0	0	0	1		↓	↓
1	0	0	1	0	1	0		↓	↓
2	0	1	0	0	1	1		↓	↓
3	0	1	1	1	0	0	↓	↓	↓
4	1	0	0	1	0	1		↓	↓
5	1	0	1	1	1	0		↓	↓
6	1	1	0	0	0	0	↓	↓	↓
	1	1	1	0	0	0			

(d) 根据状态转换表和状态转换图，可知该时序逻辑电路的逻辑功能为 8421BCD 码的异步七进制加法计数器。计数循环中未出现的无效状态“111”可以在 CP 脉冲作用下回到初始状态“000”中，故该计数器也具有自启动能力。

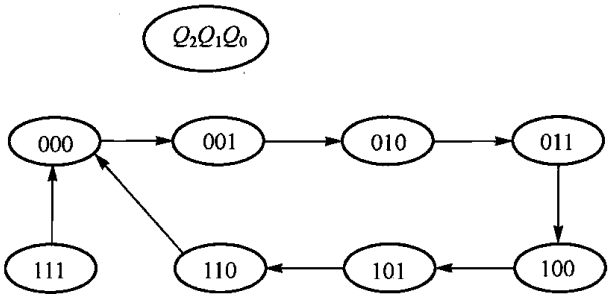


图 6.3.10 例 6.3.2 的状态转换图

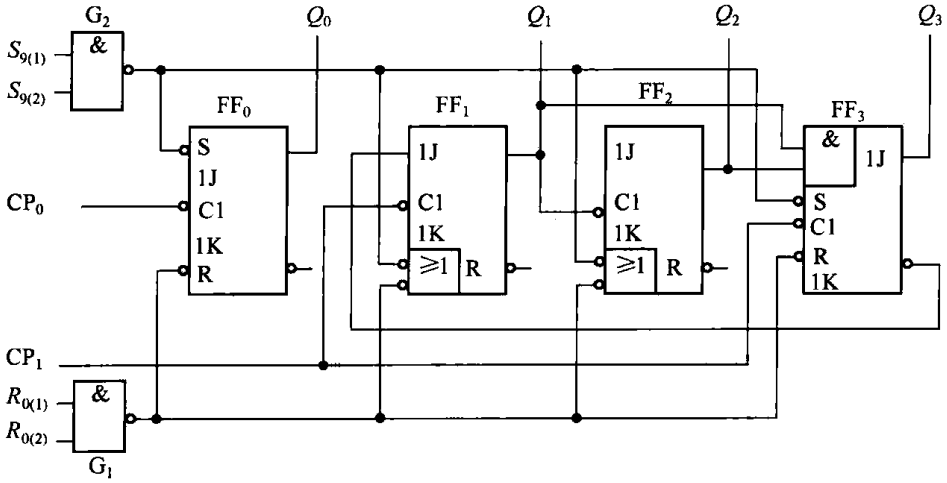
该题也可以采用直接观察法分析，可能分析会更简单一些，读者可自行分析。

6.3.5 集成计数器

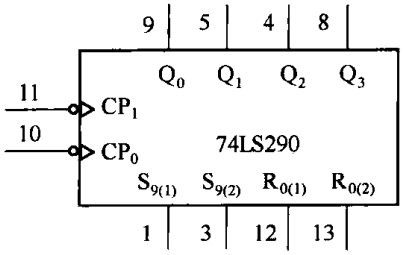
时序逻辑器件现在已广泛地采用中规模集成电路。中规模集成组件，简称 MSI，以其低功耗、体积小、高速度及高可靠性等特点越来越多地应用在各种数字系统中。下面介绍两种 MSI 计数器的性能及应用。

1. 异步二-五-十进制计数器 74LS290

图6.3.11(a)所示为 74LS290 的逻辑电路，图6.3.11(b)所示为 74LS290 的逻辑符号和引脚排列。



(a) 逻辑电路



(b) 逻辑符号和引脚排列图

图 6.3.11 异步二-五-十进制计数器 74LS290

74LS290 由 4 个 JK 触发器和 2 个与非门组成，电路分为两个独立的部分：T′触发器 FF_0 构成 1 位二进制计数器，其计数脉冲输入端为 CP_0；FF_1，FF_2 和 FF_3 构成异步五进制计数器，其计数脉冲输入端为 CP_1。这两部分可以单独使用，也可以连接起来使用。若将 Q_0 与 CP_1 相连，计数脉冲由 CP_0 输入，

则构成 8421BCD 码的十进制计数器。$S_{9(1)}$ 和 $S_{9(2)}$ 为直接置 9 控制端，$R_{0(1)}$ 和 $R_{0(2)}$ 为直接复位控制端，Q_0，Q_1，Q_2 和 Q_3 分别是 4 个触发器的输出端。表 6.3.6 为 74LS290 的功能表。

表 6.3.6　74LS290 的功能表

$R_{0(1)}$	$R_{0(2)}$	$S_{9(1)}$	$S_{9(2)}$	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
1	1	0	×	0	0	0	0
1	1	×	0	0	0	0	0
×	×	1	1	1	0	0	1
×	0	×	0	计数状态			
0	×	0	×				
0	×	×	0				
×	0	0	×				

由表 6.3.6 可知该电路具有如下功能。

(1) 直接清零：当 $R_{0(1)}$ 和 $R_{0(2)}$ 均为高电平，$S_{9(1)}$ 和 $S_{9(2)}$ 中至少有一个低电平时，与非门 G_1 输出为低电平，使所有触发器清零。

(2) 直接置 9：当 $S_{9(1)}$ 和 $S_{9(2)}$ 均为高电平，与非门 G_2 输出为低电平，触发器被置为 $Q_3Q_2Q_1Q_0$ = 1001。

(3) 计数：当 $S_{9(1)}$ 和 $S_{9(2)}$ 中以及 $R_{0(1)}$ 和 $R_{0(2)}$ 中分别至少有一个为低电平时，与非门 G_1 和 G_2 输出均为高电平，电路处于计数状态。

74LS290 的 $S_{9(1)}$，$S_{9(2)}$ 和 $R_{0(1)}$，$R_{0(2)}$ 均为异步控制端，即控制信号到达后，不需要等 CP 脉冲便可直接控制操作。如果控制端为同步控制端，则控制信号到达后，还需要等 CP 脉冲也到达时，才可进行相应的控制操作。

通过对该电路外部不同方式的联接，可以构成任意进制计数器。

采用 MSI 计数器构成任意进制计数器通常有两种方法，即反馈复位法和反馈置数法。

反馈复位法也称为反馈归零法，在 6.3.2 节中分析异步十进制加法计数器时介绍过这种方法。这一方法的原理是：当计数器计数到需要翻转复位状态时，通过译码电路产生一个复位信号加到计数器复位端，强制计数器复位。由于 74LS290 是异步复位，所以采用反馈复位法时，将有过渡状态出现，且复位信号存在时间短，降低了可靠性。

下面以 74LS290 为例介绍这一方法。

例 6.3.3　用 74LS290 分别构成异步七进制和九进制加法计数器。

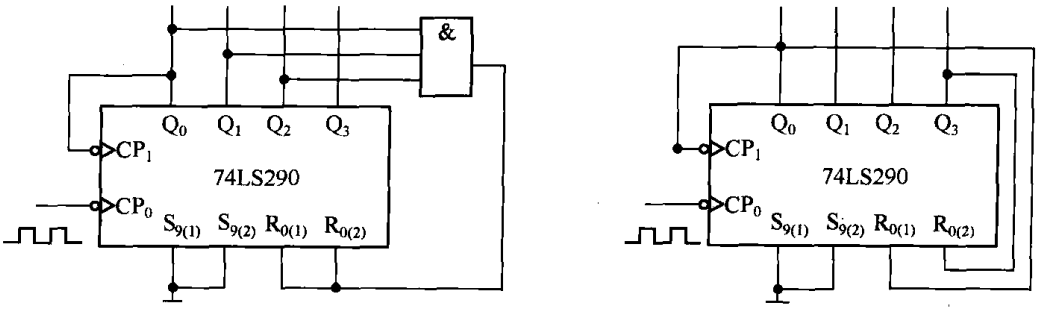
解：(1) 将 74LS290 的 Q_0 端与 CP_1 端相连，构成 8421BCD 码的十进制计数器。

(2) 由于 7 的 8421BCD 码为 0111，故将 Q_2，Q_1 和 Q_0 分别接到一个三输入与门的输入端，与门的输出接到 $R_{0(1)}$ 和 $R_{0(2)}$ 端上，当计数器计到 0111 时，与门输出复位信号，使计数器返回到零状态。图6.3.12(a)为七进制计数器的接线图。

9 的 8421BCD 码为 1001，由于只有 Q_3 和 Q_0 为 1，所以直接把 Q_3 和 Q_0 分别连到 $R_{0(1)}$ 和 $R_{0(2)}$ 端即可使计数器复位而无需再经过与门译码。图6.3.12(b)为九进制计数器的接线图。

例 6.3.4　用 74LS290 构成 84 进制计数器。

解：(1) 由于 84 大于 10，所以需要两片 74LS290 才能构成 84 进制计数器。可先把两片 74LS290 级联构成 100 进制计数器，然后利用异步清零功能把 100 进制计数器改造为 84 进制计数器。两片 74LS290 级联的方法是把个位片的 Q_3 连到 10 位片的 CP_0 端，这是因为当低位片 $Q_3Q_2Q_1Q_0$，从 1001 变为 0000 时，Q_3 端出现一个下降沿，因此 Q_3 端可作为 10 位片的计数脉冲。



(a) 七进制计数器　　(b) 九进制计数器

图 6.3.12　例 6.3.3 的图

(2) 由于 84 的 8421BCD 码为 10000100，所以可以将 Q_7 连到两片的 $R_{0(1)}$ 端，Q_2 连到两片的 $R_{0(2)}$ 端，这样，当计数到 84 个脉冲下降沿之后，因 10000100 的出现而使两片 74LS290 满足清零条件而返回到零，满足了 84 进制计数的要求。图6.3.13 为其逻辑电路图。

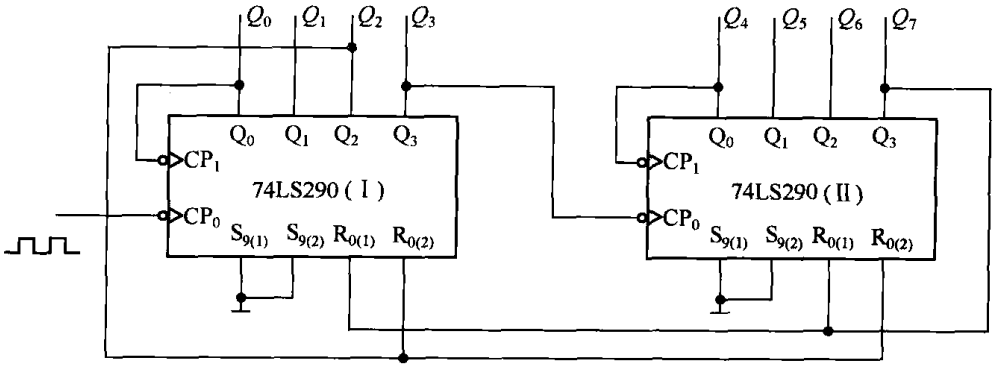


图 6.3.13　例 6.3.4 的图

2. 可预置同步二进制计数器 74LS161

在某些 MSI 计数器组件上设置了可预置数的附加功能，利用这一附加功能，可以采用反馈置数法来构成任意进制计数器。下面介绍一种具有可预置数功能的 MSI 计数器 74LS161。

图 6.3.14 所示为 74LS161 的逻辑符号。

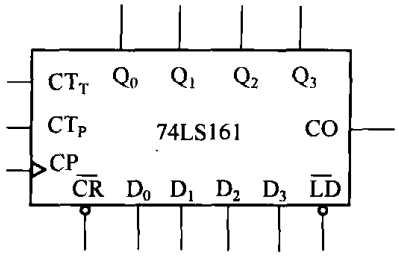


图 6.3.14　74LS161 的逻辑符号

74LS161 由 4 个 JK 触发器和相应的门控制电路构成，触发器由 CP 时钟脉冲的上升沿触发。该计数器具有可预置数功能，$\overline{LD}$ 为预置数的置数控制端，$D_3 \sim D_0$ 为预置数据输入端，CT_P 和 CT_T 为工作状态控制端，$\overline{CR}$ 为清零端，$Q_3 \sim Q_0$ 为输出端，CO 为进位输出端，其逻辑表达式为 $CO = CT_T Q_3 Q_2 Q_1 Q_0$。表 6.3.7 为 74LS161 的功能表。

由表 6.3.7 可知该电路具有如下功能。

(1) 异步清零：当 $\overline{CR} = 0$，计数器清零。

(2) 同步预置：当置数控制端 $\overline{LD} = 0$，$\overline{CR} = 1$，在预置数据输入端 $D_3 \sim D_0$ 预置外加的数据，当时钟脉冲 CP 上升沿到来时，预置数据将被同步预置到输出端 $Q_3 \sim Q_0$ 上。

(3) 计数：当 $CT_P = CT_T = 1$ 时，且 $\overline{CR} = \overline{LD} = 1$ 时，在 CP 时钟脉冲上升沿作用下，电路按二进制加法计数，当 $Q_3 Q_2 Q_1 Q_0 = 1111$ 时，进位端 CO = 1，再来一个 CP 脉冲后，输出端 $Q_3 \sim Q_0$ 复零，进位端 CO 也复零，输出一个进位脉冲。

(4) 保持：当$\overline{LD}=\overline{CR}=1$，$CT_P$ 或 CT_T 中有一个为“0”，计数器处于保持状态。

表 6.3.7　74LS161 计数器的功能表

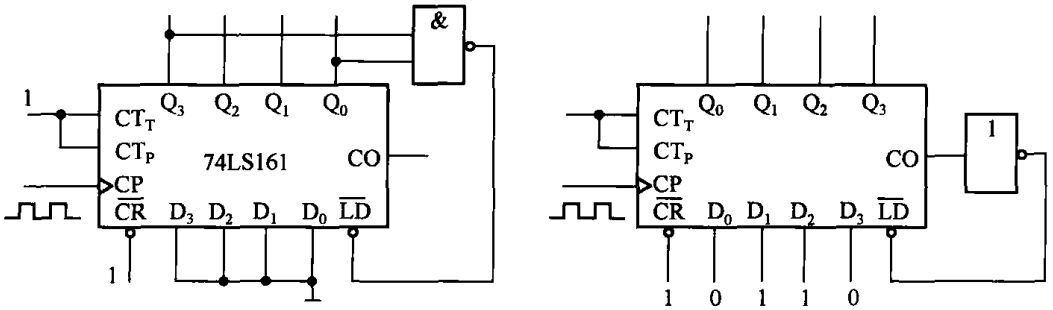
输　入									输　出			
$\overline{CR}$	$\overline{LD}$	CT_P	CT_T	CP	D_0	D_1	D_2	D_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
0	×	×	×	×	×	×	×	×	0	0	0	0
1	0	×	×	↑	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
1	1	1	1	↑	×	×	×	×	计			数
1	1	0	×	×	×	×	×	×	保			持
1	1	×	0	×	×	×	×	×	保			持

需要特别注意的是，74LS161 的清零控制端$\overline{CR}$和 74LS290 的清零控制端一样，均为异步控制，即控制信号到达后直接清零，不需要等 CP 脉冲；而 74LS161 的置数控制端$\overline{LD}$则为同步控制，即控制信号到达后，还需要等 CP 脉冲(上升沿)也到达时，才可进行置数操作。

74LS161 构成的任意进制计数器既可以采用异步复位法，也可以采用同步置数法。同步置数法克服了异步复位法存在的有过渡状态和复位脉冲过窄、可靠性降低的缺点。下面以 74LS161 为例，介绍采用同步置数法构成的任意进制计数器。

例 6.3.5　试用同步置数法将 74LS161 构成一个同步十进制加法计数器。

解：将预置数据输入端 $D_3\sim D_0$ 预置为“0000”，当第 9 个 CP 脉冲来到后，$Q_3Q_2Q_1Q_0=1001$，Q_3Q_0 端输出通过与非门送至$\overline{LD}$端，使$\overline{LD}=0$；当第 10 个 CP 脉冲来到后，$D_3\sim D_0$ 预置的“0000”将送到 $Q_3\sim Q_0$ 端，计数器复零。图6.3.15(a)为该计数器的外部接线图。



(a) 用前 10 个状态　　(b) 用后 10 个状态

图 6.3.15　用 74LS161 的同步置数端构成十进制加法计数器

图 6.3.15(a)中十进制计数器的状态$Q_3Q_2Q_1Q_0$的变化规律为 0000～1001，相当于用原十六进制计数器的前 10 个状态构成了十进制计数器。也可由后 10 个状态构成十进制计数器，这只需把 74LS161 的初态设置为 16－10＝6(二进制码为 0110)，进位输出 CO 求非后送$\overline{LD}$端即可，如图6.3.15(b)所示。这样，当计数到 1111 状态时，$\overline{LD}$为“0”，准备好了置数条件，当下一个脉冲到来后就可以使$Q_3Q_2Q_1Q_0$变为 0110，跳过 0000～0101 的 6 个状态，实现十进制计数。

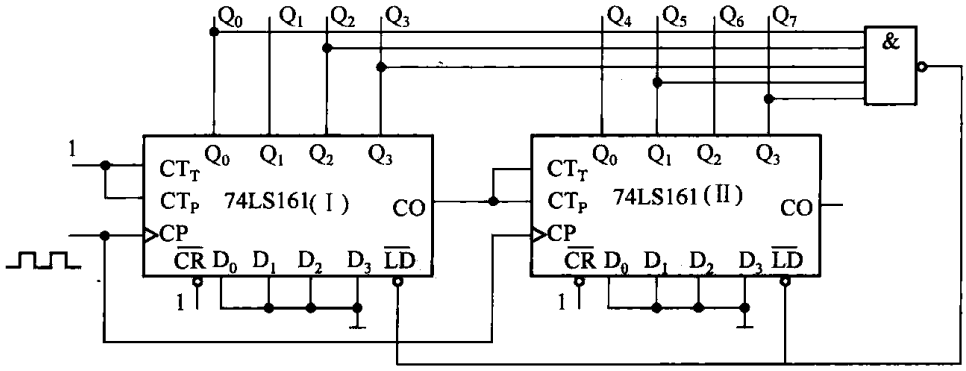
例 6.3.6　用 74LS161 构成同步 174 进制计数器。

解：(1) 由于 16＜174＜256，所以需要两片 74LS161 才能构成 174 进制计数器。可以先把两片 74LS161 级联构成 256 进制(8 位二进制计数器)，然后利用反馈清零法或反馈置数法把它改造成 174 进制计数器。74LS161 级联的原则是把低位片的进位输出端连到高位片的 CT_T 和 CT_P 端，计数脉冲同时送到各位片的 CP 端，这样当低位片未计满数时，其 CO＝0，此时高位片的 $CT_T=CT_P=0$，尽管有脉冲送到高位片，它也工作在保持状态而不会计数；当低位片计满数时，其$Q_3Q_2Q_1Q_0=1111$，有

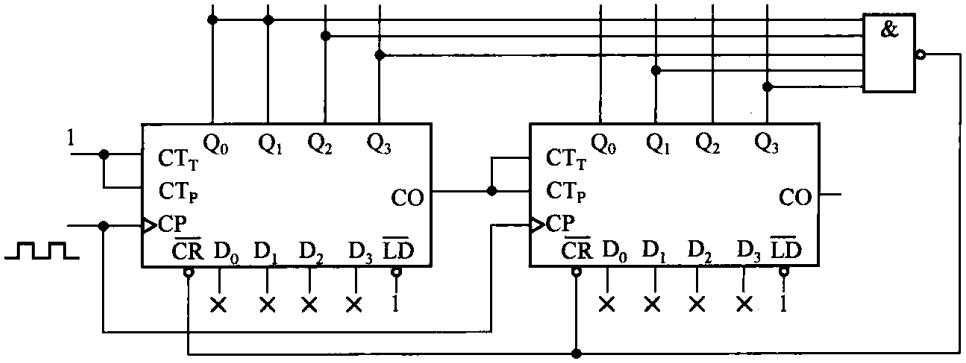
进位输出，此时高位片的$CT_T=CT_P=1$，做好计数准备，待到下一个脉冲前沿到达后。低位片的状态变为0000，高位片增加一个计数值，相当于低位向高位进位。

(2) 如果用同步置数法把256进制计数器改造为174进制计数器，且用前174个状态，则计数器的本态为173，其二进制代码为10101101，所以只需把所有输出为1的端子相与非后送到$\overline{LD}$端，初态设置为00000000即可，如图6.3.16(a)所示。

(3) 如果用异步清零法把256进制计数器改造为174进制计数器，则计数器的末态为174，其二进制代码为10101110，也只需把所有输出为“1”的端子相与非后送到$\overline{CR}$端即可，如图6.3.16(b)所示。



(a) 用同步置数法构成的174进制计数器



(b) 用异步清零法构成的174进制计数器

图6.3.16 例6.3.6的图

中规模集成计数器品种较多，限于篇幅，只能对上面两种进行介绍，其他主要的产品如表6.3.8所列。有些型号产品性能是非常相近的，例如74LS163与前面介绍的74LS161相比，仅在清零方式上不同，74LS161是异步清零，而74LS163是同步清零，其他完全相同。所以，根据表6.3.8，读者完全可以自己设计出各种不同型号计数器的应用电路。

表6.3.8 几种主要的中规模集成计数器

CP脉冲引入方式	型 号	计数模式	清零方式	预置数方式
异步	74LS293	二-八-十六进制加法	异步(高电平)	无
	74LS290	二-五-十进制加法	异步(高电平)	无
同步	74LS160	十进制加法	异步(低电平)	同步(低电平)
	74LS161	4位二进制加法	异步(低电平)	同步(低电平)
	74LS162	十进制加法	同步(低电平)	同步(低电平)
	74LS163	4位二进制加法	同步(低电平)	同步(低电平)
	74LS192	十进制可逆	异步(高电平)	异步(低电平)
	74LS193	4位二进制可逆	异步(高电平)	异步(低电平)

思考题

6.3.1　什么是异步计数器？什么是同步计数器？两者有何区别？

6.3.2　用前沿触发的 D 触发器构成 4 位异步二进制加法计数器和减法计数器应如何连线？

6.3.3　利用集成计数器 74LS290 的异步置 9 端如何构成任意进制计数器？

6.3.4　在图 6.3.16(a)和(b)中，为什么图 6.3.16(a)中用 173 作为复零的条件而图 6.3.16(b)中却用 174 作为复零条件？

6.4　顺序脉冲分配器

顺序脉冲分配器也称为节拍脉冲发生器。顺序脉冲(节拍脉冲)是数字控制系统和计算机系统中，常需要的一种按时间顺序逐个出现的控制脉冲，用来控制系统按照事先规定的顺序进行一系列操作。

顺序脉冲发生器可以由计数器和译码器构成，也可以由移位寄存器构成。在 6.3.4 节中，例 6.3.1 介绍的非 8421 码的扭环型计数器(约翰逊计数器)就是一种顺序脉冲发生器。下面将分别介绍由计数器等构成的和由移位寄存器构成的二种顺序脉冲发生器电路。

1．集成计数器构成的顺序脉冲发生器

图 6.4.1 所示为一个由 74LS161 计数器和 74LS138 译码器构成的顺序脉冲发生器，它利用 74LS161 计数器的低三位输出，产生 $000\rightarrow001\rightarrow010\rightarrow011\rightarrow100\rightarrow101\rightarrow110\rightarrow111\rightarrow000\cdots$的循环信号作为 74LS138 译码器的地址码信号，则在译码器输出端依次输出循环的顺序脉冲，由于 74LS138 译码器是反码输出，所以译码器输出的是顺序负脉冲，若在输出端加一个非门，则为原码输出，即顺序正脉冲波，如图6.4.2 所示。在 8.2.3 节的“模数转换器”中将需要用到顺序负脉冲波。

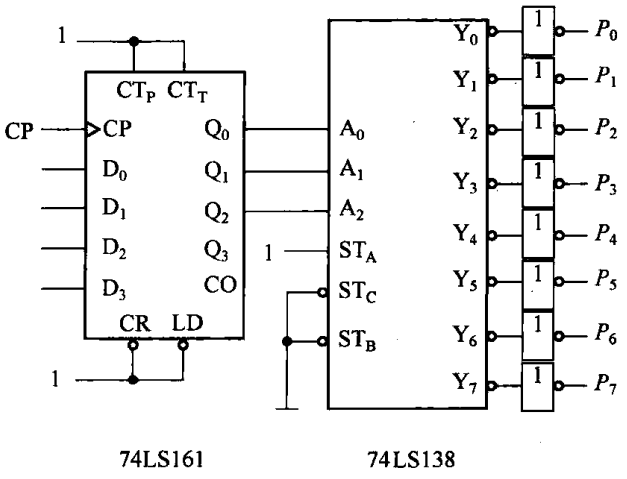


图 6.4.1　由 74LS161 计数器和 74LS138 译码器构成的顺序脉冲发生器

2．集成移位寄存器构成的顺序脉冲发生器

将移位寄存器的输出反馈到串行输入端，所构成的环形寄存器即可产生顺序脉冲。

图 6.4.3(a)所示为由集成移位寄存器 74LS194 构成的 4 位环形寄存器。工作之初，在 M_1 端送入正脉冲将数据 1000 并行送入寄存器中，此后在移位脉冲的作用下，寄存器内的数据 $Q_0Q_1Q_2Q_3$ 依次变为 $0100\rightarrow\ 0010\rightarrow0001\rightarrow1000$，…，如此周而复始。在 CP 作用下输出端的波形如图6.4.3(b)所示，由波形图可以看出，从各输出端获得的波形可直接分配到各控制点，起顺序控制作用。由于每 4 个 CP

脉冲作用后在Q_3处输出一个脉冲，所以该电路也可以作为四进制计数器，称为环形计数器。由n位寄存器可构成n进制环形计数器。

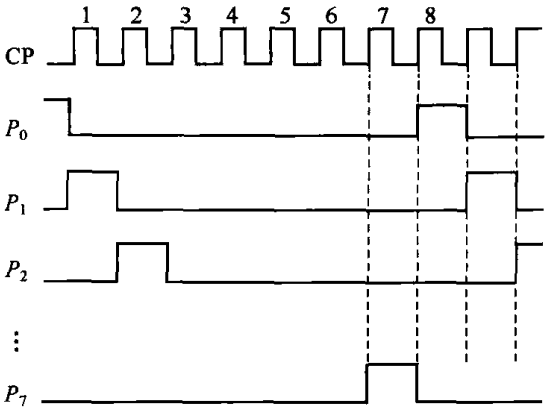
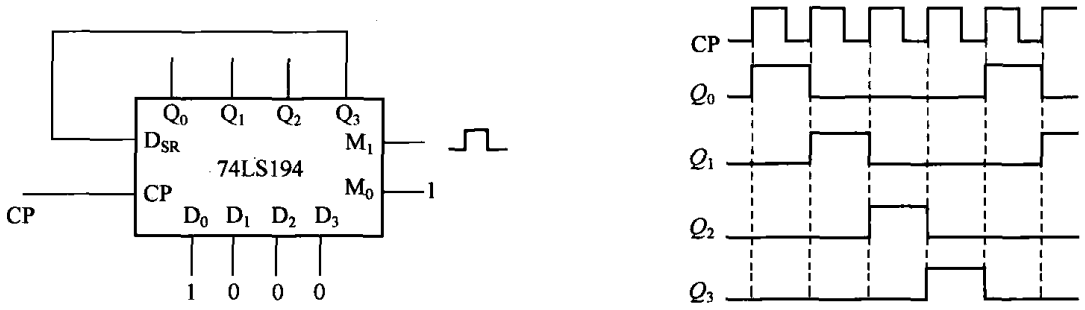


图 6.4.2 顺序正脉冲波



(a) 逻辑电路图 (b) 波形图

图 6.4.3 集成移位寄存器 74LS194 构成的 4 位环形计数器

如果在图 6.4.3(a)中将Q_3取非后反馈到D_{SR}端，且初态设置为 0000，则构成了所谓的扭环形计数器，在时钟脉冲作用下，它的计数状态($Q_0Q_1Q_2Q_3$)转换规律为 $0000\rightarrow 1000\rightarrow 1100\rightarrow 1110\rightarrow 1111\rightarrow 0111\rightarrow 0011\rightarrow 0001\rightarrow 0000$。这也是一个八进制计数器。$n$位寄存器可以构成 $2n$ 进制的扭环计数器(约翰逊计数器)，扭环计数器也称为环形分配器。

本章小结

1. 本章主要介绍了 RS, JK, D 触发器的工作原理和逻辑功能，以及由触发器和逻辑门等组成的两种常用的时序逻辑电路：寄存器和计数器。

2. 对各种触发器要掌握它们的逻辑功能。基本 RS 触发器具有清零、置 1 功能；同步 RS 触发器可以实现时钟同步控制，但存在“空翻”现象；主从型和边沿型触发器都能防止“空翻”。主从型触发器在时钟脉冲下降沿时发生翻转，但存在“一次翻转”现象。而边沿型触发器没有“一次翻转”特性，所以抗干扰能力强，获得广泛应用。

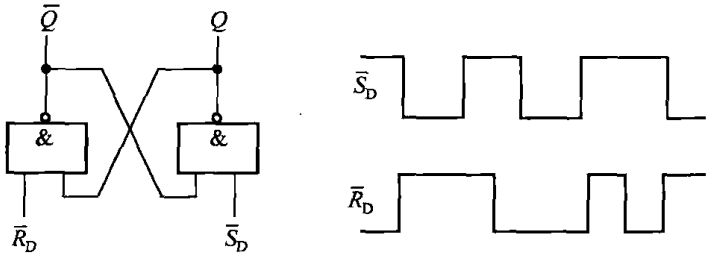
触发器的逻辑功能可以用逻辑符号、功能表、波形图等不同的形式来表示。触发器的逻辑功能可以相互转换。

3. 寄存器和计数器都属于时序逻辑电路。寄存器可分为数码寄存器和移位寄存器，移位寄存器又有单向移位和双向移位两种。计数器主要介绍了二进制、二-十进制、N进制计数器，从电路结构上又可分为异步计数器和同步计数器这两种类型。应会熟练地用列表法分析时序逻辑电路的状态转换过程，分析电路功能。

4. 时序逻辑电路现已广泛地使用中规模集成时序逻辑电路(MSI)。应重点了解掌握 MSI 的各控制端作用，并根据 MSI 的功能表分析其使用方法。本章主要介绍了两种典型的 MSI 计数器。一种是异步二-五-十进制计数器 74LS290，该计数器通过电路外部不同方式的联接，采用异步复位法(或称为反馈归零法)，可以构成任意进制计数器。另一种是可预置同步二进制计数器 74LS161，该计数器上设置了可预置数的附加功能，利用这一附加功能，采用同步置数法可以构成任意进制计数器，还可以通过级联扩展计数器的模。

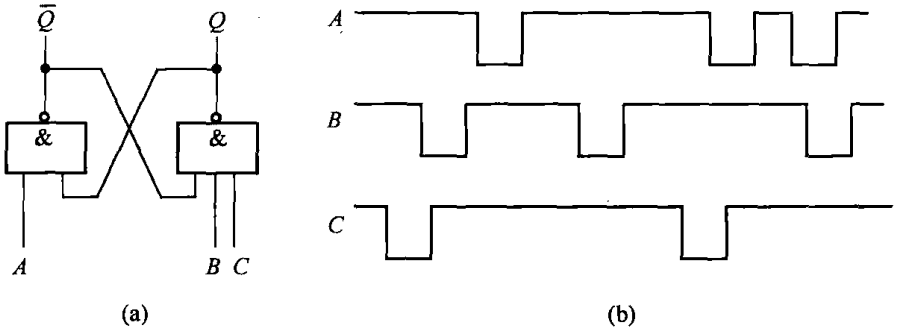
习题 6

6.1　当题6.1图(a)所示的基本 RS 触发器的 $\overline{R}_D$ 和 $\overline{S}_D$ 端加上题6.1图(b)所示波形时，试画出输出端 Q 的波形。设触发器的初始状态为“0”和“1”两种情况。



题 6.1 图

6.2　对于题6.2图(a)所示电路，其输入信号波形如题6.2图(b)所示，试画出其输出端 Q 的波形。设 Q 的初始状态为“0”。



题 6.2 图

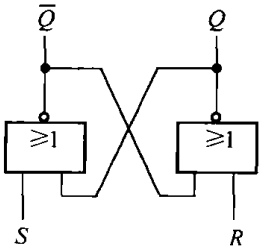
6.3　题6.3图所示为由或非门构成的基本 RS 触发器，试列出该电路的真值表，并分析其逻辑功能。

6.4　题6.4图(a)所示为同步 RS 触发器，题6.4图(b)所示为其输入信号波形。设触发器的初始状态为“0”和“1”两种情况，试画出输出端 Q 的波形。

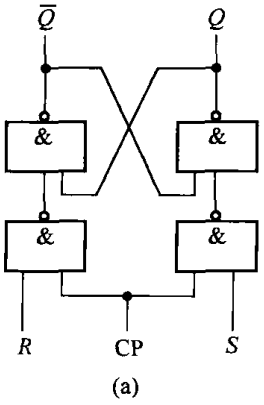
6.5　题 6.5 图所示为与或非门组成的触发器，试列出该电路的真值表，分析其逻辑功能，并与题 6.3 图所示触发器的逻辑功能进行比较。

6.6　设触发器的初始状态 Q 为“0”，在如题6.6图所示的输出信号作用下，试画出主从型 JK 触发器输出端 Q 的波形。

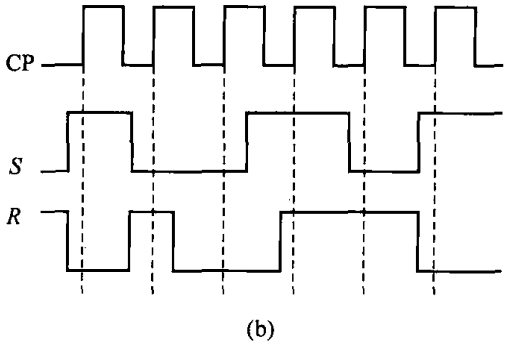
6.7　设触发器的初始状态 Q 为“0”，在如题6.7图所示的输入信号作用下，试画出维持-阻塞型 D 触发器输出端 Q 的波形。



题 6.3 图

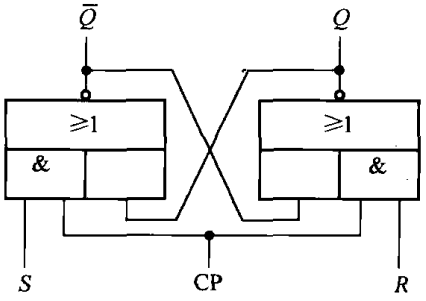


(a)

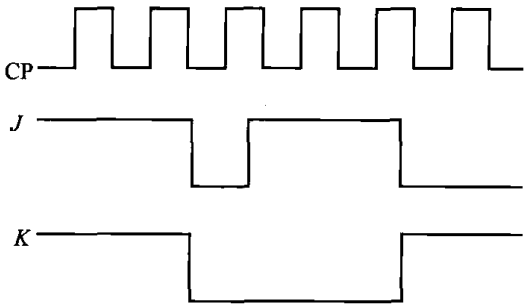


(b)

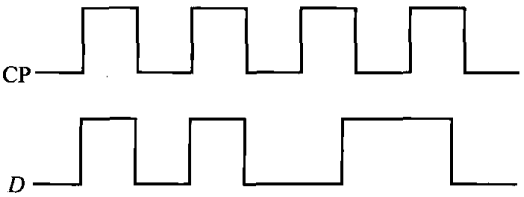
题 6.4 图



题 6.5 图

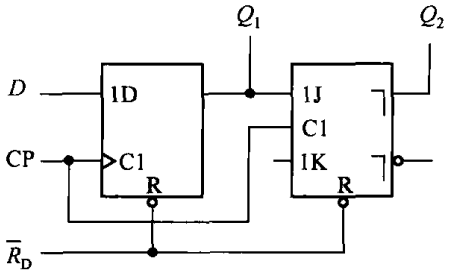


题 6.6 图

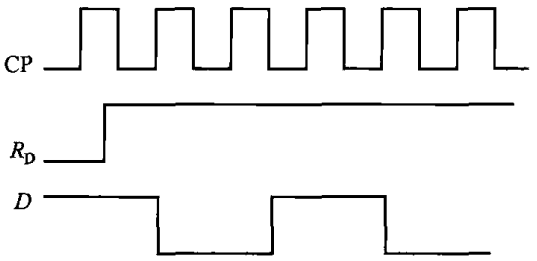


题 6.7 图

6.8 题6.8图(a)所示为由维持-阻塞型 D 触发器和主从型 JK 触发器构成的逻辑电路，题6.8图(b)所示为该电路的输入信号波形，试画出 Q_1 端和 Q_2 端的输出波形。设各触发器的初始状态为“0”。



(a)

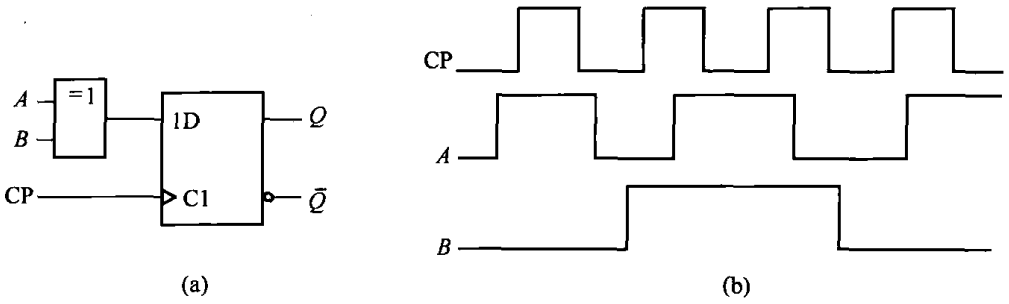


(b)

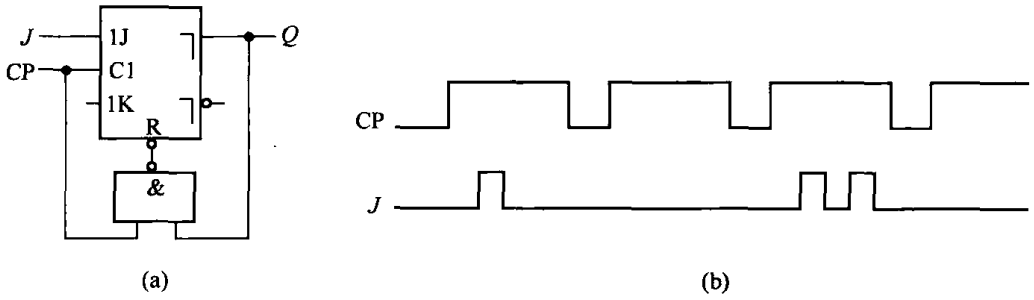
题 6.8 图

6.9 题6.9图(a)所示为维持-阻塞图 D 触发器构成的逻辑电路，题6.9图(b)所示为其输入信号波形，试画出输出端 Q 的波形。设触发器的初始状态为“0”。

6.10 题6.10图(a)所示为主从型 JK 触发器构成的检“1”电路，试画出在题6.10图(b)所示输入信号作用下的输出端 Q 的波形。设触发器的初始状态为“0”。

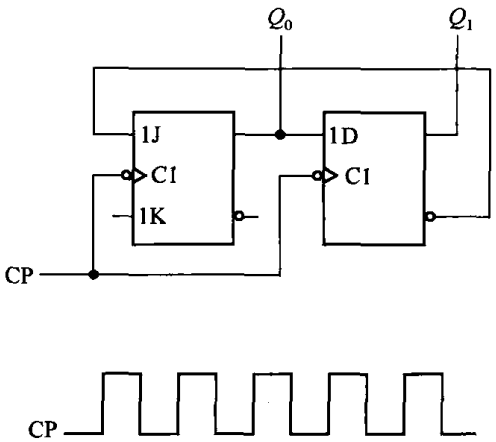


题 6.9 图



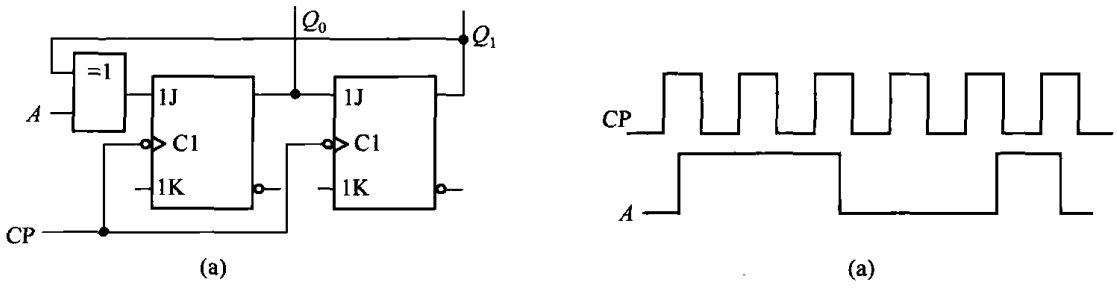
题 6.10 图

6.11　题6.11图所示为 JK 触发器和 D 触发器构成的逻辑电路，试画出在 CP 脉冲作用下的 Q_0 和 Q_1 波形。设各触发器的初始状态为“0”。



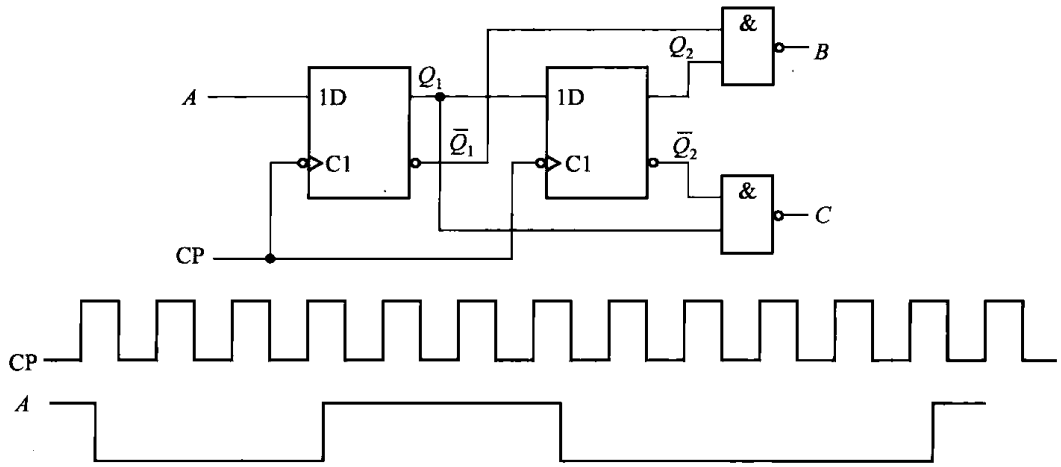
题 6.11 图

6.12　JK 触发器构成的逻辑电路如题6.12图(a)所示，题6.12图(b)所示为输入信号波形，试画出 Q_0 和 Q_1 的波形。设各触发器的初始状态为“0”。



题 6.12 图

6.13 D 触发器和与非门组成的逻辑电路及输入信号波形如题6.13图所示，试画出输出端 B, C 的波形。设各触发器的初始状态为“0”。

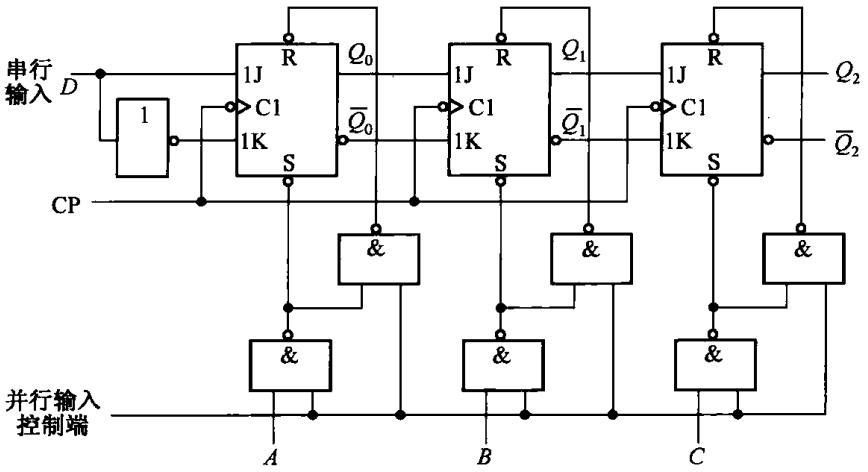


题 6.13 图

6.14 题 6.14 图所示为由 JK 触发器构成的串并输入移位寄存器。

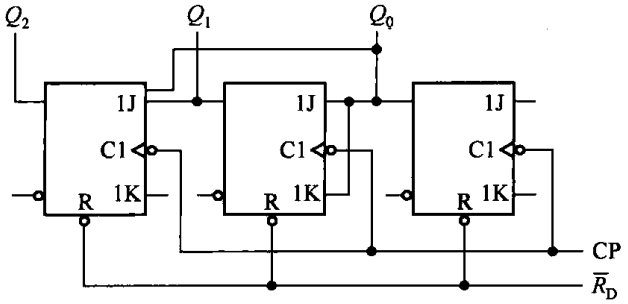
(1) 如要串行存入数码“101”，试画出输出 Q_0，Q_1 和 Q_2 的波形图(波形应与 CP 脉冲同步)。此时并行输入控制端是高电平，还是低电平?

(2) 如果并行存入数码 $A=1, B=0, C=0$，试说明其工作过程。



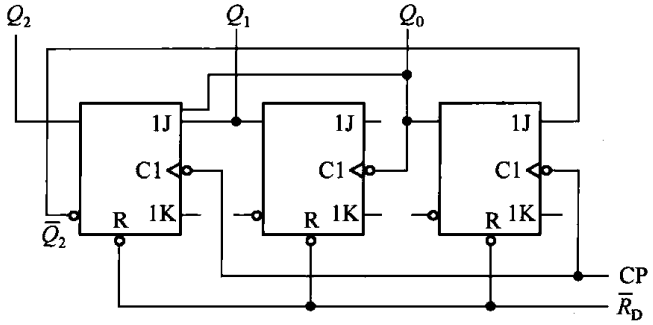
题 6.14 图

6.15 题 6.15 图为 JK 触发器构成的计数器，试列出其状态表，画出 Q 端波形，并说明是几进制计数器。设各触发器的初始状态为“0”。



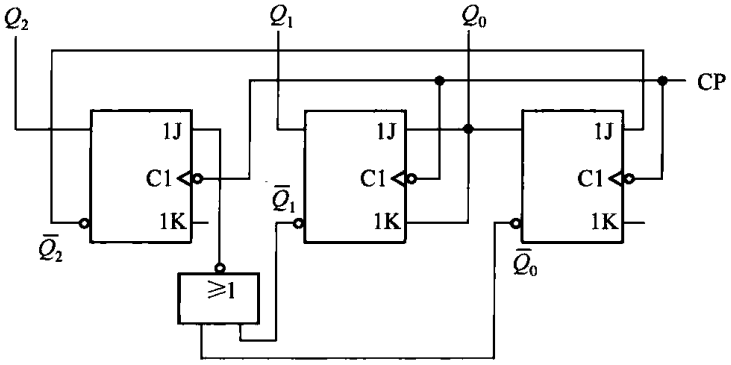
题 6.15 图

6.16　题6.16 图为 JK 触发器构成的计数器，试列出其状态表，并说明是几进制计数器。设各触发器的初始状态为“0”。



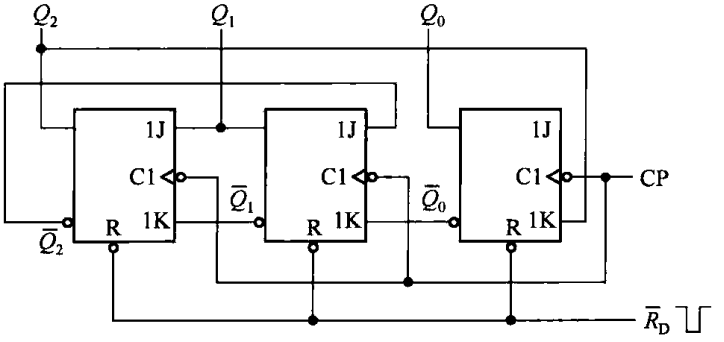
题 6.16 图

6.17　题6.17 图为 JK 触发器构成的计数器电路，列出其状态表，并说明是几进制计数器。设各触发器的初始状态为“0”。



题 6.17 图

6.18　由 JK 触发器组成的时序逻辑电路如题6.18 图所示，试列出其状态表，并说明其逻辑功能。设各触发器的初始状态为“0”。



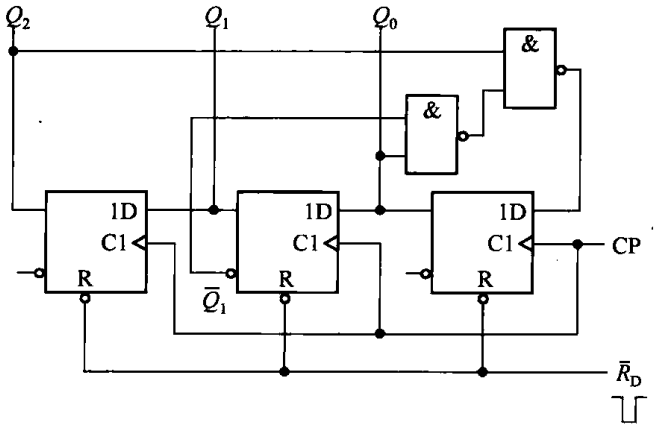
题 6.18 图

6.19　由维持-阻塞型 D 触发器组成的时序逻辑电路如题 6.19 图所示，试列出其状态表，说明其逻辑功能。设各触发器的初始状态为“0”。

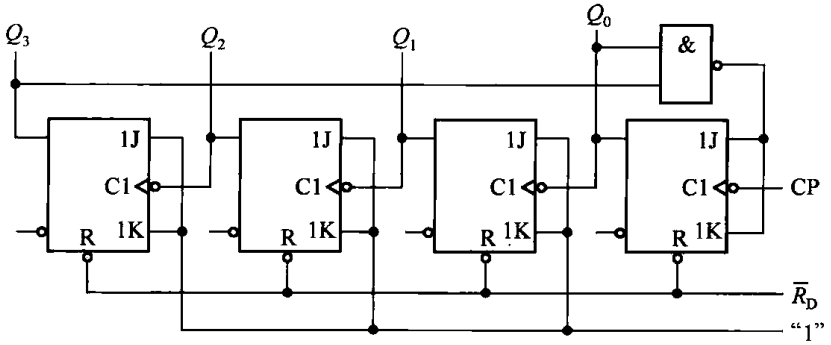
6.20　题6.20 图所示为一个“自动停止”计数器，试分析其逻辑功能，画出各输出 Q 端波形。如果要计数器重新开始计数，应作何操作？设各触发器的初始状态为“0”。

6.21　题 6.21 图所示为节拍发生器电路，试列出输出状态表，并画出 F_A，F_B，F_C 和 F_D 的波形。设各触发器的初始状态为“0”。

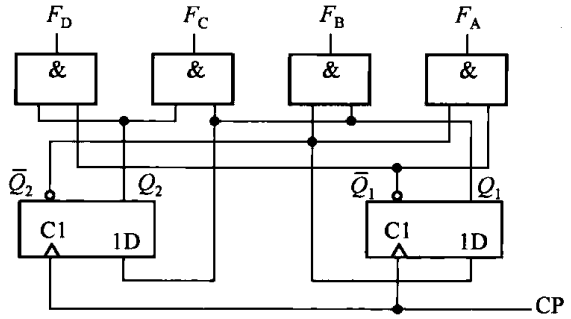
6.22　题 6.22 图所示为异步二进制计数器及控制电路，计数器用来产生控制波形，试画出控制信号 A 和 B 的波形。若 CP 脉冲频率为 1000 Hz，则控制信号 A, B 的脉宽时间各为多少？设各触发器的初始状态为“0”。



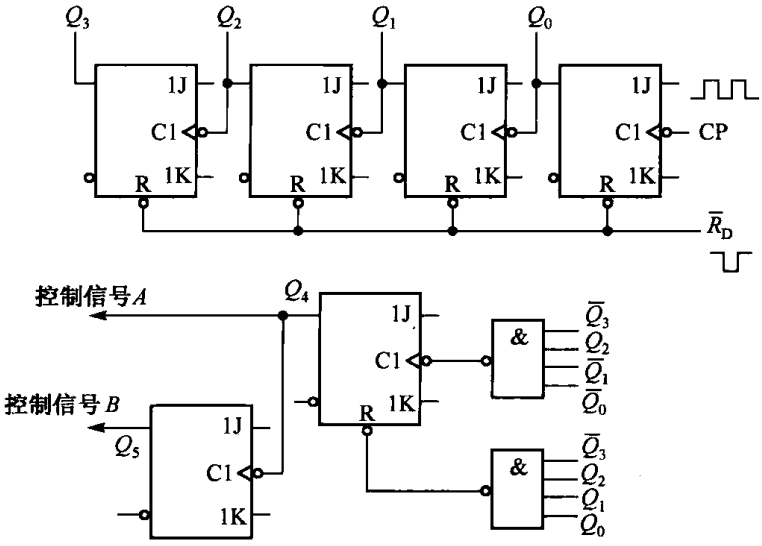
题 6.19 图



题 6.20 图

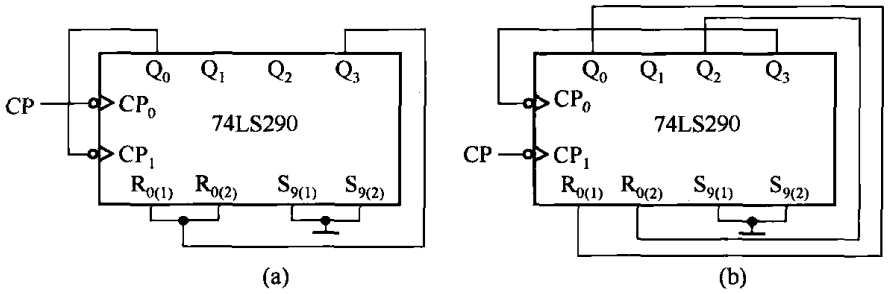


题 6.21 图



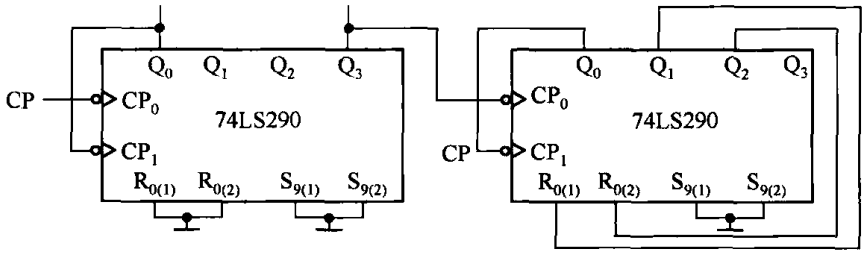
题 6.22 图

6.23　题6.23图(a)和(b)所示为由集成 74LS290 异步二-五-十进制计数器构成的计数电路，根据表6.3.6所列该计数器功能表，试分别列出它们的状态表，并分析它们各自为几进制计数器。



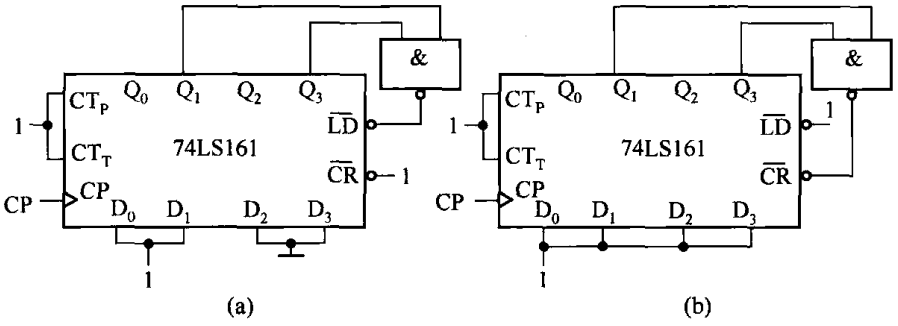
题 6.23 图

6.24　题6.24图所示为采用两片集成计数器 74LS290 构成的计数电路，分析该电路为多少进制计数器。



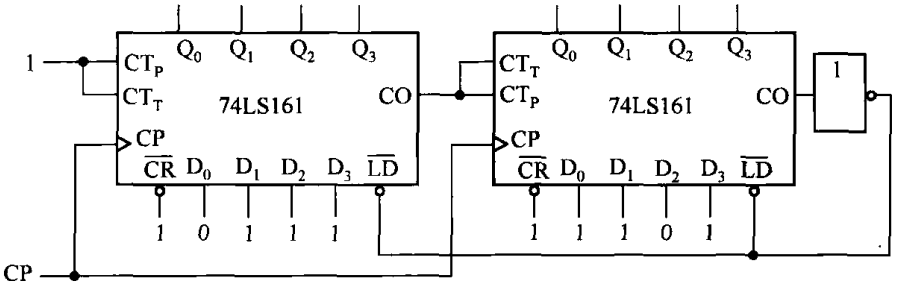
题 6.24 图

6.25　题6.25图所示为 4 位可预置同步二进制加法计数器 74LS161 构成的计数电路，试根据表6.3.7中所述其功能，分别列出它们的状态表，并分析它们的逻辑功能。



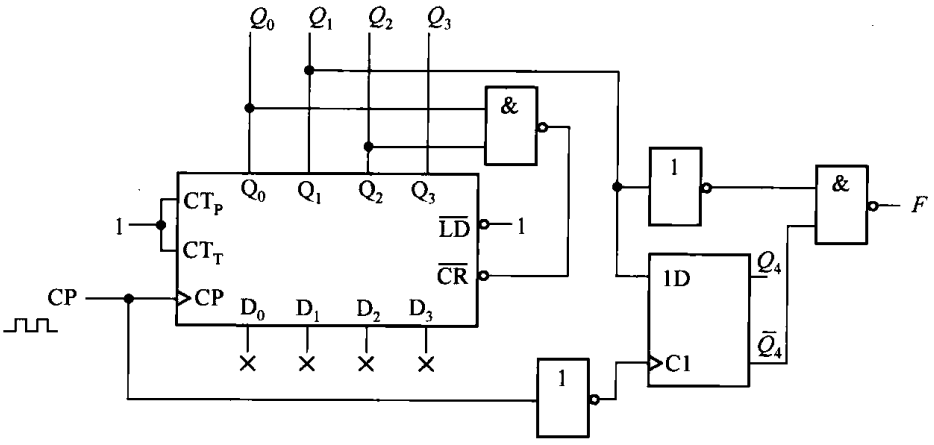
题 6.25 图

6.26　题6.26图所示为两片集成计数 74LS161 构成的计数电路，分析该电路为多少进制计数器。



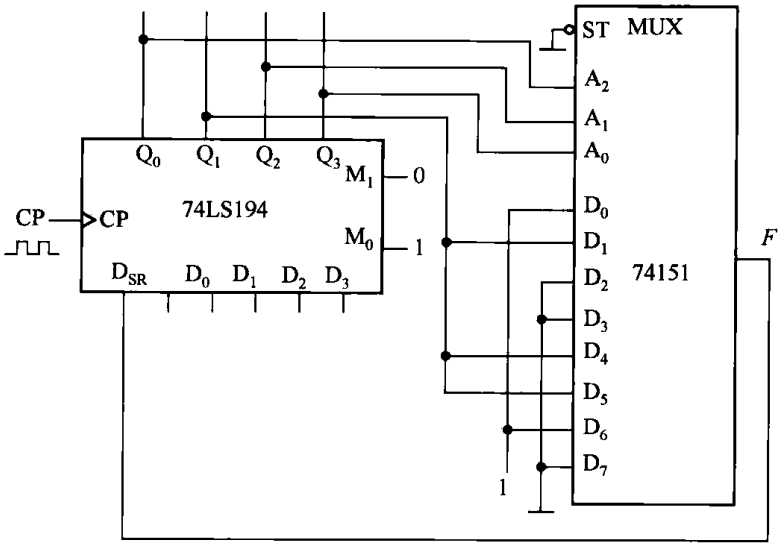
题 6.26 图

6.27 题6.27图所示为4位可预置同步二进制加法计数器74LS161构成的时序逻辑电路，试画出在CP作用下F的输出波形，并说明F与CP之间的关系。设Q_3，Q_2，Q_1和Q_0的初始状态均为“0”。



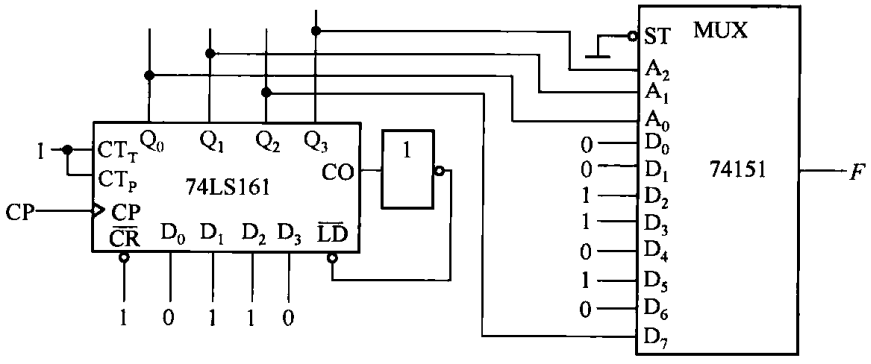
题6.27图

6.28 题6.28图是一移位型计数器电路，列出$Q_3Q_2Q_1Q_0$的状态转换表，并分析这是一个几进制计数器。设Q_3，Q_2，Q_1和Q_0的初始状态均为“0”。



题6.28图

6.29 题6.29图所示为一个序列信号发生器电路，列出$Q_3Q_2Q_1Q_0$和F的状态转换表，指出输出F的序列。



题6.29图

第 7 章　信号的产生和变换电路

信号产生电路和信号变换电路是电子电路中广泛应用的两类基本电路。信号产生电路不需要输入信号就可产生各种周期性的信号波形；而信号变换电路能把周期性的输入信号整形成所要求的脉冲信号。

在自动控制、无线电通信、测量、生物医学许多领域内都需要信号产生电路，除常用的正弦波信号外，还有各种非正弦信号，如方波、三角波等。在数字和自动控制系统中也需要一定宽度和幅度的方波、三角波等非正弦的脉冲信号，它们可以由各类信号产生电路产生，也可以由信号变换电路得到。本章将讨论信号产生电路和信号变换电路的工作原理及其典型电路。

7.1　正弦波振荡电路

正弦波信号是电子电路中最常用的信号源之一。本节主要讨论如何满足产生振荡的条件以组成正弦波振荡电路和常用的 RC 振荡电路、LC 振荡电路的工作原理。

7.1.1　正弦波振荡电路的基本工作原理

在第 3 章中已谈到了自激振荡，它的现象是，当运算放大器输入信号为零时，在它的输出端却有一定频率和幅值的高频交流信号输出，其原因是由于附加相移的影响，使得原来按负反馈设计的放大电路转变成了正反馈。对于放大电路来说，它是十分有害的，要设法消除；而对于振荡电路来说，则要设法满足自激振荡的条件，在没有输入信号的情况下，也能输出一定频率、幅值的正弦波信号。

1．自激振荡的条件

图 7.1.1 所示为正反馈放大电路的原理图。由图可知，如在放大器的输入端输入一定频率、一定幅度的正弦波信号 $\dot{X}_i = \dot{X}_d$，经基本放大电路放大后输出信号为 $\dot{X}_o = A\dot{X}_i$，在反馈网络的输出端则可得到反馈信号 $\dot{X}_f = F\dot{X}_o = AF\dot{X}_i$。如果 $\dot{X}_f$ 和 $\dot{X}_i$ 在幅值和相位上都一样，那么即使此时输入信号 $\dot{X}_i = 0$，而由于 $\dot{X}_f$ 的作用，继续维持原有的 $\dot{X}_d$，则可在输出端维持原有的输出信号 $\dot{X}_o$。因此，产生自激振荡的条件为

$$AF = 1 \tag{7.1.1}$$

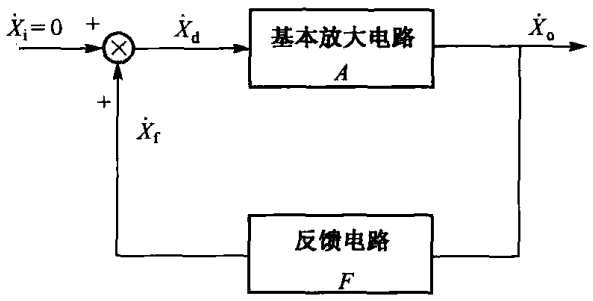


图 7.1.1　正反馈放大电路的原理图

式(7.1.1)中 $A=|A|\angle\underline{\varphi_A}$，$F=|F|\angle\underline{\varphi_F}$，式(7.1.1)可写为

$$AF=|AF|\angle\underline{\varphi_A+\varphi_F}=1$$

于是，自激振荡的条件可分别表示为幅值平衡条件和相位平衡条件。

(1) 幅值平衡条件

$$|AF|=1 \tag{7.1.2}$$

式(7.1.2)所示的幅值平衡条件表明，反馈信号的幅值应当等于输入信号的幅值，在放大倍数一定的条件下，应该有足够强的正反馈量。

(2) 相位平衡条件

$$\varphi_A+\varphi_F=2n\pi \qquad n=0,1,2,\cdots \tag{7.1.3}$$

式(7.1.3)所示的相位平衡条件表明，放大电路的相移和反馈网络的相移之和应等于 $2n\pi$，即必须将反馈电路接成正反馈。

对于一个正弦波振荡器来说，只可能在一个频率下满足相位平衡的条件，这个频率就是振荡电路的振荡频率 f_0，这就要求在 AF 的环路中包含一个具有选频特性的网络，简称选频网络。

另一方面，式(7.1.2)所示的幅值平衡条件是对于振荡电路已进入稳态而言的。这种情况称为等幅振荡。若 $|AF|<1$，则振荡电路的输出将越来越小，最后停振，称为减幅振荡。若 $|AF|>1$，则振荡电路的输出将越来越大，称为增幅振荡。可见，维持等幅振荡的唯一条件是 $|AF|=1$。

2. 振荡的建立与稳定

前面讨论自激振荡的条件时，假设先有一输入信号 u_i，如设计的正弦波振荡电路满足 $AF=1$，则可维持等幅振荡输出。但实际的振荡电路不可能先外加一输入信号激励一下，电路才能有输出信号，那么在没有外加信号的条件下，怎样才能建立起振荡呢?

事实上，放大电路中存在噪声或干扰，例如接通直流电源时电路中就会产生电压或电流的瞬变过程，它的频谱分布很广，其中必然包含振荡频率 f_0 的分量。经过选频网络的选频作用，只有 f_0 这一频率的分量满足相位平衡的条件，只要此时 $|AF|>1$，则可形成增幅振荡，使输出电压逐渐变大，使得振荡建立起来。因此，振荡建立的条件除必须满足相位平衡条件外，还应满足幅值条件 $|AF|>1$。

如果正弦波振荡电路满足振荡的建立条件，那么在接通电源后，它的输出信号将随时间逐渐增大，当它的幅值增大到一定程度后，放大部分的元件就会接近甚至进入饱和区或截止区，输出波形会产生失真。由于进入非线性区，这时放大电路的放大倍数 A 将下降，也使输出下降，经选频网络后放大电路的输入也随之下降。输入下降后失真情况有所改善，又使 A 上升一些，这样自动调节可维持 $|AF|=1$ 等幅振荡的条件，形成失真等幅振荡输出。显然，作为正弦波振荡器应避免放大元件进入非线性区工作，也就是说，在放大元件没有进入非线性区以前，应设法使 $|AF|$ 由大于 1 逐渐减小到 $|AF|=1$。因此还应有稳幅的环节。有关稳幅措施将在后面具体电路中加以说明。

3. 正弦波振荡电路的组成

通过上面分析可知，正弦波振荡电路除了放大电路和正反馈网络以外，还应该包含选频网络和稳幅环节。其中选频网络可以设置在放大环节中，也可以设置在正反馈网络之中，它能从众多的谐波分量中选出满足振荡条件的某一频率分量，从而输出特定频率的正弦波电压。选频网络可以由 R 和

C 组成，也可以由 L 和 C 组成。因此，正弦波振荡电路按组成选频网络的元件类型不同可分为 RC 正弦波振荡电路和 LC 正弦波振荡电路，下面分别讨论。

7.1.2　RC 正弦波振荡电路

RC 正弦波振荡电路有文氏电桥正弦波振荡电路、移相式正弦波振荡电路和双 T 网络式正弦波振荡电路等。下面讨论最常用的文氏电桥正弦波振荡电路。

1．电路构成

振荡电路中的放大环节可以由集成运算放大器组成，也可以由分立元件放大电路组成。图 7.1.2 是由集成运放和文氏电桥反馈网络组成的正弦波振荡电路。图中 Z_1 和 Z_2 是文氏电桥的两臂，由它们组成正反馈选频网络；文氏电桥的另外两臂是电阻 R_F 和 R_1，由它们组成负反馈网络，它们和集成运放构成同相比例放大电路。当集成运放具有理想特性时，振荡条件主要由这两个反馈网络的参数决定。为了分析它的工作原理，下面首先讨论 RC 串并联电路的选频特性。

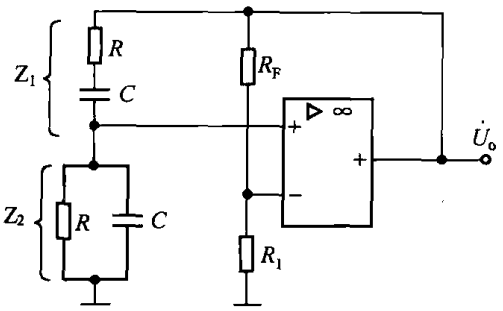


图 7.1.2　文氏电桥正弦波振荡电路

2．RC 串并联网络的选频特性

图 7.1.3(a)为 RC 串并联选频网络，由于有两个容性元件 C，因此输出电压必与频率有关。由图 7.1.3(a)可见，选频网络的输入电压即为放大器的输出电压 $\dot{U}_o$，选频网络的输出电压 $\dot{U}_f$ 为放大电路的输入电压。其中，

$$\mathrm{Z}_1 = R + \frac{1}{\mathrm{j}\omega C}$$

$$\mathrm{Z}_2 = \frac{R\left(\dfrac{1}{\mathrm{j}\omega C}\right)}{R + \dfrac{1}{\mathrm{j}\omega C}} = \frac{R}{1 + \mathrm{j}\omega RC}$$

反馈网络的反馈系数为

$$F = \frac{\dot{U}_f}{\dot{U}_o} = \frac{Z_2}{Z_1 + Z_2} = \frac{\dfrac{R}{1+\mathrm{j}\omega RC}}{R + \dfrac{1}{\mathrm{j}\omega C} + \dfrac{R}{1+\mathrm{j}\omega RC}}$$

$$= \frac{1}{3 + \mathrm{j}\left(\omega RC - \dfrac{1}{\omega RC}\right)} \tag{7.1.4}$$

如令 $\omega_0 = 1/RC$，则式(7.1.4)变为

$$F = \frac{1}{3 + \mathrm{j}\left(\dfrac{\omega}{\omega_0} - \dfrac{\omega_0}{\omega}\right)} \tag{7.1.5}$$

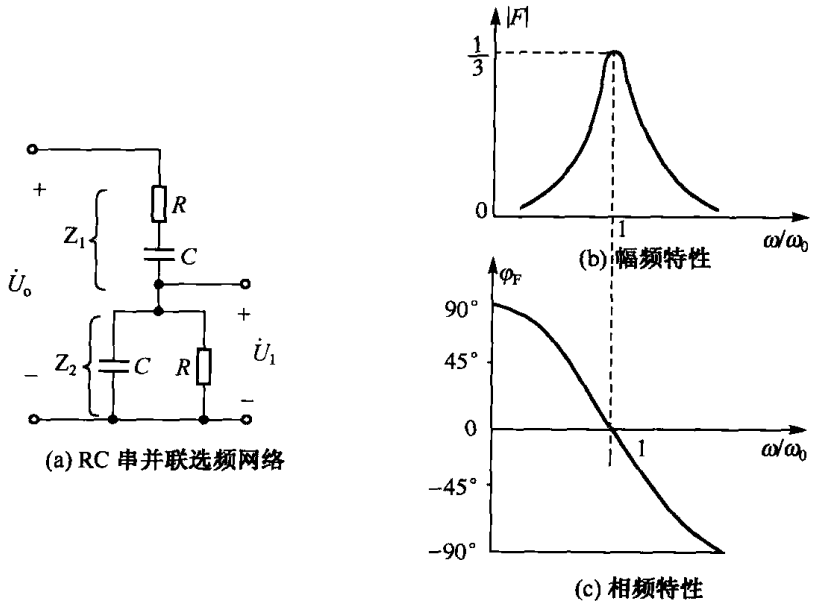


图 7.1.3 RC 串并联选频网络及其频率特性

由此可得 RC 串并联选频网络的幅频特性及相频特性为

$$|F|=\frac{1}{\sqrt{3^2+\left(\frac{\omega}{\omega_0}-\frac{\omega_0}{\omega}\right)^2}} \tag{7.1.6}$$

$$\varphi_F=-\arctan\left(\frac{\frac{\omega}{\omega_0}-\frac{\omega_0}{\omega}}{3}\right) \tag{7.1.7}$$

由式(7.1.6)和式(7.1.7)可知，当

$$\omega=\omega_0=\frac{1}{RC} \quad 或 \quad f=f_0=\frac{1}{2\pi RC} \tag{7.1.8}$$

时，幅频特性的幅值为最大值，即

$$|F|=\frac{1}{3} \tag{7.1.9}$$

而相频特性的相位角为零，即

$$\varphi_F=0 \tag{7.1.10}$$

这就是说，当输入幅值一定，而频率可调时，在 $f=f_0=\frac{1}{2\pi RC}$ 处，输出电压的幅值最大，并且是输入电压的1/3，此时输出电压与输入电压同相。根据式(7.1.6)和式(7.1.7)画出的 RC 串并联选频网络的幅频特性和相频特性，分别如图 7.1.3(b)和(c)所示。

3. 工作原理

上述分析表明，在图7.1.2所示的电路中，只有频率为 $f_0=\frac{1}{2\pi RC}$ 的输出电压 $\dot{U}_o$ 通过选频网络传输到集成运放同相端的电压 $\dot{U}_f$ 才与 $\dot{U}_o$ 同相，即有 $\varphi_F=0$ 和 $\varphi_A+\varphi_F=2n\pi$，满足相位平衡条件。并

且反馈电压$\dot{U}_f$的幅值最大，为输出电压的1/3，即 $F=1/3$。故只要集成运放组成的同相比例器的电压放大倍数$1+\dfrac{R_f}{R_1}\geqslant 3$，即$A\geqslant 3$，则可满足幅值平衡条件和振荡的建立条件，产生频率为 f_0 的正弦波振荡。而其他频率的分量则不满足自激振荡条件而受到抑制。

显然，振荡电路的振荡频率为

$$f_0=\frac{1}{2\pi RC}$$

通过改变选频网络的参数 R 和 C，即可调整输出电压的频率。

4．稳幅措施

正如前述，为了减小非线性失真，应设计使得在振荡建立时放大电路的放大倍数$|A|$尽可能接近 3。但是，这样将使振荡电路起振条件的裕度很小，当电路工作条件稍有变化时就可能建立不起振荡来。因此，实际的正弦波振荡电路中常常加有稳幅措施。常采用的稳幅措施是在放大电路的负反馈网络中加入非线性元件，使得当输出电压较小时，放大倍数足够大，电路容易起振，而当输出电压增大时，放大倍数逐渐自动减小，在放大电路进入非线性区以前满足稳幅振荡的幅度平衡条件。

图 7.1.4 所示为利用二极管的非线性自动调节反馈的强弱来维护输出电压恒定的二极管稳幅电路。为了减小温度的影响，VD_1和 VD_2宜选用硅管。如果起振时$|A|>3$，则振幅将逐渐增大，在振荡过程中，VD_1和 VD_2将交替导通和截止，总有一个处于正向导通状态的二极管和 R_2 并联。由于二极管的正向电阻 r_d 随U_D 的增大而下降，因此负反馈随振幅上升而增强，也就是说，$|A|$随振幅增大而下降，直至满足振幅平衡条件为止，并建立一定的振幅。因此，调节 R_W 可以改变振荡的幅值以获得最小失真。

在一个振荡周期中，稳幅二极管的正向电阻 r_d 随输出电压的瞬时值不断变化，所以从一周中的每一瞬间来看它并不满足振幅平衡条件，因而这种电路的波形总有一定程度的失真。总的来说，二极管稳幅电路既简单又经济，但波形失真较大，适用于要求不高的场合。

除二极管外，还可利用半导体热敏电阻的非线性来实现稳幅。图 7.1.5 所示电路中 R_t 为一热敏电阻，具有负的温度系数，当温度升高时，它的阻值减小，当温度降低时，它的阻值增大。当输出电压 U_o 增加时，通过负反馈回路的电流也随之增大，结果使热敏电阻的阻值减小，使负反馈增强，放大部数$|A|$下降，从而使输出电压下降；反之，当输出电压U_o下降时，由于热敏电阻的自动调节作用，将使U_o回升，因此可以维持输出电压基本恒定。由于半导体热敏电阻的热惯性，所以对一个振荡周期而言它们是线性的，与振荡电压无关，因而可获得失真较小的正弦波形，但热敏电阻的阻值与环境温度有关，故振幅将随环境温度变化而变化。

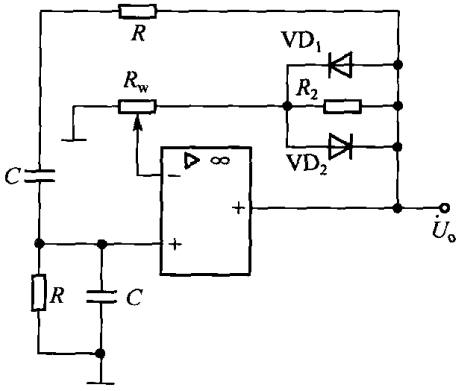


图 7.1.4　二极管稳幅电路

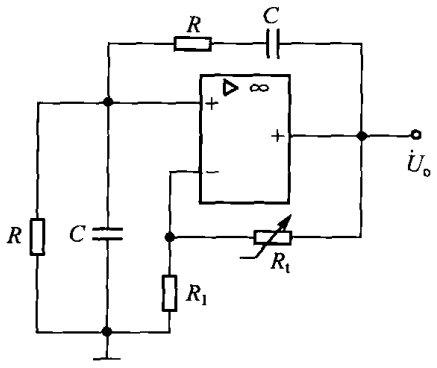


图 7.1.5　热敏电阻稳幅电路

文氏电桥正弦波振荡电路可利用双联电位器或双联电容很方便地改变振荡频率，调节范围也很广，目前频率可调的音频振荡电路大多采用这种形式的电路。

另外，RC 正弦波振荡电路的振荡频率与 RC 的乘积成反比。如果希望它的振荡频率更高，势必要减小 R 和 C 的数值。而减小 R 将使放大电路的负载加重，减小 C 也不能超过一定限度，否则振荡频率将受寄生电容的影响而不稳定。此外，普通集成运放的带宽较窄，也限制了振荡频率的提高。因此，由集成运放组成的 RC 正弦波振荡电路的振荡频率一般不超过 1 MHz，如需更高频率的正弦波，常采用 LC 正弦波振荡电路。

7.1.3 LC 正弦振荡电路

LC 正弦波振荡电路主要用来产生 1 MHz 以上的高频信号。由于普通运放的频带较窄，所以 LC 正弦波振荡电路一般用分立元件组成。

按照反馈方式的不同，常用的 LC 振荡电路有变压器反馈式、电感三点式和电容三点式三种。它们的共同特点是用 LC 并联谐振回路作为选频网络。因此，需要先分析一下 LC 并联谐振回路的选频特性。

1. LC 并联谐振回路

图7.1.6(a)是 LC 并联回路，它由电容和电感并联组成，其中 R 是折算到该回路的等效负载电阻及该回路本身的损耗电阻，通常较小，$\dot{I}$ 是输入电流，$\dot{I}_{RL}$ 是 RL 支路的电流，$\dot{I}_C$ 是电容支路的电流。下面分析它在谐振时的一些特点。

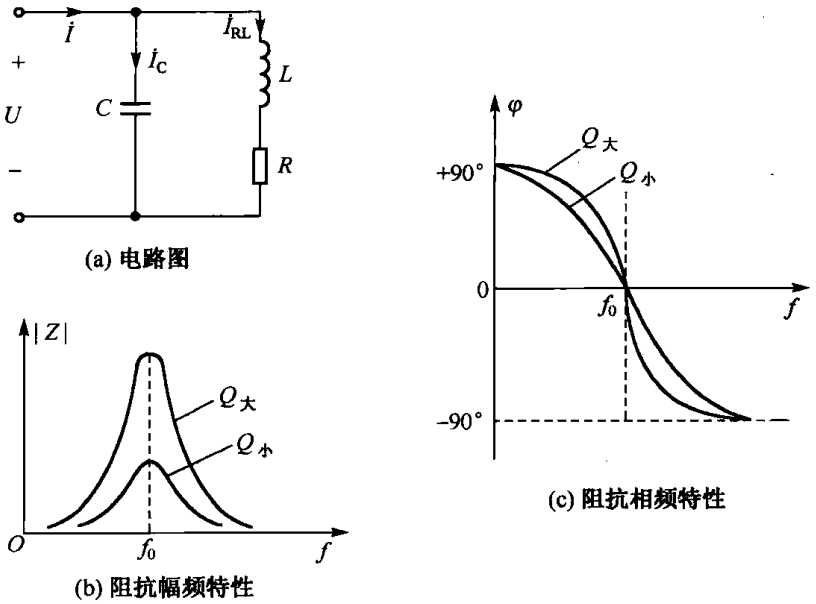


图 7.1.6 LC 谐振电路及其频率特性

(1) 谐振频率

由图7.1.6(a)可知，总电流为

$$\dot{I}=\dot{I}_C+\dot{I}_{RL}=\mathrm{j}\omega C\dot{U}+\frac{\dot{U}}{R+\mathrm{j}\omega L}$$

$$=\dot{U}\left[\frac{R}{R^2+(\omega L)^2}+\mathrm{j}\left(\omega C-\frac{\omega L}{R^2+(\omega L)^2}\right)\right] \tag{7.1.11}$$

当虚部等于零时，电压与电流同相，发生并联谐振。令并联谐振的角频率为 ω_0，可得

$$\omega_0 C = \frac{\omega_0 L}{R^2 + (\omega_0 L)^2} \tag{7.1.12}$$

将上式两边同乘以 $\omega_0 L$，再把等式右边的分子和分母同除以 $(\omega_0 L)^2$，可得

$$\omega_0^2 LC = \frac{1}{1 + \left(\frac{R}{\omega_0 \mathrm{L}}\right)^2}$$

即

$$\omega_0 = \frac{1}{\sqrt{1 + \left(\frac{R}{\omega_0 \mathrm{L}}\right)^2}} \cdot \frac{1}{\sqrt{LC}} \tag{7.1.13}$$

或者

$$\omega_0 = \frac{1}{\sqrt{1 + \frac{1}{Q^2}}} \cdot \frac{1}{\sqrt{LC}} \tag{7.1.14}$$

其中，

$$Q = \frac{\omega_0 L}{R} \tag{7.1.15}$$

Q 值称为品质因数。它是 LC 并联回路的重要指标，通常 Q 值在几十到几百的范围内，$Q \gg 1$，因此

$$\omega_0 \approx \frac{1}{\sqrt{LC}} \quad 或 \quad f_0 \approx \frac{1}{2\pi\sqrt{LC}} \tag{7.1.16}$$

(2) 谐振时的等值电阻 R_0

由式(7.1.11)可知，当虚部为零时，

$$R_0 = \frac{\dot{U}}{\dot{I}} = \frac{R^2 + (\omega_0 L)^2}{R} \tag{7.1.17}$$

由式(7.1.12)可得

$$R^2 + (\omega_0 L)^2 = \frac{L}{C} \tag{7.1.18}$$

将式(7.1.18)代入式(7.1.17)，可得

$$R_0 = \frac{L}{RC} \tag{7.1.19}$$

由式(7.1.19)可见，LC 并联回路谐振时为纯电阻，R 越小或 Q 越大，谐振时的等值电阻就越大，如图7.1.6(b)所示。另外，图7.1.6(c)表明，Q 值越大，阻抗的相角在 f_0 附近变化越大，选频效果好。

(3) 谐振回路电流与输入电流的关系

在LC并联谐振回路中，定义品质因数Q为电容电流的I_C与总电流的I_0的比值，即

$$Q=\frac{I_C}{I_0}=\frac{U\omega_0 C}{\frac{U}{R_0}}=\frac{\omega_0 L}{R}$$

正如式(7.1.15)所定义的。

通常$Q\gg 1$，所以可得$I_c\approx I_{RL}\gg I_0$，可见谐振时，LC并联电路的回路电流比输入电流大得多，即谐振回路外界的影响可忽略。

2. 选频放大器

如果将LC并联谐振回路作为单管共射放大电路的集电极负载，则可组成选频放大器，如图7.1.7所示。这个放大电路的放大倍数的幅频特性将与图7.1.6(b)中所示的相同。这是由于并联谐振回路的阻抗只在信号频率$f=f_0$时才呈现出最大值，并且为纯电阻性，所以输出电压幅值最大，而在其他频率时，集电极等效阻抗很小，输出电压幅度也很小。同时，只有在输入信号的频率$f=f_0$时，输出电压与输入电压反相，即$\varphi_A=180°$。由于这种放大电路只对谐振频率f_0的信号有放大作用，所以把这种电路称为选频放大电路，它是构成LC振荡电路的基础。

3. 变压器反馈式LC振荡电路

图7.1.8所示为变压器反馈式LC振荡电路。变压器的原绕组(匝数为N_1)的等效电感L与电容C组成并联谐振回路，作为三极管共射放大电路的集电极负载，组成了选频放大电路。因此在$f=f_0$时，它的相移$\varphi_A=180°$。变压器的一个副绕组(匝数为N_2)构成反馈电路，将它两端感应的信号电压$\dot{U}_f$作为输入信号加在放大器的输入回路，因此称为变压器反馈式正弦波振荡电路。如果设法使反馈电路的相移$\varphi_f=180°$，则可形成正反馈，满足自激振荡的相位平衡条件。

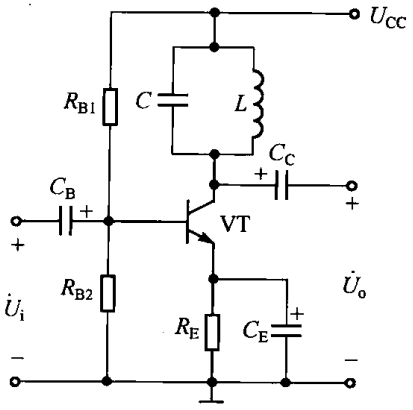


图7.1.7 选频放大电路

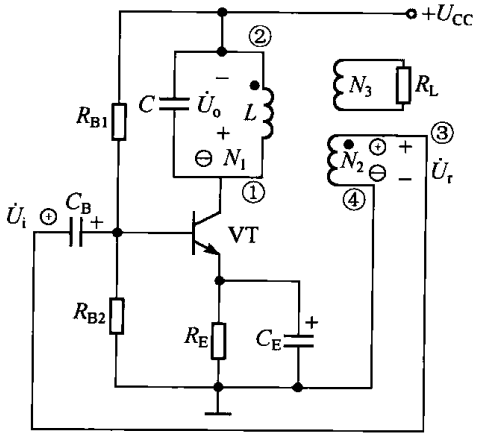


图7.1.8 变压器反馈式振荡电路

(1) 振荡频率

通过上面分析可看出，该电路如能产生自激振荡，则振荡频率即为LC谐振回路的谐振频率f_0，所以

$$f_0=\frac{1}{2\pi\sqrt{L'C}} \tag{7.1.20}$$

式中，L'为变压器从原边看进去的等效电感。当副边损耗较小时，振荡频率接近于变压器副边空载情况下原边 LC 回路的谐振频率，即

$$f_0 \approx \frac{1}{2\pi\sqrt{LC}} \tag{7.1.21}$$

所以，通过改变原绕组 L 值或电容 C 值可改变振荡电路的振荡频率。

(2) 相位平衡条件

常用瞬时极性法判断相位平衡条件。首先假设在输入端加一瞬时极性为正的输入信号$\dot{U}_i$，用⊕表示，由于 LC 并联谐振电路在谐振频率 f_0 时呈现纯电阻性，此时放大器的负载为电阻性负载，而电容 C_B 和 C_E 通常足够大，可视为短路，所以集电极的输出电压$\dot{U}_o$与输入电压反相($\varphi_A = \pi$)，故在变压器的原边①处标以⊖。变压器的副绕组 N_2 的④端接地，而③端接在放大器的输入端，所以 N_2 将反馈电压$\dot{U}_f$加到了放大器的输入回路，由电路图中所标同名端可以看出，副绕组 N_2 的③端和原绕组的①端互为异名端，它们的相位相反($\varphi_F = \pi$)，所以当原绕组的①端为负极性时，则③端必为正极性，说明$\dot{U}_f$和所设$\dot{U}_i$同相($\varphi_a + \varphi_F = 2\pi$)，即构成正反馈，满足相位平衡条件。到底电路能否起振，还要看是否满足幅度平衡条件和起振条件。

(3) 起振条件

为了满足自激振荡的建立条件$|AF| > 1$，一方面可以适当地选择变压器的变比 N_1/N_2，使它有较大的反馈电压$\dot{U}_f$，从而得到较大的反馈系数 F；另一方面从影响放大倍数的因素(三极管的电流放大系数 β 和输入电阻 r_{be}、负载阻抗等)来考虑，选择适当的三极管及其工作点以及 LC 并联谐振电路，使 LC 谐振回路在谐振频率 f_0 时的等值电阻 R_0 足够大，从而使选频放大器的放大倍数 A 足够大，这样就可以做到$|AF| > 1$，从而满足自激振荡的建立条件。

由以上分析可见，当接通电源在集电极回路激起一个微小的电流变化时，则由于 LC 并联谐振回路的选频性，其中频率等于谐振频率 f_0 的分量可得到最大值，在变压器副边 N_2 感应出一反馈电压$\dot{U}_f$，并且满足相位平衡的条件，加到了放大器的输入回路，形成了正反馈，从而建立起频率为 f_0 的稳幅振荡。对于 f_0 以外的其他频率，由于自激振荡的条件得不到满足而被抑制。

LC 振荡电路的振幅稳定是依靠三极管工作的非线性来达到的。当振幅大到一定程度时，虽然三极管的集电极电流波形可能明显失真，但由于集电极负载 LC 并联谐振回路的良好选频作用，输出波形一般失真不大。

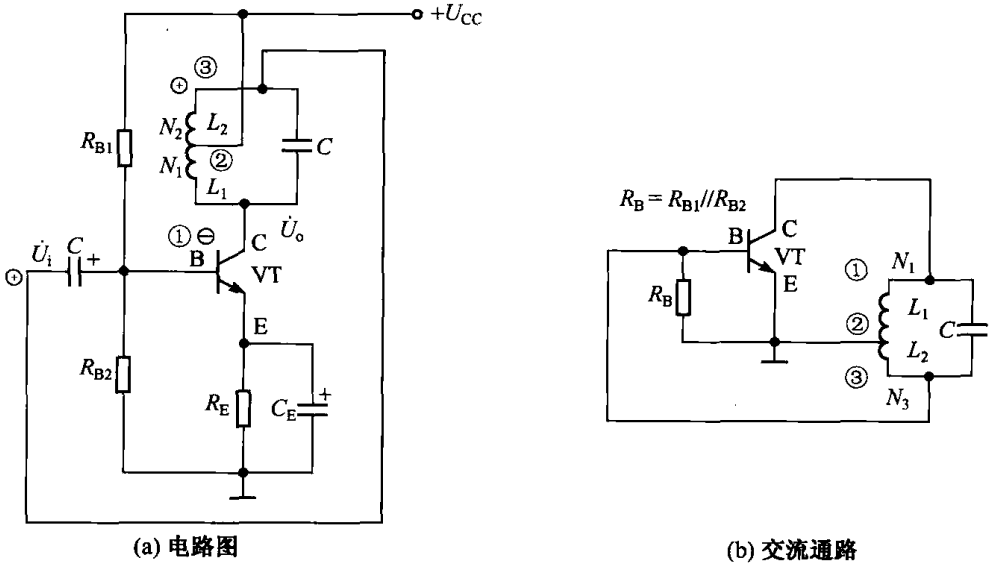
变压器反馈式振荡电路的特点是：只要线圈的同名端正确，调节线圈 L_2 的匝数 N_2 是很容易起振的。由于变压器分布参数的限制，振荡频率不能很高，一般在几 kHz 到几 MHz。改变电容 C 的大小，可在较宽的范围内方便地调节振荡频率。

4. 电感三点式正弦波振荡电路

图 7.1.9(a)所示的是电感反馈式 LC 振荡电路，它的谐振回路仍由电感线圈和电容组成，但是电感线圈中间有一个抽头。从它的交流通路图 7.1.9(b)可明显看出，电感线圈的 3 个端子分别与三极管的 3 个电极 B，C，E 相连接，因此这种振荡电路称为电感三点式振荡电路。

下面分析一下这种电路是怎样满足自激振荡条件的。首先采用瞬时极性法判断相位平衡条件。设在输入端加一输入信号$\dot{U}_i$(瞬时极性为正，用⊕表示)，由于 LC 并联谐振电路在谐振频率 f_0 时呈纯电阻性，所以放大器的输出电压$\dot{U}_o$与输入电压反相($\varphi_A = \pi$)，故在三极管的集电极处标以⊖，即

①端为负，②端为正。又由于线圈 L_2 是回路电感的一部分，由同名端的关系可知 L_2 两端电压的瞬时极性完全和 L_1 上的一致，即②端为负，③端为正，但②端对交流接地，电位为零。也就是反馈信号对地为正，和 $\dot{U}_o$ 反相($\varphi_F=\pi$)，形成了正反馈，满足相位平衡条件。反馈信号的大小可通过改变中间抽头的位置来调节，在选择抽头位置时，一方面要考虑到使电路具有足够的正反馈，满足起振条件；另一方面，也要考虑到使失真小一些，正反馈不能太强。通常反馈线圈 L_2 的匝数为电感线圈总匝数的 1/8～1/4。



(a) 电路图　　(b) 交流通路

图 7.1.9　电感三点式 LC 振荡电路

电感三点式振荡电路的振荡频率为

$$f_0=\frac{1}{2\pi\sqrt{LC}}=\frac{1}{2\pi\sqrt{(L_1+L_2+2M)C}} \tag{7.1.22}$$

式中，M 为线圈 L_1 与 L_2 之间的互感。

电感三点式振荡电路的特点是：由于电感 L_1 和 L_2 之间耦合很紧，因此容易起振，并且可方便地改变电感线圈抽头位置来改善波形失真程度。但是由于它的反馈电压取自电感 L_2，它对高次谐波的阻抗较大，因此输出波形中含有高次谐波，波形较差。该电路通常改变电容 C 来调节振荡频率，一般用于产生几十 MHz 以下的振荡频率。

5. 电容三点式正弦波振荡电路

图7.1.10(a)所示是一个电容三点式振荡电路，它的基本结构与电感三点式一样，只是将 LC 并联谐振回路中的 L 与 C 互换。从它的交流通路图 7.1.10(b)可以看出，三极管的三个电极直接与电容的三点相连，因此称为电容三点式振荡电路。

下面首先分析相位平衡条件，类似地也可采用瞬时极性法来判断，现由交流通路用相量图来分析。

(1) 以 $\dot{U}_{be}$ 为参考相量，考虑到 LC 并联谐振回路在谐振时呈现纯电阻性质，因而得输出电压 $\dot{U}_{ce}$ 与 $\dot{U}_{be}$ 反相，即 $\varphi_A=180°$。

(2) 作出 LC_2 支路中的电流相量 $\dot{I}$。因为这个支路的电抗 $X=X_L-X_C$，而 $X_L>X_C$，故 X 为感性，此支路电流落后于其两端电压 $\dot{U}_{ce}$ 90°。

(3) 作出反馈电压 $\dot{U}_f$，由于反馈电压即为 C_2 上的电压，而电容电压落后于电容电流 90°，所以得 $\dot{U}_f$。

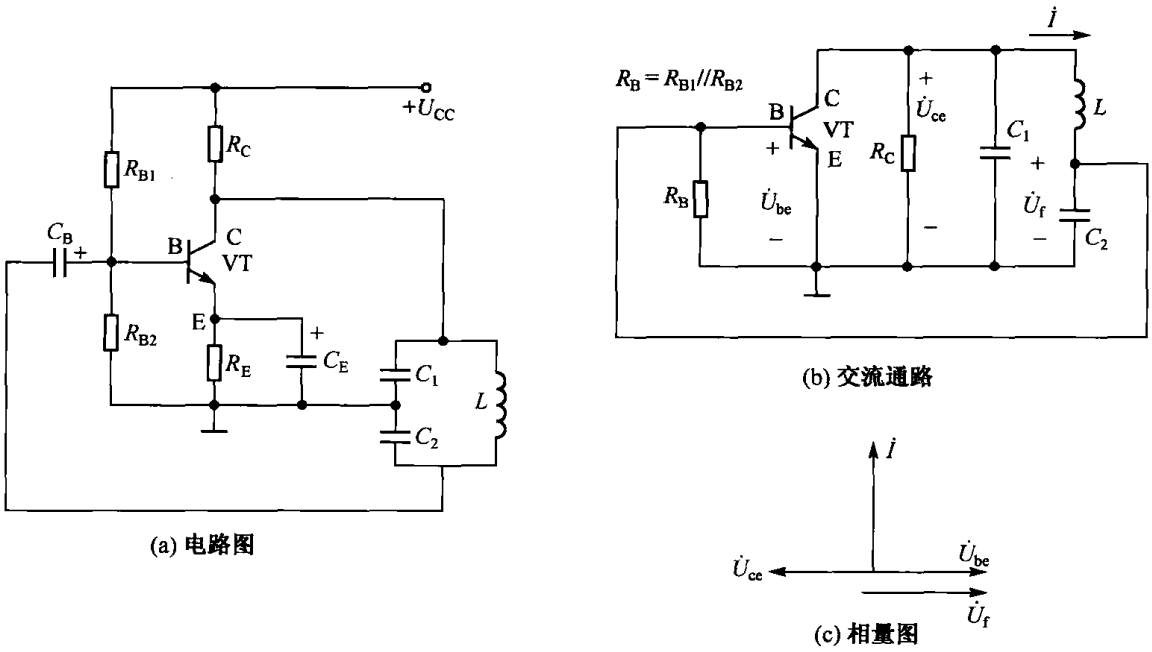


图 7.1.10　电容三点式振荡电路

由图7.1.10(c)所示相量图可见，$\dot{U}_f$ 与 $\dot{U}_{be}$ 同相，即 $\varphi_A+\varphi_F=2n\pi$，故满足相位平衡条件。

适当选取 C_1 和 C_2 的比值，以获得足够的正反馈量，并使放大电路具有足够的放大倍数，使幅度平衡条件得到满足，电路就能产生自激振荡。

电容三点式振荡电路的振荡频率为

$$f_0 \approx \frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{L\dfrac{C_1C_2}{C_1+C_2}}} \tag{7.1.23}$$

由于电容三点式振荡电路的反馈电压从电容 C_2 的两端取得，而 C_2 对高次谐波的阻抗较小，所以输出波形较好。由于 C_1 和 C_2 的值可以选得很小，因而振荡频率可以很高，一般可以到100 MHz以上。通常采用同轴电容来调节振荡频率。

7.1.4　石英晶体振荡电路

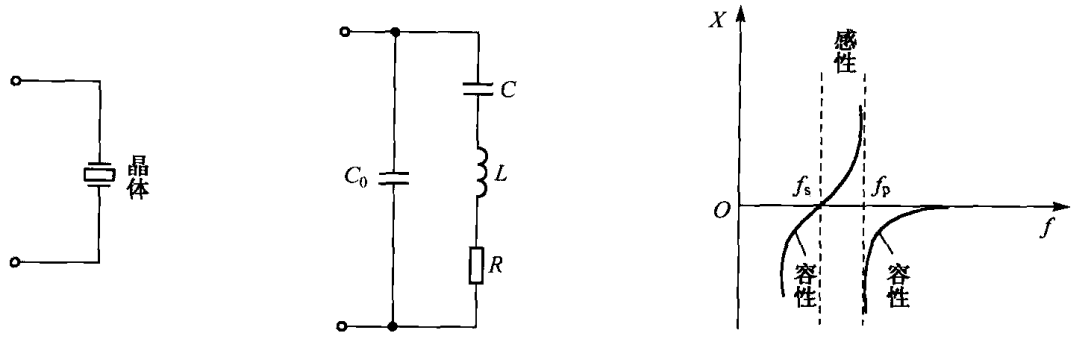
在许多工程实际应用中，通常要求振荡电路的振荡频率十分稳定，如通信系统中的射频振荡器、数字系统中的时钟发生器等。衡量频率稳定程度的指标称为频率稳定度，它是用频率的相对变化量 $\Delta f/f_0$ 来表征的，f_0 为标称振荡频率，Δf 为实际振荡频率与标称振荡频率的偏差。从图7.1.6所示LC并联谐振电路的频率特性可以看出，Q 值越大，选频特性越好，频率的相对变化量越小，即频率的稳定度越高。但LC振荡电路的 Q 值只能达到数百，有资料表明，即使采用了各种稳频措施，其频率稳定度一般也很难突破 10^{-5} 数量级。如果对频率稳定度要求更高，则可以采用石英晶体振荡电路。石英晶体振荡电路频率稳定度可达 $10^{-9}\sim10^{-11}$ 数量级。下面首先介绍石英晶体的基本特性，然后再讨论石英晶体振荡电路的工作原理。

1．石英晶体的基本特性及等效电路

(1) 压电效应

石英晶体为二氧化硅的结晶体，按一定的方位角切下晶片，在晶片的两边涂敷银层作为两个电极，焊上引线，再加装上外壳封装即制成了石英晶体振荡器，其电路符号如图7.1.11(a)所示。若在石

英晶体的两个电极间加一电场，晶片就会产生机械变形；反之，若在晶片的两侧加上机械压力，则在晶片相应的方向上产生电场，这种机电相互转换的物理现象称为压电效应。晶片有一固有振动频率，其值极其稳定且与晶片的切割方法、几何形状和尺寸有关。当外加交变电压的频率与晶片的固有频率相等时，其振幅最大，这种现象称为压电谐振。



(a) 符号　　(b) 等效电路　　(c) 电抗－频率特性

图 7.1.11　石英晶体谐振器

(2) 石英晶体的等效电路

石英晶体的等效电路如图 7.1.11(b)所示。图中，C_0 是当晶体不振动时，两金属电极间构成的静态电容；当晶体振动时，可用 LC 串联谐振电路来表示，其中电感 L 和电容 C 分别模拟机械振动的惯性和弹性，电阻 R 则用来模拟晶片振动时的摩擦损耗。由于晶片的等效电感 L 很大，而电容 C 和电阻 R 很小，因此回路的品质因数 Q 很大，可达 $10^{-9}\sim10^{-11}$ 数量级。

(3) 石英晶体的电抗-频率特性

从图7.1.11(b)所示石英晶体谐振器等效电路可求得忽略电阻 R 时等效电抗的表达式为

$$X=\frac{\dfrac{1}{\mathrm{j}\omega C_0}\left(\mathrm{j}\omega L+\dfrac{1}{\mathrm{j}\omega C}\right)}{\dfrac{1}{\mathrm{j}\omega C_0}+\mathrm{j}\omega L+\dfrac{1}{\mathrm{j}\omega C}}=\frac{1-\omega^2LC}{\mathrm{j}\omega(C_0+C-\omega^2LCC_0)} \tag{7.1.24}$$

这个电路有两个谐振频率。当回路发生串联谐振时，则等效电抗 $X=0$，即式(7.1.24)的分子为零，从而可得串联谐振频率为

$$f_s=\frac{1}{2\pi\sqrt{LC}} \tag{7.1.25}$$

当回路发生并联谐振时，则等效电抗 $X=\infty$，即式(7.1.24)的分母为零，从而可得并联谐振频率为

$$f_p=\frac{1}{2\pi\sqrt{L\dfrac{C_0C}{C_0+C}}}=f_s\sqrt{1+\frac{C}{C_0}} \tag{7.1.26}$$

由于 $C\ll C_0$，因此 f_s 和 f_p 两个频率非常接近。根据式(7.1.24)可作出电抗-频率特性曲线如图 7.1.11(c)所示。由图可见，当频率在串联谐振 f_s 和并联谐振 f_p 之间时，回路呈感性；当频率在此区域之外时，回路呈容性。

2．石英晶体振荡电路

石英晶体振荡电路形式多样，但根据石英晶体在振荡电路中的作用，可分为串联型晶体振荡电路和并联型晶体电路两类。

(1) 串联型晶体振荡电路

串联型晶体振荡电路如图7.1.12 所示。VT_1，VT_2组成两级放大，石英晶体接在反馈支路中，当反馈信号频率等于石英晶体的串联谐振频率 f_s 时，呈电阻性，并满足电路自激振的相位平衡条件。此时石英晶体阻抗最小，反馈最强，容易满足电路自激振的幅度平衡条件，电路产生正弦波振荡，振荡频率为石英晶体串联谐振频率 f_s。调节电阻 R 的大小就可以改变反馈的强弱，以便获得不失真的正弦波输出。

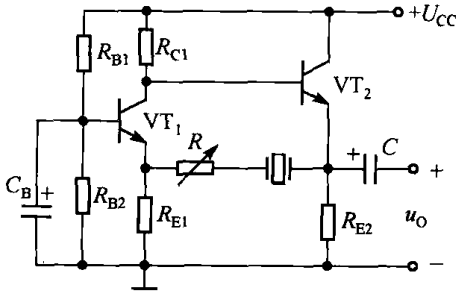


图 7.1.12　串联型晶体振荡电路

(2) 并联型晶体振荡电路

并联型晶体振荡电路及其交流通路如图 7.1.13 所示。从图中可以看出，石英晶体必须工作在 f_s 和 f_p 之间，呈感性，才能与 C_1 和 C_2 构成电容三点式振荡电路。此时电路的振荡频率为

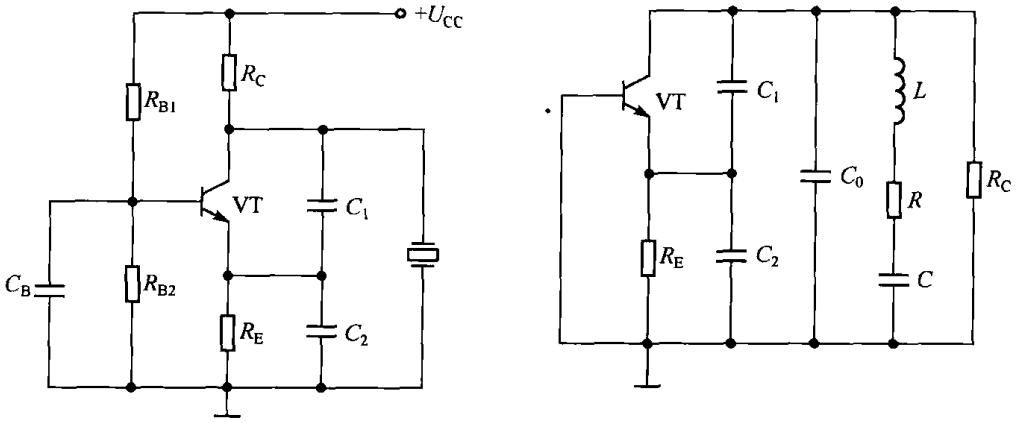
$$f_0 = \frac{1}{2\pi\sqrt{L\dfrac{C(C_0+C')}{C_0+C+C'}}} \tag{7.1.27}$$

式中，$C' = \dfrac{C_1C_2}{C_1+C_2}$。

由于 $C \ll (C_0+C')$，所以 f_0 可近似表示为

$$f_0 \approx \frac{1}{2\pi\sqrt{LC}} = f_s \tag{7.1.28}$$

由式(7.1.28)可以看出，振荡频率 f_0 接近 f_s，但大于 f_s，石英晶体呈感性。由于石英晶体的固有频率很稳定，所以振荡频率 f_0 也很稳定。



(a) 原理电路　　(b) 交流通路

图 7.1.13　并联型晶体振荡电路

思考题

7.1.1 正弦波振荡电路由哪几部分组成？各部分有何作用？

7.1.2 正弦波振荡的平衡条件是什么？简述自激振荡的建立过程。

7.1.3 RC 选频网络有什么特点？RC 振荡电路有何特点？它适合于什么情况下使用？对 RC 振荡电路如何稳幅？

7.1.4 LC 并联谐振回路有什么特点？LC 振荡电路有何特点？它适合于什么情况下使用？它是靠什么稳幅的？

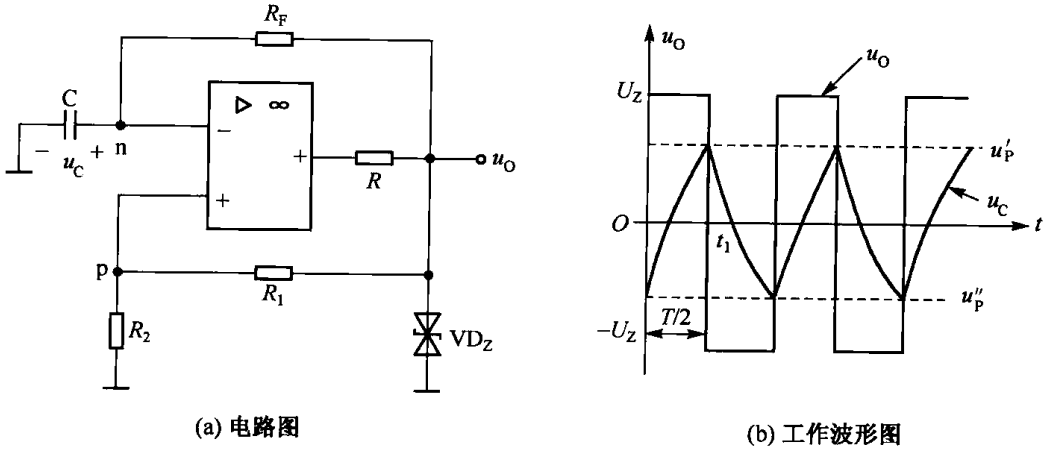
7.2 非正弦波信号发生器

非正弦波信号发生器由具有开关特性的器件、反馈网络和延迟环节三个部分组成。与正弦波信号发生电路相比，非正弦波信号发生器的振荡条件比较简单，只要反馈信号能使开关特性的器件状态发生变换，即能产生周期性的振荡。反馈网络和延迟环节常用 RC 电路或称为积分电路构成，它决定了振荡的周期。开关特性的器件通常由迟滞电压比较器、集成门电路和集成定时器等器件构成。

7.2.1 方波信号发生器

1. 电路组成

从 3.4 节的讨论中可以看出，无论何种形式的电压比较器，当输入信号 u_I 在 U_R 上、下交替变化时，则在输出端可得到矩形波或方波信号。图 7.2.1(a)所示为常用的一种用迟滞电压比较器构成的方波信号发生器。它是通过采用一个 RC 积分电路作为反馈网络，将电压比较器的输出电压引回到输入端作为输入信号而构成的。反相输入迟滞电压比较器为开关器件，RC 积分电路起定时和反馈作用。



(a) 电路图　　(b) 工作波形图

图 7.2.1 方波信号发生器

2. 工作原理

方波信号发生器的工作过程为：在接通电源的瞬间，总是存在某些扰动，由于电路中 R_1 和 R_2 的正反馈作用使得输出立即为最大值，但究竟是偏向于正的最大值还是负的最大值，纯属偶然。设 $u_O = U_Z$，则迟滞电压比较器的门限电压为

$$u_+ = u'_p = \frac{R_2}{R_1 + R_2} U_Z \tag{7.2.1}$$

而此时反相输入端的电压$u_- = u_C$，由于电容电压不能突变，因此输出电压 U_Z 经 R_F 按指数规律向电容 C 充电，只要$u_C < u'_p$，输出电压就维持在 U_Z，直到当$u_C \geqslant u_+$时，则输出电压u_O立即翻转到$-U_Z$值，此时迟滞电压比较器的门限电压转变为

$$u_+ = u''_p = \frac{-R_2}{R_1 + R_2} U_Z \tag{7.2.2}$$

输出电压u_O变为$-U_Z$后，由于$u_C > u''_p$，使输出u_O维持在$-U_Z$值。而此时电容 C 则由u_O经 R_F 反向充电，直到$u_C \leqslant u''_p = \frac{-R_2}{R_1 + R_2} U_Z$时，输出再次翻转到$+U_Z$值，如此循环，则得到方波输出，其波形如图7.2.1(b)所示。

3. 振荡频率

振荡周期和振荡频率可计算如下。设图 7.2.1(b)中$t = 0$时，$u_C = u''_p = \frac{-R_2}{R_1 + R_2} U_Z$，则在 $T/2$ 周期内电容C上的电压u_C将按指数规律从U''_p向U'_p变化。电压u_C的变化规律可由一阶电路的三要素法求得。

由图7.2.1 可见，稳态值为

$$u_C(\infty) = U_Z$$

初始值为

$$u_C(0_+) = u''_p = \frac{-R_2}{R_1 + R_2} U_Z$$

当$t = t_1$时，有

$$u_C(t_1) = u'_p = \frac{R_2}{R_1 + R_2} U_Z$$

所以

$$u_c(t_1) = U_Z + \left[-\frac{R_2}{R_1 + R_2} U_Z - U_Z \right] \cdot \mathrm{e}^{-\frac{T}{2}/R_F C} = \frac{R_2}{R_1 + R_2} U_Z$$

据此可得

$$T = 2R_F C \ln\left(1 + 2\frac{R_2}{R_1}\right) \tag{7.2.3}$$

则振荡频率为

$$f_0 = \frac{1}{2R_F C \ln\left(1 + 2\frac{R_2}{R_1}\right)} \tag{7.2.4}$$

可见，振荡频率与电路的时间常数 $R_F C$ 及 R_2/R_1 有关，而与输出电压的幅度无关。在实际应用中，常通过改变 R_F来调节频率。

如欲获得不对称、占空比可调的方波发生器，只需将电容C的充电回路和放电回路分开，使充电和放电的时间常数不相等，从而就可获得不对称的方波输出。

7.2.2 门电路构成的多谐振荡器

由于矩形波脉冲包含丰富的谐波分量，在脉冲数字电路中又称为多谐振荡器(无稳态触发器)。除 7.2.1 节中介绍的由集成运放构成的矩形波发生器外，也可以用集成门电路和 R C 电路组成。

1．门电路构成的多谐振荡器

由两个 CMOS 与非门和 R，C 元件构成的多谐振荡器如图7.2.2 所示。该多谐振荡器的工作原理如下。

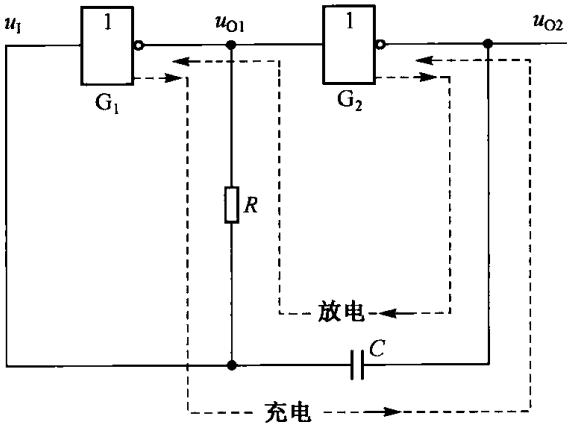


图 7.2.2 CMOS 与非门构成的多谐振荡器

(1) 第一暂稳态及其自动翻转的工作过程

当电路的电源一旦接通后，两个非门的状态是随机的，假设电路状态为 $u_{O1}=1$，$u_{O2}=0$，即第一暂稳态。此时，电源经过 G_1 门输出电路、电阻 R 和 C_2 门输出电路对电容 C 充电，充电路径如图 7.2.2 中虚线所示。随着电容 C 的充电，G_1 门的输入 u_I 上升，当 u_I 上升到 G_1 门翻转的阈值电平时，电路中发生以下正反馈过程：

$$u_I \uparrow \rightarrow u_{O1} \downarrow \rightarrow u_{O2} \uparrow$$

结果使 G_1 门迅速开通，G_2 门关闭，$u_{O1}=0$，$u_{O2}=1$，电路进入第二暂稳态。

(2) 第二暂稳态及其自动翻转过程

电路进入第二暂稳态的瞬间，u_{O2} 由 “0” 上跳到 “1”，由于电容 C 两端的电压不能突变，故 u_I 此时应正跳变至 $U_{OH}+U_T$(U_T 为非门的翻转阈值电平)，但由于 CMOS 输入端保护二极管的正向钳位，则 u_I 只跳至 $U_{OH}+0.7$ V。此后，电容 C 通过电阻 R，G_1 门输出电路和 G_2 门输出电路放电，放电路径如图 7.2.2 虚线所示。随着电容 C 的放电，u_I 电位下降，当 u_I 下降至与非门的阈值电平 U_T 时，电路中将发生以下正反馈过程：

$$u_I \downarrow \rightarrow u_{O1} \uparrow \rightarrow u_{O2} \downarrow$$

结果使 G_1 门关闭，G_2 门开通，$u_{O1}=1$，$u_{O2}=0$，电路又回到第一暂稳态。

同样，在电路回到第一暂稳态的瞬间，u_{O2} 从 U_{OH} 下跳到 0，由于 CMOS 输入端保护二极管的反向钳位作用，则 u_i 不会下跳至 $-U_T$，而只下跳至 -0.7 V。

此后，电路重复上述过程，在输出端即可得到脉冲方波(占空比为 50%)。电路中各点的波形如图 7.2.3 所示，图中阈值电平 $U_T=U_{OH}/2$。

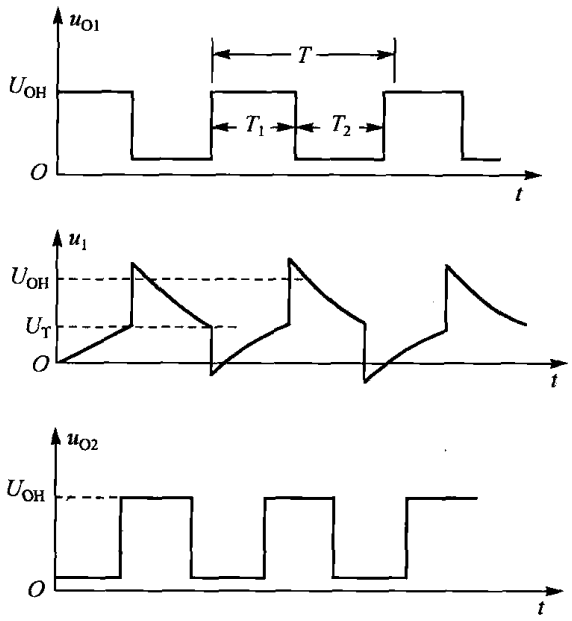


图 7.2.3　CMOS 与非门多谐振荡器的工作波形

(3) 振荡周期的估算

两个暂稳态的脉宽可以根据 RC 电路暂态方程来求得：

$$T_1 = RC\ln[(U_{OH}+0.7)/(U_{OH}-U_T)] \tag{7.2.5}$$

$$T_2 = RC\ln[(U_{OH}+0.7)/U_T] \tag{7.2.6}$$

由于 CMOS 门的 $U_T \approx U_{OH}/2$，将其代入上式，则有

$$T_1 = T_2 = 0.7RC \tag{7.2.7}$$

若忽略门电路的翻转时间，则脉冲方波的振荡频率周期 $T=T_1+T_2\approx 1.4RC$。其振荡频率为

$$f=\frac{1}{T}=\frac{1}{1.4RC} \tag{7.2.8}$$

上述电路结构简单，成本低，但由于其振荡周期取决于 R 和 C 的值，频率稳定度不够高。故对时钟脉冲频率稳定度有很高要求的场合，可采用石英晶体多谐振荡器。

2. 石英晶体门电路多谐振荡器

图7.2.4 所示为一石英晶体多谐振荡器电路，电路中的非门可以采用 CMOS 型，也可用 TTL 型。石英晶体串入多谐振荡器反馈回路，只有当频率为晶体固有谐振频率 f_s 的信号时，石英晶体为纯电阻，两个门电路可通过晶体形成强正反馈，其他频率的信号均被衰减掉。故该多谐振荡器的振荡频率就是 f_s。电路中的 R_1，R_2 使反相器工作在线性区，对 TTL 电路通常取 0.7～2 kΩ，而对于 CMOS 电路常取 100～100 MΩ。电容 C_1，C_2 起耦合作用，在振荡频率 f_0 时其容抗可忽略不计。由于通过石英晶体，很多谐波成分被严重衰减，所以 u_{O2} 不是一个良好的矩形波，因此电路中加入 G_3 门对脉冲波形进行整形。

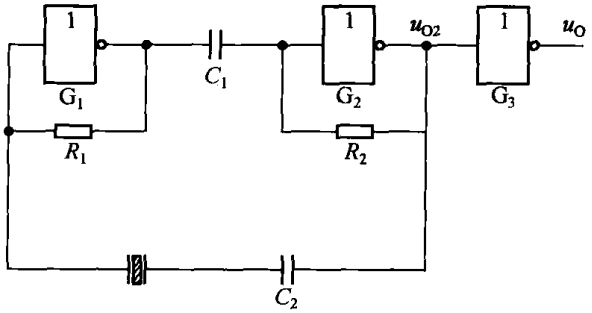
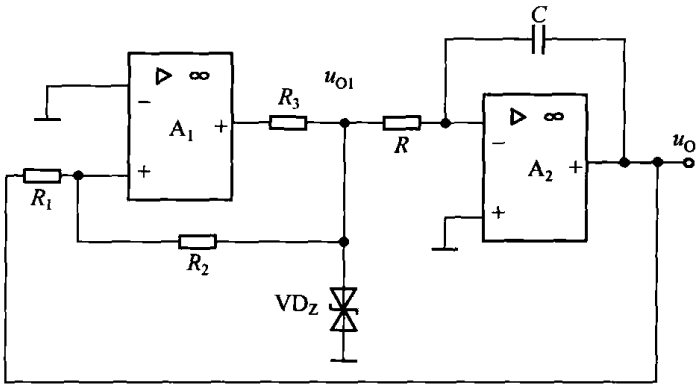


图 7.2.4 石英晶体多谐振荡器

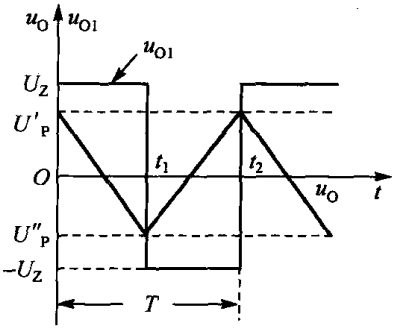
7.2.3 三角波和锯齿波信号发生器

1. 电路组成

通过7.2.1 节的分析可知，由一个迟滞电压比较器和一个 RC 反馈网络结合能获得方波输出。RC 串联网络实际为一积分电路，u_C 的波形近似为三角波，如果用一线性积分环节来代替 RC 积分电路，则其输出电压 u_O 必为理想的三角波。图 7.2.5(a) 所示为由一个同相输入迟滞电压比较器和一个反相积分器构成的三角波发生器。



(a) 电路图



(b) 工作波形图

图 7.2.5 方波三角波发生器

2. 工作原理

由图7.2.5(a)可见，同相输入迟滞电压比较器 A_1 的反相输入端接地，而同相输入端接有两路输入信号，一路输入信号为 u_{O1}，其值为 $\pm U_Z$，另一路输入信号为 u_O，u_O 相当于输入电压，所以，上限触发电平为

$$u'_P = \frac{R_1}{R_2}U_Z \tag{7.2.9}$$

下限触发电平为

$$u''_P = -\frac{R_1}{R_2}U_Z \tag{7.2.10}$$

迟滞电压比较器的输出电压作为积分器 A_2 的输入信号，因 u_{O1} 经稳压管稳定在 $\pm U_Z$，所以电容 C 经 R 恒流充电。

设电路已产生稳定振荡，在 $t=0$ 时，u_{O1} 翻转为 $+U_Z$，积分器反向积分，输出电压 u_O 线性下降，比较器 A_1 的同相端电位 u_{1+} 不断下降；当 $t=t_1$ 时，u_O 小于或等于电压比较器的下限触发电平

$u''_P = -\dfrac{R_1}{R_2}U_Z$，$u_{O1}$ 立刻翻转为 $-U_Z$ 值。此时反相积分器开始正向积分，输出电压线性上升；当 $t=t_2$ 时，u_O 大于或等于电压比较器的上限触发电平 $u'_p = \dfrac{R_1}{R_2}U_Z$，使得 u_{O1} 再次发生翻转，由 $-U_Z$ 跳变为 $+U_Z$ 值。积分器再次开始反向积分，如此循环下去，形成自激振荡，u_O 的输出端获得三角波输出，而 u_{O1} 的输出端获得方波输出。u_{O1} 和 u_O 的波形如图7.2.5(b)所示。

3. 振荡频率

下面求三角波和方波的振荡频率。由图 7.2.3(b)可见。方波电压的幅值 u_{O1} 为 $\pm U_Z$，三角波电压 u_O 的幅值为 $\pm\dfrac{R_1}{R_2}U_Z$。

积分器 A_2 输出电压的表达式为

$$u_O(t) = -\frac{1}{RC}\int_0^t u_{O1}\mathrm{d}t + u_O(0) \tag{7.2.11}$$

当 $t=0$ 时，$u_O(0) = \dfrac{R_1}{R_2}U_Z$；当 $t=\dfrac{T}{4}$ 时，$u_O(t)=0$；在此积分区间时，$u_{O1}=U_Z$。将以上数值代入式(7.2.11)，可得

$$0 = -\frac{1}{RC}U_Z\left(\frac{T}{4}-0\right)+\frac{R_1}{R_2}U_Z$$

可求得

$$T = \frac{4R_1}{R_2}RC \tag{7.2.12}$$

则振荡频率为

$$f = \frac{1}{T} = \frac{R_2}{R_1}\frac{1}{4RC} \tag{7.2.13}$$

由式(7.2.13)可见，改变 R，C 或 R_2/R_1 均可以改变振荡频率。通常先改变电容 C 进行频率粗调，然后改变电阻 R 进行频率细调。同时，由 $u'_p = \dfrac{R_1}{R_2}U_Z$ 可见，改变 R_1/R_2 或 U_Z 的值即可调整三角波输出的幅值。

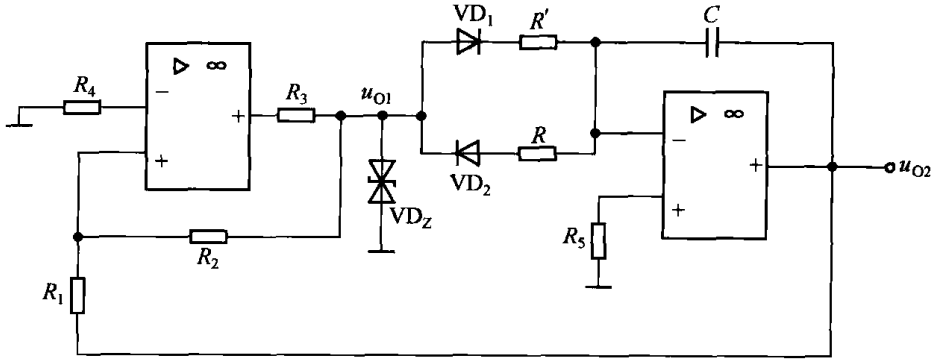
4. 锯齿波信号发生器

锯齿波信号发生器和三角波信号发生器相比，不同点在于：锯齿波的上升斜率和下降斜率与三角波的上升斜率和下降斜率不同。因此，只要将三角波信号发生器稍加改进即可得到锯齿波信号发生器，如图 7.2.6(a)所示。图中利用二极管的单向导电性，使积分器正向积分时间和反向积分时间不相等，获得了锯齿波输出。若设 $R \gg R'$，则得到下降时间远小于上升时间的锯齿波输出波形，如图7.2.6(b)所示。该电路的振荡频率的计算和三角波信号发生器的类似。

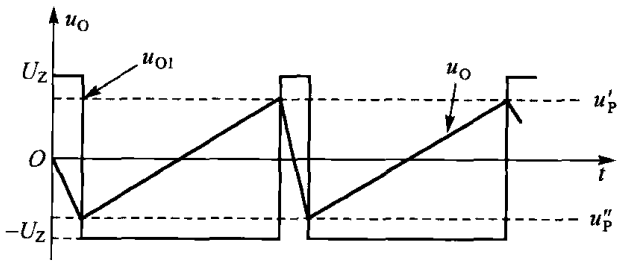
思考题

7.2.1　非正弦波振荡电路由哪几部分组成？产生非正弦波振荡的条件是什么？

7.2.2　三角波发生器中影响三角波幅度的参数是什么？影响振荡频率的参数是什么？



(a) 电路图



(b) 波形图

图 7.2.6 锯齿波发生器

7.3 脉冲信号变换电路

7.3.1 单稳态触发器

在第 6 章中介绍的双稳态触发器有两个稳定状态，在外加信号触发下，可以从一个稳定状态转变为另一个稳定状态。单稳态触发器只有一个稳定状态，在没有外加信号触发作用时，保持稳定状态不变。在适当的外加信号触发下，可以从稳定状态转变到另一个状态——暂稳态，经过一定的时间延迟后，又自动地翻转到原先的稳定状态，且暂稳态的持续时间与触发信号无关，仅取决于电路本身的参数。单稳态触发器是一种常用的脉冲单元电路，被广泛应用于脉冲的整形(把不规则的波形转换成宽度、幅度都相同的脉冲)、定时(产生一定宽度的方波)和延时(将输入信号延迟一定的时间输出)。

1. 集成单稳态触发器

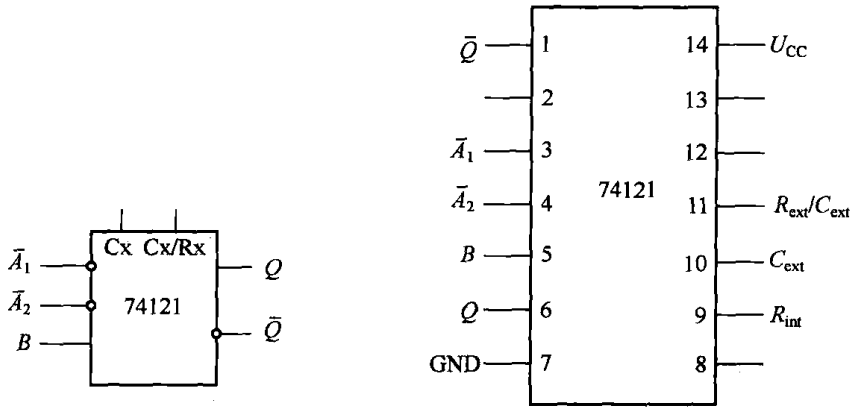
单稳态触发器电路结构形式很多，可以由多种电路元器件构成。由于其在脉冲数字电路中应用广泛，因而已将它作为一个标准器件制成中规模集成电路。本节仅介绍集成单稳态触发器。这些器件在使用时只需外接少量的定时元件 R 和 C 即可，电路设置了下降沿触发输入端和上升沿触发输入端供不同情况下选用，并有互补的输出端 Q 和 $\overline{Q}$，并设置了清零端。

常用的集成单稳态触发器有 TTL 型的 74121, 74122 和 74123 等, 有 CMOS 型的 CC4098, CC4528 等。下面以 74121 为例，介绍集成单稳态触发器。

图7.3.1(a)所示为 74121 的逻辑符号，图7.3.1(b)所示为外部引线排列图。

74121 由完成触发信号极性选择的输入控制电路部分和带输出缓冲及施密特整形的微分型单稳态触发器两部分组成。$\overline{A}_1$ 和 $\overline{A}_2$ 为两个下降沿触发输入端，B 为上升沿触发输入端。当 74121 稳态时，$Q=0$，$\overline{Q}=1$。若输入触发信号后，Q 和 $\overline{Q}$ 端能分别输出一个正脉冲和一个负脉冲。$\overline{A}_1$ 和 $\overline{A}_2$ 是“或”的逻辑关系，当选用下降沿触发方式时，可将触发信号加在 $\overline{A}_1$ 和 $\overline{A}_2$ 上，也可将 $\overline{A}_1$ 和 $\overline{A}_2$ 并接信号，

此时 B 端应为高电平。当选用上升沿触发方式时，触发信号加在 B 端上，此时 $\overline{A}_1$ 和 $\overline{A}_2$ 端中至少有一个应为低电平。74121 的逻辑功能如表 7.3.1 所示。



(a) 逻辑符号　　(b) 外部引线排列图

图 7.3.1　集成单稳态触发器 74121

74121 的工作波形如图 7.3.2 所示。输出脉冲的宽度 t_p 可由式(7.3.1)估算：

$$t_p \approx 0.7 R_{ext} C_{ext} \tag{7.3.1}$$

式中，R_{ext} 和 C_{ext} 分别为外接定时电阻和定时电容。通常 R_{ext} 的取值范围在 2～30 kΩ 之间；C_{ext} 的取值范围在 10 pF～10 μF 之间，因此 t_p 的范围为 14 ns～210 ms。当选用外接定时电阻 R_{ext} 和外接定时电容 C_{ext} 时，电路连接如图 7.3.3(a)所示。

表 7.3.1　74121 的逻辑功能表

$\overline{A}_1$	$\overline{A}_2$	B	Q	$\overline{Q}$
0	×	1	0	1
×	0	1	0	1
×	×	0	0	1
1	1	×	0	1
1	↓	1	⊓	⊓
↓	1	1	⊓	⊓
0	×	↑	⊓	⊓
×	0	↑	⊓	⊓

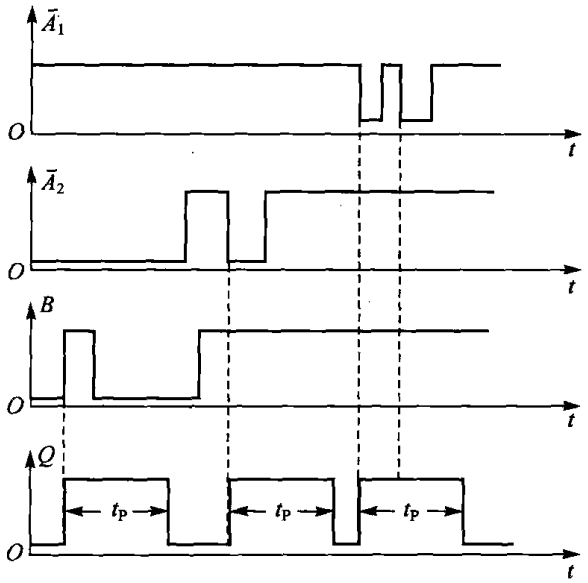
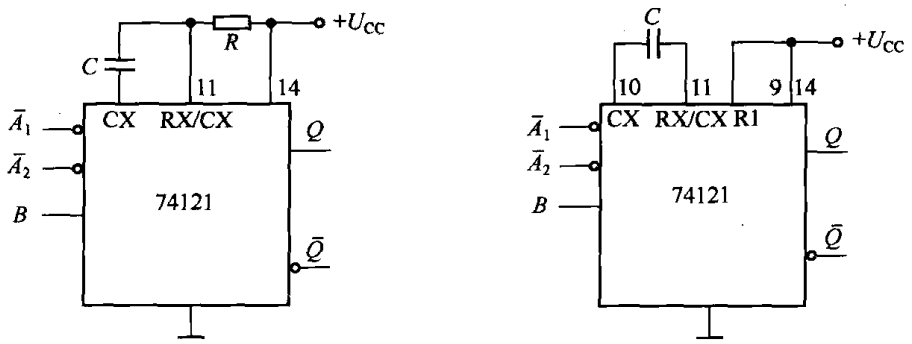


图 7.3.2　集成单稳态触发器 74121 的工作波形

如果需要输出的脉冲宽度 t_p 很小时，可用 74121 的内部定时电阻 R_{int}，其值约 2 kΩ。若选 R_{int} 用做定时电阻，只需外接定时电容 C_{ext} 即可，则电路连接如图 7.3.3(b)所示。

74121 在暂稳态期若再有触发脉冲，则触发器不会响应，这一特性称为不可重触发，如图 7.3.2 中的工作波形所示。由图可看出，在输出第 3 个脉冲期间，$\overline{A}_1$ 输入端连续来了两个负脉冲，但脉冲间隔时间小于输出脉冲的暂稳态时间，故仅能输出一个脉冲。



(a) 不用 R_{int} 的接线图　　(b) 用 R_{int} 的接线图

图 7.3.3　集成单稳态触发器 74121 的接线图

目前，应用较为普遍的还有 74123，它是 TTL 型集成双单稳态触发器，它具有可重触发的功能，若在其暂稳态期间重新触发，则暂稳态时间延长，重新开始一个暂稳态。

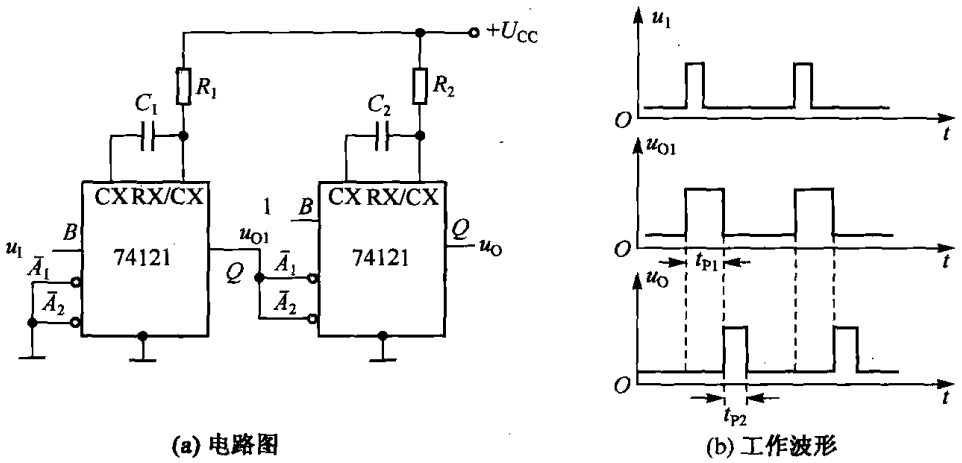
74123 的其他详细说明可查阅有关手册。

2. 单稳态触发器的应用

单稳态触发器的应用很广泛，常用于脉冲的定时、延时和整形等。下面以由 74121 组成的电路为例说明其部分用途。

(1) 脉冲延时

在数字系统中，往往需要在一个脉冲信号到达并延迟一段时间后再产生一个滞后脉冲信号。图 7.3.4(a)所示为采用两个 74121 构成的脉冲延时电路，图 7.3.4(b)所示为其工作波形。输出脉冲 u_O 滞后于输入脉冲 u_i 一段时间 t_{p1}，即第一个 74121 的暂稳时间，其宽度可由 C_1 和 R_1 的值决定；而输出脉冲 u_O 的脉宽为 t_{p2} 可由第二个 74121 的 C_2 和 R_2 的值决定。

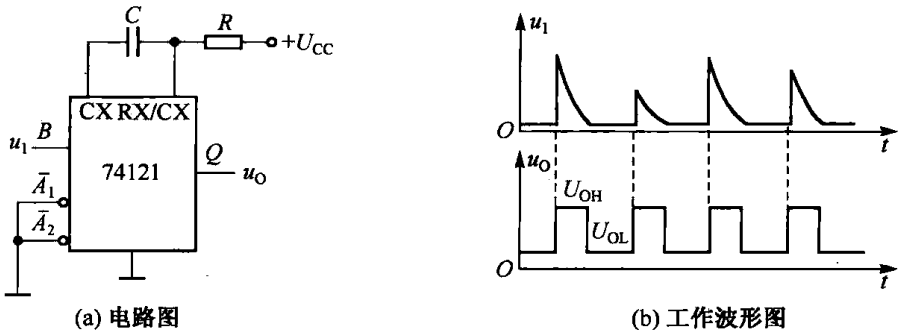


(a) 电路图　　(b) 工作波形

图 7.3.4　74121 构成的脉冲延时电路

(2) 脉冲整形

脉冲整形电路的作用是将幅度和宽度都不规则的脉冲信号整形为定幅和定宽的脉冲信号。图7.3.5(a)所示为利用 74121 构成的脉冲整形电路，图7.3.5(b)所示为其工作波形。需要整形的脉冲作为触发信号加入触发器的 B 输入端，则 Q 端输出规则的脉冲信号 u_O，其脉宽可通过外接的 C 和 R 来调节，幅度则为 TTL 门电路输出的高电平与低电平之差。



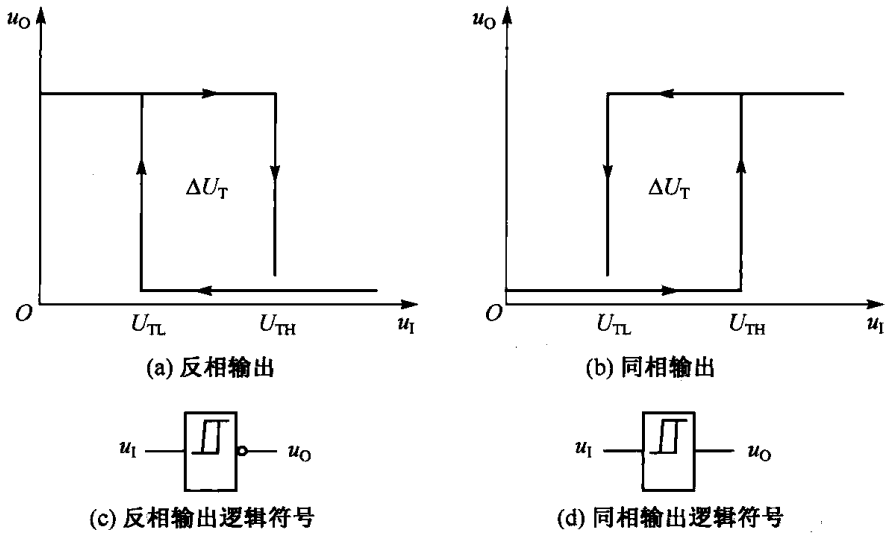
(a) 电路图　　(b) 工作波形图

图 7.3.5　74121 构成的脉冲整形电路

7.3.2　施密特触发器

施密特触发器也称为电位触发器，它也有两个稳定的输出状态。如果输入信号电平不变，则电路一直稳定在某个状态，但与第 6 章讨论的双稳态触发器不同的是，它不具有记忆功能。当外加触发信号 u_I 上升到某个电平 U_{TH} 时，它从一个稳定状态翻转到另一个稳定状态。只有当 u_I 下降到某个电平 U_{TL} 时，它才又翻转回原来的稳定状态，而且两次翻转的触发电平不相同。通常将 U_{TH} 称为上限触发电平，U_{TL} 称为下限触发电平，两个触发电平之差称为回差电压。

图7.3.6(a)，(b)和(c)，(d)所示分别为施密特触发器的电压传输特性及逻辑符号。在图7.3.6(a)中，只有当 u_i 从低电平上升到 U_{TH} 时，u_O 才从高电平降为低电平；当 u_I 从高电平下降到 U_{TL} 时，u_O 才从低电平变为高电平。由于 u_O 和 u_I 始终为反相关系，故称这类施密特触发器为反相施密特触发器，其逻辑符号如图 7.3.6(c)所示。同理，u_O 和 u_I 始终保持同相变化，具有如图 7.3.6(b)所示传输特性曲线的施密特触发器称为同相施密特触发器，其逻辑符号如图 7.3.6(d)所示。



(a) 反相输出　　(b) 同相输出

(c) 反相输出逻辑符号　　(d) 同相输出逻辑符号

图 7.3.6　施密特触发器的电压传输特性及逻辑符号

施密特触发器可以用多种电路器件构成，第 3 章介绍的用集成运放构成的迟滞电压比较器就是施密特触发器。由于集成施密特触发器性能一致性好，触发电平稳定，因此应用越来越广泛。以下对集成施密特触发器电路进行简单介绍。

1．集成施密特触发器

目前施密特触发器已被制成各种 TTL 和 CMOS 型中规模集成电路。其中 TTL 施密特触发器有

双四输入施密特触发与非门 7413、六施密特触发反相缓冲器 7414 和四二输入施密特触发与非门 7432 等；CMOS 施密特触发器有六施密特触发反相器 CC40106 和四二输入施密特触发与非门 CC14093 等。

TTL 集成施密特触发器的典型电路参数为：电源电压 $U_{CC}=5$ V，上限触发电平 $U_{TH}=1.5\sim2$ V，下限触发电平 $U_{TL}=0.6\sim1.1$ V，回差电压 $\Delta U_T=0.8$ V。CMOS 集成施密特触发器的参数与电源电压 U_{DD} 的大小有关，使用时要查产品手册。

集成施密特触发器的逻辑符号是在原来门电路符号中加上表示回差特性的符号，如图7.3.6(c)和(d)所示。在集成施密特触发器中有很多被制成多输入的，图 7.3.7 所示为一个四输入施密特触发与非门的逻辑符号。它的输入 A, B, C, D 与输出 F 之间是“与非”的逻辑关系，即 $F=\overline{ABCD}$。由此可以看出，只要 A, B, C, D 中有一端低于下限触发电平，输出 F 就为高电平；只有输入 A, B, C, D 全部高于上限触发电平，输出 F 才为低电平。

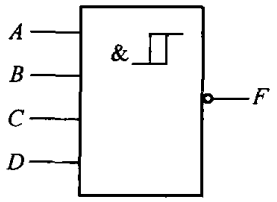


图 7.3.7 四输入施密特触发与非门

各种集成施密特触发器器件的外引脚功能图，可查阅有关器件手册。

2. 施密特触发器的应用举例

施密特触发器在数字电路中主要用于波形变换、整形和幅度鉴别等。

图 7.3.8(a)，(b)和(c)分别为施密特触发器用于波形变换、波形整形和脉冲幅度鉴别时的输入和输出波形图。

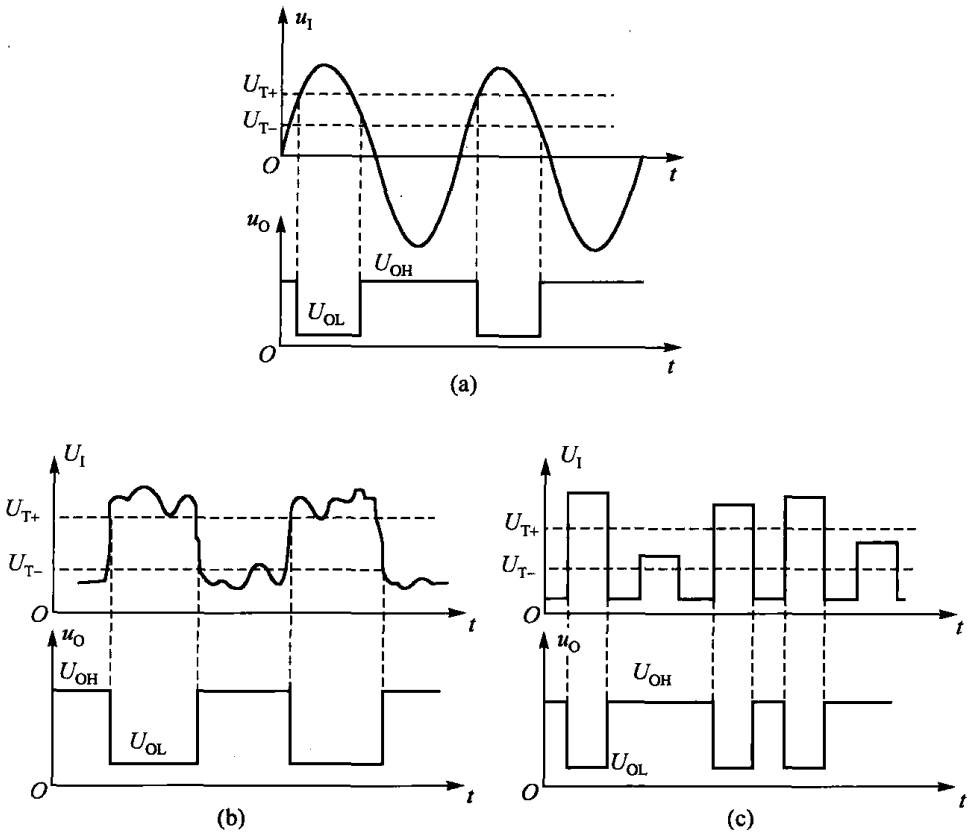


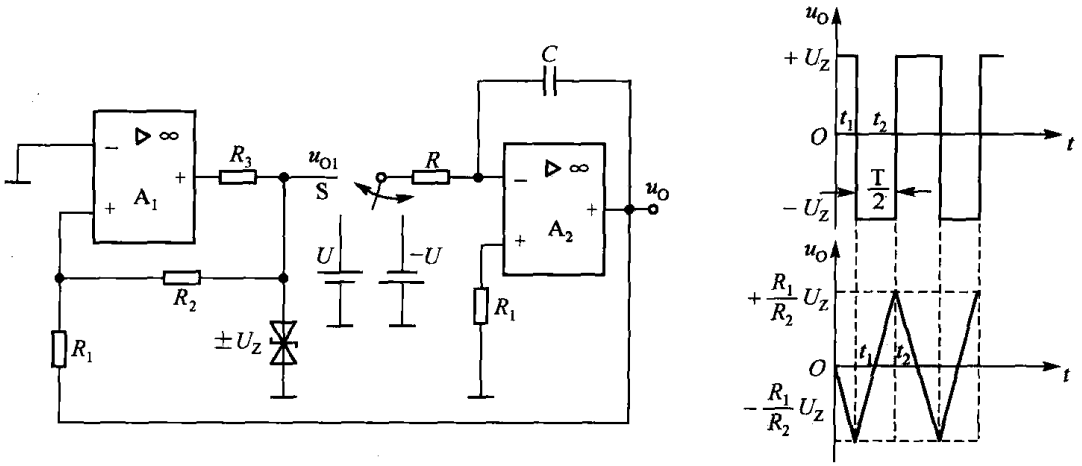
图 7.3.8 施密特触发器应用举例

7.3.3 压控振荡器

在信号变换电路中，有一类是不同物理量之间的变换，如电压-频率变换电路，也称为压控振荡器(Voltage-Controlled Oscillator，VCO)，这种振荡器输出电压的频率可由外加电压来控制，产生所需要的信号波形。

图7.3.9(a)所示压控振荡器是在图7.2.5 所示电路基础上的改进电路，能输出方波和三角波信号。该电路由迟滞电压比较器 A_1、线性积分器 A_2 和开关 S 等组成。图中开关 S 仅是示意图，实际上是一个模拟开关，开关位置的转换受 A_1 输出电压的控制。

当比较器 A_1 的输出电压 $u_{O1}=-U_Z$ 时，开关 S 接通$-U$，使积分器 A_2 的输入电压为$-U$；反之，当比较器 A_1 的输出电压 $u_{O1}=+U_Z$ 时，开关 S 接通$+U$，使积分器 A_2 的输入电压为$+U$。



(a) 原理示意图　　(b) 输出波形

图 7.3.9　压控振荡器

假定开始时，比较器 A_1 的输出电压 $u_{O1}=+U_Z$。此时积分器 A_2 的输入电压为$+U$，它经过 R 向 C 充电，积分器 A_2 的输出电压 u_O 线性下降。当 u_O 下降到 A_1 的下限门限电压，即 $u_O=-U_Z R_1/R_2$ 时，跳变到$-U_Z$。此时，开关 S 换接到$-U$，u_O 又线性上升。当上升到 A_1 的上限门限电压，即 $u_O=+U_Z R_1/R_2$ 时，又跳变到$+U_Z$。如此周而复始，产生振荡。u_{O1} 输出方波，u_O 输出三角波，它们的波形如图7.3.9(b)所示。

由图7.3.9(b)可见，在 $t_1 \leqslant t \leqslant t_2$ 期间积分器的输入电压为$-U$，由积分器的积分关系可得

$$u_O=\frac{U}{RC}t$$

在此期间，积分时间 $\Delta T=T/2$，u_O 从 $-U_Z R_1/R_2$ 线性地上升到 $+U_Z R_1/R_2$，即总的变化量为 $2U_Z R_1/R_2$，因此有

$$2\frac{R_1}{R_2}U_Z=\frac{TU}{2RC}$$

故振荡频率为

$$f_0=\frac{1}{T}=\frac{R_2U}{4RCR_1U_Z} \tag{7.3.2}$$

式(7.3.1)表明，当电路参数一定时，振荡频率 f_0 将随 U 成正比变化，实现了电压控制振荡频率的目的。

压控振荡器除了用于信号产生电路以外，还有其他很多用途。例如，在非电量测控系统中，将被测物理量通过传感器及适当的调理电路变成合适的电信号，然后去控制压控振荡器，其输出信号频率的高低就代表了被测物理量的大小，通过测量频率就可间接地测量被测物理量。因此，压控振荡器在模数转换、调频、遥测、遥控等设备中应用非常广泛。目前，能实现电压-频率变换功能的集成电路很多，需用时可查阅有关集成电路手册。

思考题

7.3.1 单稳态触发器、施密特触发器和多谐振荡器各有什么用途?

7.3.2 施密特触发器和一般的双稳态触发器电路比较有什么异同点?

7.3.3 在信号变换电路中,除电压-频率变换电路外,还能举出哪些物理量变换电路?

7.4 555 集成定时器及其应用

555 集成定时器(也称为 555 定时器)是一种将模拟电路和数字电路相结合的中规模集成电路,是为定时应用而设计的,它的性能灵活、适用范围广。通过外部适当的连接和外部加接少量的阻容元件,便可方便地构成双稳态触发器、单稳态触发器、多谐振荡器或施密特触发器。因此,555 定时器广泛地应用在脉冲波形的产生与变换、测量与控制等方面。本节介绍该器件的内部结构、工作原理以及典型应用电路。

7.4.1 555 集成定时器

555 定时器分为双极型和 CMOS 型两大类。尽管内部电路不同,但所有 555 定时器的逻辑功能和外部引脚排列是完全相同的,而且所有双极型产品型号的最后 3 个数码都是 555,所有 CMOS 型产品型号的最后 4 个数码都是 7555。为了提高集成度,后来又生产了双定时器 556(双极型)和 7556(CMOS 型)。

图 7.4.1 为双极型 555 定时器的逻辑电路图。电路由两个高精度运算放大器构成的电压比较器 C_1 和 C_2、一个基本 RS 触发器、作为放电通路的三极管 VT、作为输出缓冲的反相器 G 以及 3 个等值电阻构成的分压器等部分组成。由于电阻分压器的阻值均为 5 kΩ,因此 555 由此而得名。该器件共有 8 个引出端,其外部引脚编号如图 7.4.1 所示。

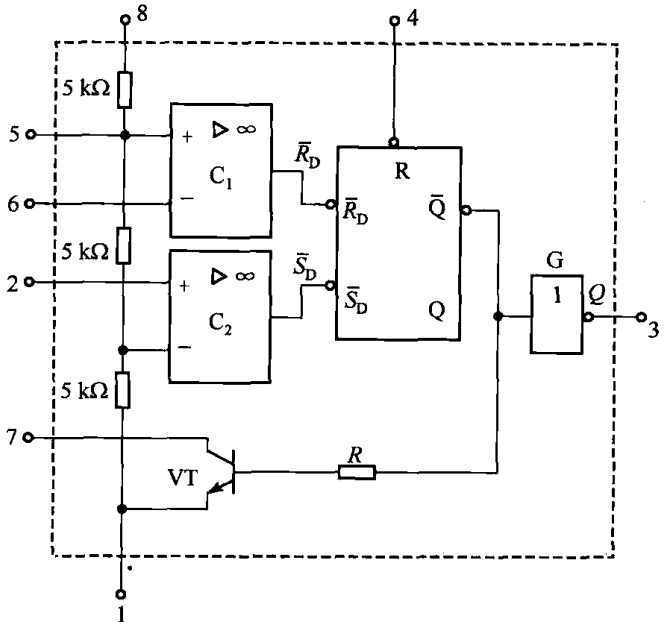


图 7.4.1 555 定时器逻辑电路图

下面,结合介绍各引脚端的功能对定时器的工作原理作一说明。由分压器提供的 $\frac{1}{3}U_{CC}$ 和 $\frac{2}{3}U_{CC}$ 参考电压分别接到电压比较器 C_2 的反相端和 C_1 的同相端。

2 端(TL)：低电平触发端。若此端输入电平高于$\frac{1}{3}U_{CC}$(下限触发电平)时，电压比较器 C_2 的输出为“1”，基本 RS 触发器无触发脉冲，保持原态；若此端输入电平低于$\frac{1}{3}U_{CC}$时，电压比较器 C_2 的输出为“0”，使 RS 触发器置位，输出高电平“1”。

6 端(TH)：高电平触发端。若此端输入电平低于$\frac{2}{3}U_{CC}$(上限触发电平)时，电压比较器 C_1 的输出为“1”，基本 RS 触发器无触发脉冲，保持原态；若此端输入电平高于$\frac{2}{3}U_{CC}$时，电压比较器 C_1 的输出为“0”，使 RS 触发器复位，输出低电平“0”。

3 端：输出端，输出电压略低于电源电压，输出电流可达 200 mA，因此可直接驱动轻负载，如小型继电器、发光二极管、指示灯等。

4 端(R_d)：复位端。低电平有效。当此端输入负脉冲，使 RS 触发器复位，输出低电平“0”。不使用时，应与电源U_{CC}端相连，防止干扰信号。

7 端：放电端，受 RS 触发器的$\overline{Q}$端控制。当$\overline{Q}=0$时，放电管 VT 截止。当$\overline{Q}=1$时，放电管 VT 导通，外接电容器 C 可通过 7 端经放电管 VT 放电。

5 端(CO)：外接参考电压控制端。若在 5 端外加一个电压，就可改变两个电压比较器的参考电压值。当不外接参考电压时，应在此端和地之间接一个 0.01 μF 的去耦电容防止干扰信号。

8 端：电源端。电源U_{CC}可在 5～18 V 的范围内使用。

1 端：接地端。

根据以上讨论可以得到 555 定时器在外触发脉冲作用下的功能表，如表 7.4.1 所示。

表 7.4.1　555 定时器的功能表

输　入			输　出	
高电平触发端 TH	低电平触发端 TL	复位端 R_D	输　出 u_O	放电管 VT
×	×	0	0	导通
$<\frac{2}{3}U_{CC}$	$<\frac{1}{3}U_{CC}$	1	1	截止
$>\frac{2}{3}U_{CC}$	$>\frac{1}{3}U_{CC}$	1	0	导通
$<\frac{2}{3}U_{CC}$	$>\frac{1}{3}U_{CC}$	1	不变	不变

7.4.2　单稳态触发器

图7.4.2(a)所示为 555 定时器构成的单稳态触发器，R 和 C 是外接元件，电容电压u_C接至高电平触发端 6 脚和放电端 7 脚。触发信号u_I是一个负脉冲，接至低电平触发端 2 脚。4 脚和 5 脚不用时分别接电源和经小电容接地。下面结合图7.4.2(b)来分析该电路的工作原理。

当无触发信号时，u_I为高电平$\left(u_I>\frac{1}{3}U_{CC}\right)$，比较器 C_2 的输出为高电平“1”。RS 触发器处于何种稳定状态则分以下两种情况分析。

(1) 当触发器的状态为$Q=0$，$\overline{Q}=1$时，则放电管 VT 饱和导通，使电容 C 两端的电压$u_C\approx 0$ V，比较器 C_1 的输出为“1”，故触发器的输出保持“0”状态不变。

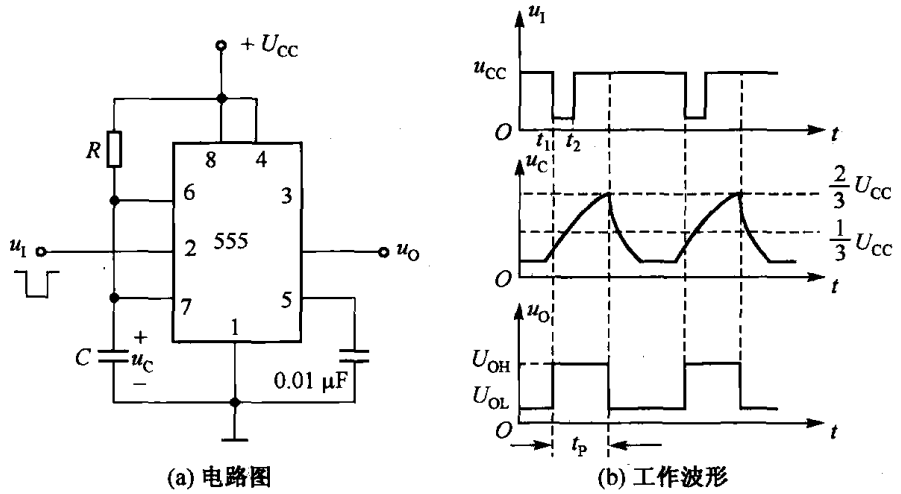


图 7.4.2 555 定时器构成的单稳态触发器

(2) 当触发器的状态为 $Q=1$，$\bar{Q}=0$ 时，则放电管 VT 截止，U_{CC} 通过电阻 R 和电容 C 充电。当 u_C 上升至略高于 $\frac{2}{3}U_{CC}$ 时，比较器 C_1 输出为“0”，将触发器置“0”，即翻转为 $Q=0$，$\bar{Q}=1$ 状态，则放电管 VT 导通，u_C 迅速放电接近 0 V，比较器 C_1 输出为“1”，使触发器输出保持“0”状态不变。

因此，在无触发信号时，比较器 C_1 的输出也将为高电平“1”，触发器将保持为 $Q=0$ 的稳定状态。

在时刻 t_1，当 u_I 下跳至低电平 $\left(u_I < \frac{1}{3}U_{CC}\right)$ 时，比较器 C_2 的输出为“0”，将 RS 触发器置“1”，即翻转为 $Q=1$，$\bar{Q}=0$，电路进入暂稳状态，同时放电管 VT 截止，电容 C 开始充电。尽管在时刻 t_2 触发负脉冲已消失，比较器 C_2 输出为“1”，但电容器 C 继续充电，当 u_C 上升至略高于 $\frac{2}{3}U_{CC}$ 时，比较器 C_1 输出低电平“0”，RS 触发器置“0”，触发器翻转回 $Q=0$，$\bar{Q}=1$ 的稳定状态。此后，放电管 VT 导通，u_C 迅速放电，又回到无触发信号的稳态。

根据暂稳态结束于 $u_C=\frac{2}{3}U_{CC}$ 时刻的条件，则由 RC 电路暂态方程可得出暂态时间为

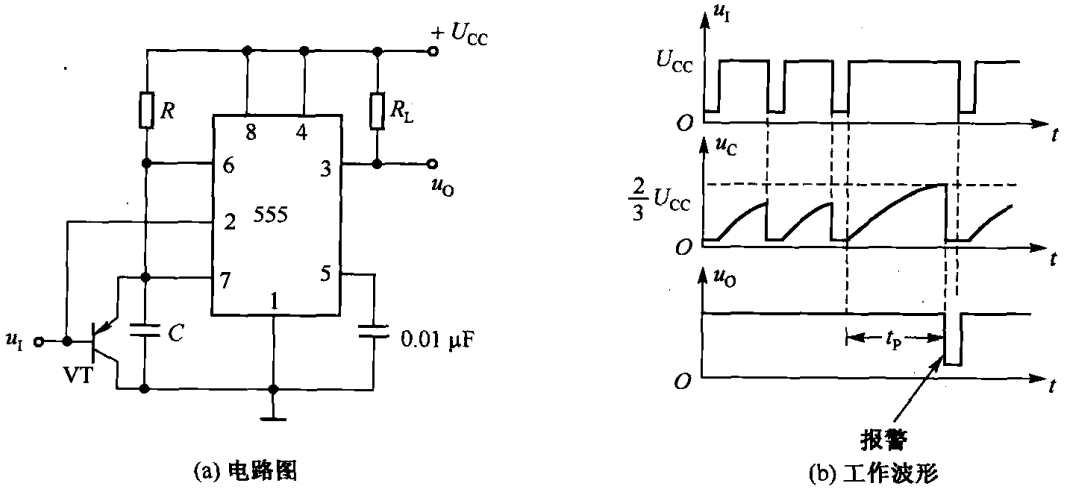
$$t_p = RC\ln\frac{U_{CC}-0}{U_{CC}-\frac{2}{3}U_{CC}} \approx RC\ln 3 \approx 1.1RC \tag{7.4.1}$$

t_p 即为暂态脉冲的脉宽。显然，触发负脉冲信号 u_I 的脉冲宽度应小于 t_p。调节 R 和 C 的值，可方便地改变 t_p。

例 7.4.1 图 7.4.3(a) 所示为在单稳态触发器电路中外接一个 PNP 型晶体管 VT 构成的一种脉冲失落监视电路，图 7.4.3(b) 所示为其工作波形。该电路的工作原理分析如下。

解： 正常工作时，需要输入一定频率的连续负脉冲，当负脉冲频率发生变化或无负脉冲输入时，则发出报警信号。根据前面的分析，当 u_I 输入负脉冲后，电路进入暂稳状态，单稳态触发器输出为高电平。此时，外接晶体管 VT 导通，电容 C 无法充电。输入负脉冲消失后，外接晶体管 VT 截止，电容 C 开始充电，在 u_C 未充到 $\frac{2}{3}U_{CC}$ 之前，电路仍处在暂稳态，触发器输出继续为高电平。若在此暂稳态期间，又输入 u_I 负脉冲，则 VT 又导通，电容 C 再次迅速放电，u_I 消失后，VT 再次截止，电容 C 再次充电，…… 此期间电路始终处在暂稳态，输出高电平。只有在输入 u_I 负脉冲消失后且在输

出暂态脉宽时间间隔(即 u_C 从 0 V 充电到 $\frac{2}{3}U_{CC}$ 的时间段)内，没有新的输入负脉冲，电路才返回到稳定状态，触发器的输出翻转为低电平。这种电路可作为失落脉冲监视电路，对机器的转速或人的心律进行监视。



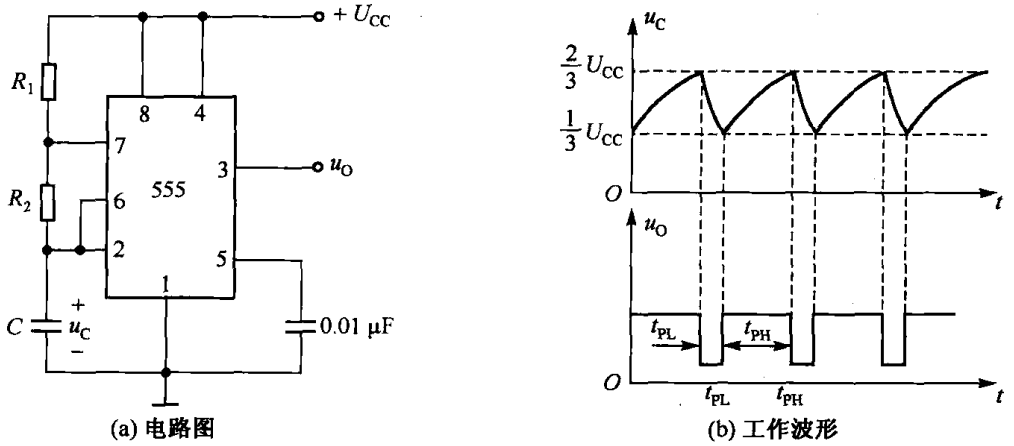
(a) 电路图　　(b) 工作波形

图 7.4.3　555 定时器构成的脉冲失落监视电路

7.4.3　无稳态触发器

无稳态触发器没有稳定状态，只有两个暂稳态，而且不需要外加触发信号，可以自动地从一个暂稳态转变到另一个暂稳态，输出高低电平交替变化的矩形波脉冲。由于矩形波脉冲包含丰富的谐波分量，故在脉冲数字电路中又称为多谐振荡器。多谐振荡器的电路结构较多，本节介绍由 555 定时器构成的电路。

图7.4.4 所示为 555 定时器与外接 R 和 C 定时元件构成的多谐振荡器电路及其工作波形。由图可看出，高电平触发端 6 与低电平触发端 2 均由电容电压 u_C 控制，放电端接在两个电阻 R_1 和 R_2 之间，其工作原理分析如下。



(a) 电路图　　(b) 工作波形

图 7.4.4　555 定时器构成的多谐振荡器

当接通电源后，U_{CC} 通过电阻 R_1 和 R_2 向电容 C 充电。当 u_C 小于 $\frac{1}{3}U_{CC}$ 时，高电平触发端(6 脚)的电位低于 $\frac{2}{3}U_{CC}$，低电平触发端(2 脚)的电位低于 $\frac{1}{3}U_{CC}$，故输出 $Q=1$，$\overline{Q}=0$，放电管 VT 截止，u_C 被继续充电而上升，当其高于 $\frac{1}{3}U_{CC}$，但小于 $\frac{2}{3}U_{CC}$ 时，555 定时器处在保持状态，输出“1”不

变。当u_C充电升至略高于$\frac{2}{3}U_{CC}$时，高电平触发端(6 脚)的电位高于$\frac{2}{3}U_{CC}$，低电平触发端(2 脚)的电位高于$\frac{1}{3}U_{CC}$，555 定时器被置“0”，输出$Q=0$，$\bar{Q}=1$。此时，放电管 VT 导通，电容 C 通过 R_2 和 VT 放电，当其小于$\frac{2}{3}U_{CC}$但高于$\frac{1}{3}U_{CC}$时， 555 定时器处在保持状态，输出“0”不变。直到当u_C放电至略低于时$\frac{1}{3}U_{CC}$，又被置“1”，输出为高电平，放电管 VT 又截止，电容 C 又开始充电，……如此周而复始，充、放电过程交替进行，则在输出端可以得到周期性的矩形波信号u_O，如图7.4.4(b)所示。

第一个暂稳态输出高电平的时间t_{PH}即为电容 C 从$\frac{1}{3}U_{CC}$充电到$\frac{2}{3}U_{CC}$的时间，可推导出

$$t_{PH}=(R_1+R_2)C\ln 2\approx 0.7(R_1+R_2)C \tag{7.4.2}$$

第二个暂稳态输出低电平的时间t_{PL}即为电容 C 从$\frac{2}{3}U_{CC}$放电至$\frac{1}{3}U_{CC}$的时间，可推导出

$$t_{PL}=R_2C\ln 2\approx 0.7R_2C \tag{7.4.3}$$

因此，输出的矩形波脉冲的频率为

$$f=\frac{1}{t_{PH}+t_{PL}}\approx\frac{1.43}{(R_1+2R_2)C} \tag{7.4.4}$$

输出波形的占空比为

$$D=\frac{t_{PH}}{t_{PL}+t_{PH}}=\frac{R_1+R_2}{R_1+2R_2} \tag{7.4.5}$$

从上面分析可知，该矩形波脉冲的占空比不可调且无法为 50%。如将电路改接为图 7.4.5 所示的电路，则得到占空比可调的矩形波发生器。该电路利用二极管 VD_1 和 VD_2 将电容 C 的充、放电回路分开。不难分析，其$t_{PH}\approx 0.7R_AC$，$t_{PL}\approx 0.7R_BC$，只改变 R_A 和 R_B 的值，便可调节占空比。

图中 R_4 的作用是提高输出高电平值，使其接近于U_{CC}，称为上拉电阻。

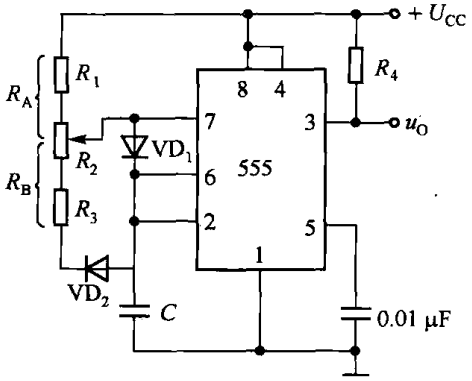


图 7.4.5 占空比可调的矩形波发生器

7.4.4 施密特触发器

由 555 定时器构成的施密特触发器如图 7.4.6(a)所示，将高平触发端和低电平触发端并联到一起，作为触发电平的输入端，由输出端(3 脚)或放电输出端(7 脚)输出。当由放电输出端输出时，需要加上拉电阻 R 和外接电源U_{DD}，此时输出信号的高电平可由电源U_{DD}加以调节，来满足不同负载的要求。

假设在施密特触发器的输入端输入如图7.4.6(b)所示的三角波信号，则此电路的工作情况如下。

u_I为输入信号，当u_I由 0 V 逐渐上升且小于$U_{CC}/3$时，$u_I<U_{TH}=U_{TL}$，输出$u_O=1$为高电平；当u_I增大到$U_{CC}/3<u_i<2U_{CC}/3$时，输出u_O保持不变；当u_I增大到$u_I>2U_{CC}/3$时，输出状态第一次发生翻转，u_O由“1”变为“0”低电平；当$u_I>2U_{CC}/3$以后，输出u_O保持“0”状态不变。

当u_I开始由大向小变化时，只要未降到$U_{CC}/3$，则 2 脚电压$U_{TL}>U_{CC}/3$，不论 6 脚电压 U_{TH}

的状态如何，输出 u_O 总保持“0”状态不变。只有当 $u_I < U_{CC}/3$ 时，输出状态才产生第二次翻转，u_O 由“0”恢复为“1”高电平。

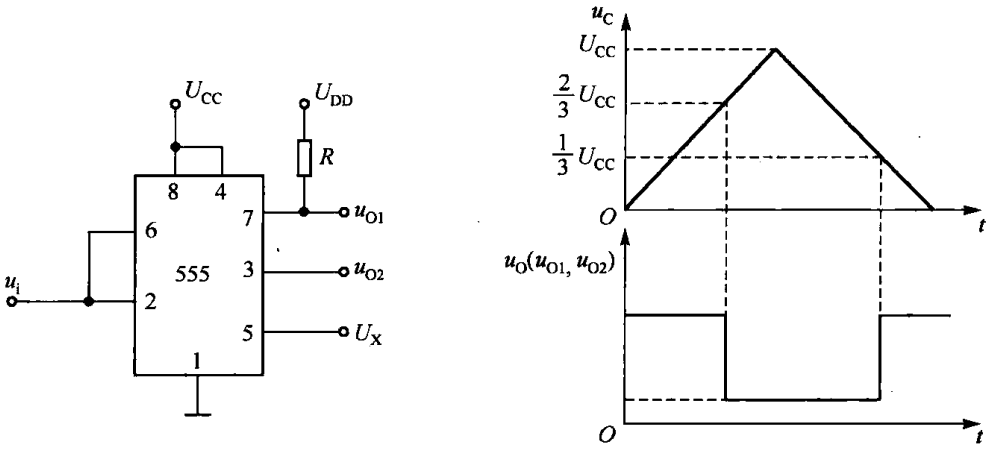


图 7.4.6　施密特触发器

由以上分析可见，输出 u_O 翻转的时间不仅和输入信号 u_I 的幅度有关，而且和 u_I 的变换方向也有关。当 u_I 由小向大变化时，输出 u_O 在 $u_I = 2U_{CC}/3$ 时翻转；当 u_I 由大向小变化时，输出 u_O 在 $u_I = U_{CC}/3$ 时翻转。因此形成了迟滞特性，其上限触发电平 $U_{TH} = 2U_{CC}/3$，下限触发电平 $U_{TL} = U_{CC}/3$。如果在控制端(5 脚)外加控制电压，则可以改变触发器的上、下限触发电平的大小。

思考题

7.4.1　在图 7.4.2 电路中，如果 u_I 的脉宽大于输出脉冲 u_O 的脉宽，则该单稳态触发器还能否正常工作？如不能，应怎样解决此问题？

7.4.2　当用 555 定时器构成施密特触发器时，如何改变它的回差电压的大小？

7.4.3　如果在 555 定时器的 5 脚加一个参考电压 U_R，则由 555 定时器构成的单稳态触发器的输出脉宽和 555 定时器构成的多谐振荡器的振荡频率应如何计算？

7.5　PSpice 例题分析

例 7.5.1　用 PSpice 仿真分析电容三点式 LC 正弦波振荡器的工作情况，观察当 C_1，C_2 改变时振荡频率的变化以及当 C_3 改变时振荡频率的变化。

解：利用 OrCAD9.1/Capture CIS 软件绘制电容三点式 LC 正弦波振荡器的仿真电路如图 7.5.1 所示，晶体管及各元件的参数选择如图中所示。

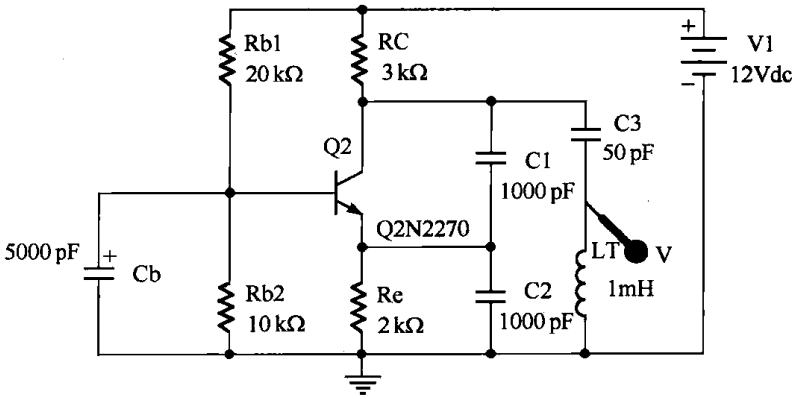


图 7.5.1　电容三点式 LC 正弦波振荡器的仿真电路

(1) 利用瞬态特性分析(Transient Analysis)功能观察振荡器的输出可得如图 7.5.2 所示的输出波形,再利用 Cursor 中 Display 和 Cursor peak 功能可以得出振荡周期为 1.38 μs,所以振荡频率为 0.72 MHz。

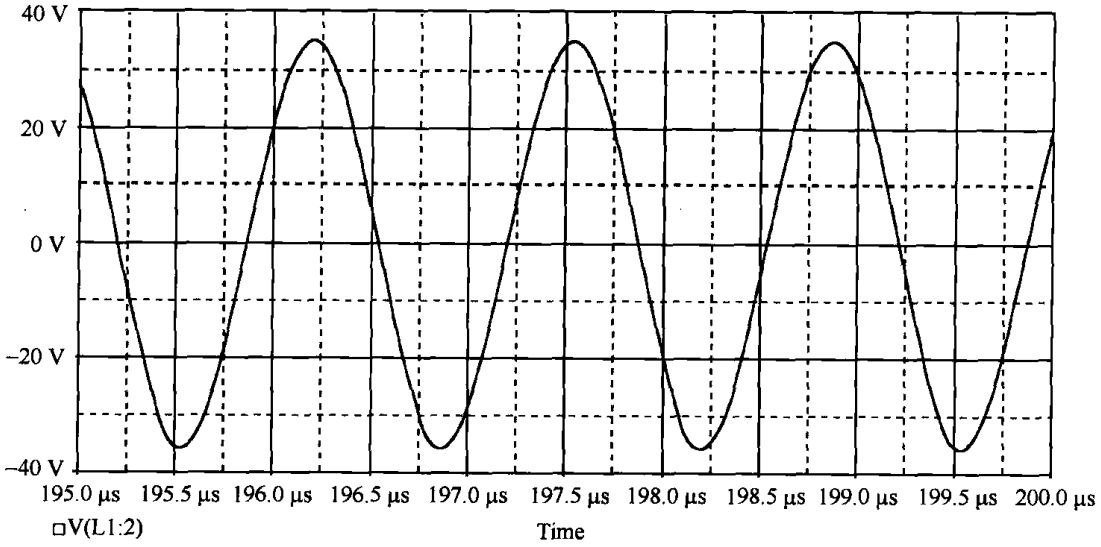


图 7.5.2 电容三点式 LC 正弦波振荡器的输出波形

(2) 改变 C1 = C2 = 1100 pF, C3 = 50 pF, 观察波形和频率, 观察发现输出频率没有明显变化。

(3) 当保持 C1 和 C2 不变, C3 改为 55 pF 时, 频率变化较大, 此时振荡周期为 1.43 μs, 则振荡频率为 0.70 MHz。

本章小结

本章主要介绍了信号产生和变换电路, 现分别归纳如下。

1. 正弦波振荡电路由放大电路、正反馈网络、选频网络和稳幅环节四个部分组成。它产生自激振应满足如下条件。

(1) 相位平衡条件

$$\varphi_A + \varphi_F = 2n\pi \qquad n = 0,1,2,\cdots$$

(2) 幅值平衡条件

$$|AF| = 1$$

当满足振荡的建立条件 $|AF| > 1$ 时, 选频网络从电路的扰动信号中选出频率为 f_0 的正弦波信号, 形成增幅正弦波振荡, 然后利用非线性器件使 $|AF|$ 从大于 1 过渡到等于 1, 最终形成等幅正弦波振荡。

2. 按选频网络元件的不同, 正弦波振荡电路分为 RC 正弦波振荡电路、LC 正弦波振荡电路和石英晶体正弦波振荡电路。

(1) RC 正弦波振荡电路应用频率较低的场合。对于常用的 RC 串并联选频网络, 当 $f_0 = \dfrac{1}{2\pi RC}$ 时, 它的 $|F| = \dfrac{1}{3}$, $\varphi_F = 0$, 只要满足 $|A| \geqslant 3$, $\varphi_A = 0$, 即可满足自激振荡的条件, 另外还需专门的稳幅电路。

(2) LC 正弦波振荡电路应用频率较高的场合, 一般由分立元件组成。常用的有变压器反馈式、

电感三点式和电容三点式。当频率 $f_0=\dfrac{1}{2\pi\sqrt{L'C'}}$ 时，LC 并联谐振回路呈纯阻性，由此可分析放大器的相位关系。其中，L' 和 C' 分别是谐振回路的等效电感和等效电容。变压器反馈式、电感三点式线圈间的相位关系，均可由同名端的对应关系来判别。电容三点式两电容之间的极性一般也可按分压关系来判断。

(3) 利用石英晶体的压电效应构成的石英晶体振荡电路的频率稳定度很高，可达 $10^{-9}\sim10^{-11}$ 数量级，在频率稳定度要求高的场合获得了广泛的应用。

3. 利用电压比较器和具有定时特性的各类 RC 积分电路可构成方波发生器和三角波发生器。一般通过改变 RC 积分电路的时间常数来改变振荡频率，通过调节电压比较器的门限电压来调节三角波的幅值。当 RC 积分电路的充放电时间不同时，可获得矩形波和锯齿波输出。

4. 矩形波发生器又称为多谐振荡器，是数字电路中常用的电路，其输出脉冲频率由电路的参数 R 和 C 决定，在要求脉冲频率很稳定的场合应采用石英晶体多谐振荡器。

5. 单稳态触发器和施密特触发器是脉冲变换中常用电路。

(1) 单稳态触发器的显著特点是：在无外加触发信号时，它工作于稳态，只是在触发脉冲信号作用下才由稳态翻转为暂稳态，经过一段时间后，它又自动返回稳态。输出脉冲宽度(即暂稳态时间)由电路定时参数决定。

(2) 施密特触发器输出有两个稳态。输入信号电平上升到上限触发电平时，输出从一个稳态转换到另一稳态；输入信号电平下降到下限触发电平时，输出又转换到原来的稳态。上、下限触发电平的差值决定了回差电压的大小。

6. 555 集成定时器是一种将模拟电路和数字电路集成在同一硅片上的时基电路。只需适当的连接和外接少量的电阻与电容，便可构成双稳态触发器、单稳态触发器、多谐振荡器和施密特触发器等电路。

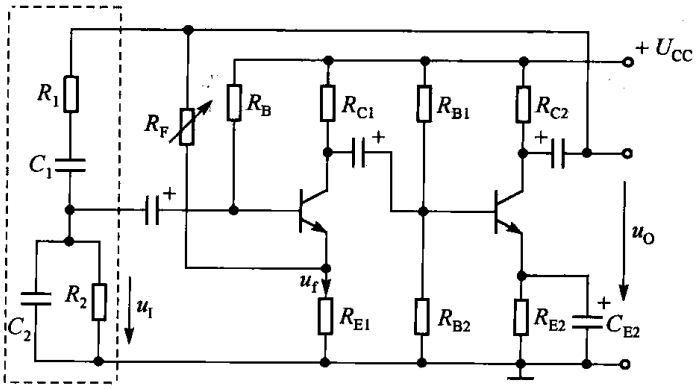
习题 7

7.1　某电路如题7.1图所示，已知 $R_1=R_2=R=20\ \text{k}\Omega$，$C_1=C_2=C=0.01\ \mu\text{F}$。试求：

(1) 该振荡电路的名称是什么？选频网络由哪些电路元件组成？

(2) 振荡频率 f_0 为多少？

(3) 为满足起振的幅值条件，应如何选择 R_F 的大小(设放大电路为深度负反馈)？



题 7.1 图

7.2　正弦波振荡电路如题7.1图所示，试求：

(1) $R_1=R_2=R=8.2\ \text{k}\Omega$，$C_1=C_2=C=0.2\ \mu\text{F}$，计算振荡频率 f_0；

(2) 若电路接线无误且工作点正常，但却不能产生振荡，可能是什么原因造成的呢？应调整电路中哪个参数最为合适？如何调节？

(3) 若输出波形严重失直，又应如何调整？

7.3 题7.3图所示为某低频信号发生器电路，图中 $R_{11}=2\ \text{k}\Omega$，$R_{12}=1\ \text{k}\Omega$，R_{W1} 为3.3 kΩ的电位器，R_{W2} 为10 kΩ的同轴电位器，$R=4.7\ \text{k}\Omega$，$C=0.2\ \mu\text{F}$。试求：

(1) 标出运算放大器的同相输入端和反相输入端；

(2) 计算振荡频率 f_0 的调节范围；

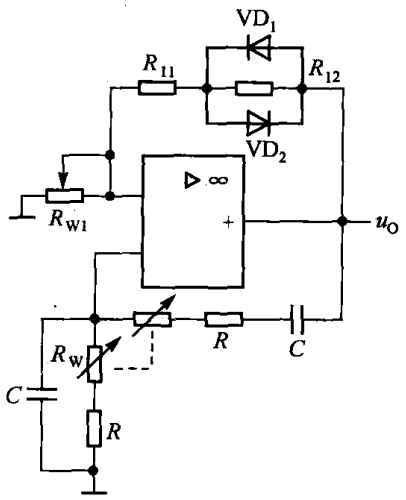
(3) 要使电路能起振，且波形不失真，R_{W1} 约调到多少？

7.4 某振荡器的线路如题7.4图所示。已知 $C_1=C_2=C=500\ \text{pF}$，$C_3=50\ \text{pF}$，$L=1\ \text{mH}$。试求：

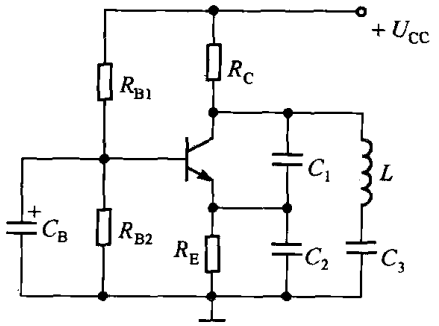
(1) 说出该电路的名称；

(2) 计算振荡频率 f_0；

(3) 若 C_1 和 C_2 都增加10 pF，则 f_0 变化多少？



题7.3图



题7.4图

7.5 试根据自激振荡的相位平衡条件，判断题7.5图所示各电路能否产生自激振荡，哪一元件上产生反馈电压？

7.6 判断题7.6图所示各电路能否产生自激振荡。对不能产生振荡的电路说明其原因，并加以改正。

7.7 某石英晶体振荡器如题7.7图所示，图中 L 为高频扼流圈。试求：

(1) 画出该电路的交流通路，并根据相位平衡条件判断能否起振；

(2) 该电路是何种形式的石英晶体振荡电路？电路中石英晶体起到了哪种电路元件的作用？

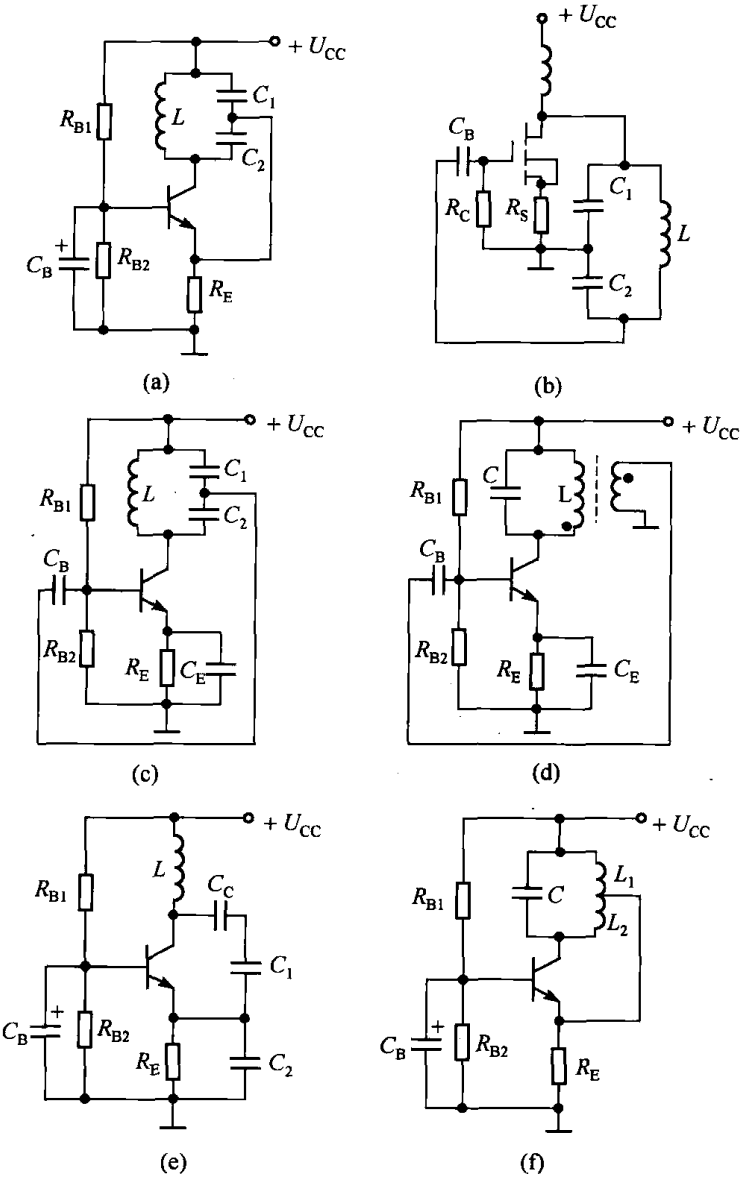
7.8 如图7.2.1所示方波发生器电路，运放为理想运算放大器，$R_F=100\ \text{k}\Omega$，$R_1=200\ \text{k}\Omega$，$R_2=620\ \text{k}\Omega$，$C=0.02\ \mu\text{F}$，$U_Z=\pm 6\ \text{V}$。试求：

(1) 输出电压的峰-峰值 U_{opp}；

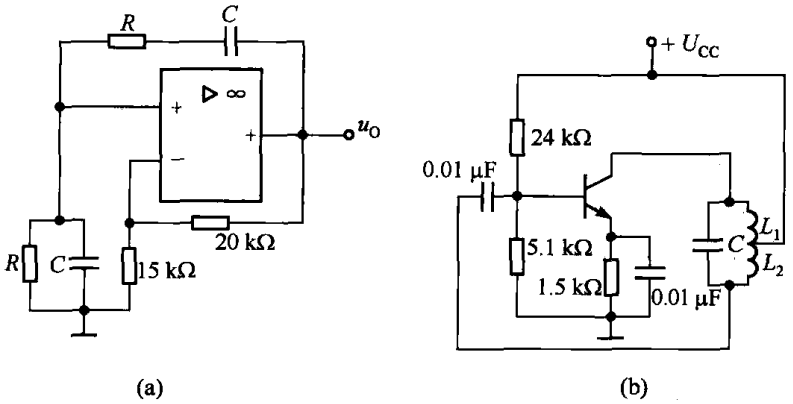
(2) 电容电压的峰-峰值 U_{cpp}；

(3) 方波的振荡频率。

7.9 在题7.9图所示电路中，调节电位器 R_W 可以改变输出脉冲的占空比(即正、负脉冲的宽度)，但周期 T 保持不变。设运放为理想运算放大器，VD_1 和 VD_2 为理想二极管，稳压管的稳定电压为 $\pm U_Z$，试推导该电路输出脉冲周期 T 的计算公式和输出脉冲占空比的调节范围。



题 7.5 图



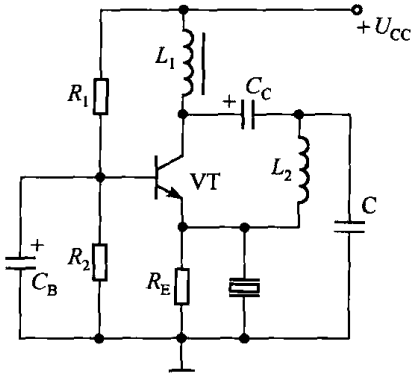
题 7.6 图

7.10 在图7.2.5所示电路中，运放为理想运算放大器，稳压管的稳定电压为 ±6 V 。设 $R_1 = 12\ \text{k}\Omega$，$R_2 = 20\ \text{k}\Omega$，$R = 33\ \text{k}\Omega$，$C = 0.22\ \mu\text{F}$。试求：

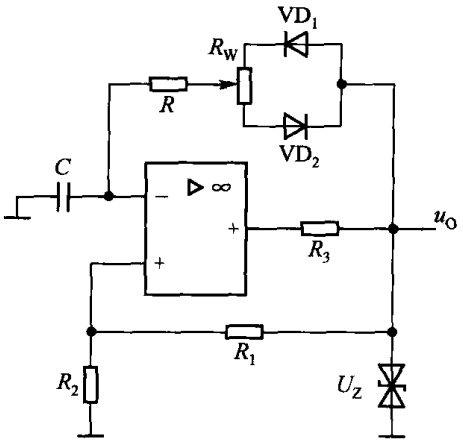
(1) A_1，A_2 与相应的元件组成什么电路？各自的功能如何？

(2) 画出 u_{O1} 和 u_O 的波形；

(3) 求输出电压的u_{O1},u_O幅值和频率。



题7.7图



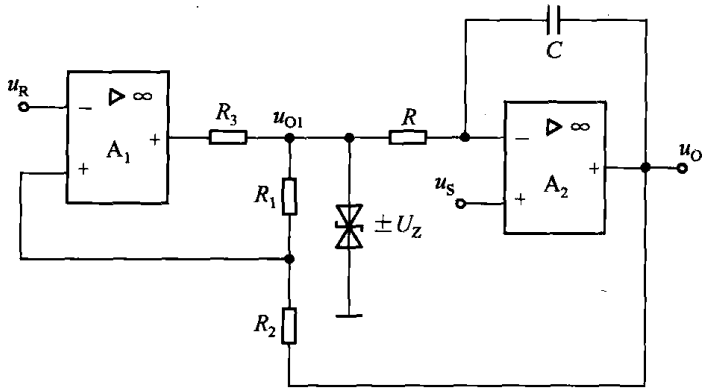
题7.9图

7.11 题7.11图所示电路是一个方波-三角波产生电路，为了实现以下几种不同的要求，U_R和U_S应做哪些相应的调整?

(1) u_O输出对称的三角波，u_{O1}输出对称的方波;

(2) 对称三角波的电平可以移动(例如使波形上移);

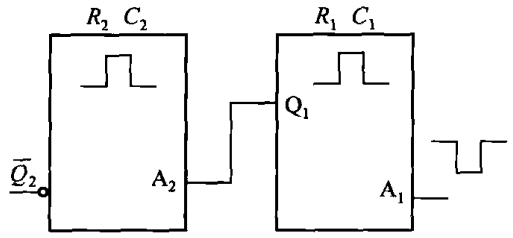
(3) 输出波形的占空比可以改变(例如占空比减小)。



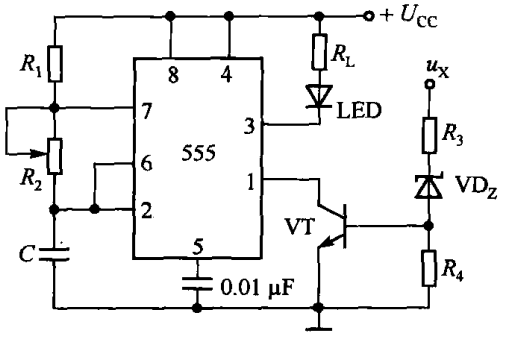
题7.11图

7.12 用单稳态触发器74121组成的电路如题7.12图所示，当A_1出现负脉冲时，画出Q_1和$\bar{Q}_2$的波形。若外接定时电容$C_1 = C_2 = 0.22\ \mu F$，要求Q_1和$\bar{Q}_2$脉冲波形的宽度分别为10 ms和100 ms，试计算定时电阻R_1和R_2的阻值。

7.13 题7.13图所示为过压监测电路。当被监测电压u_X越过某一定值时，555定时器电路输出端的发光二极管LED将发出闪烁信号，试分析其工作原理。



题7.12图

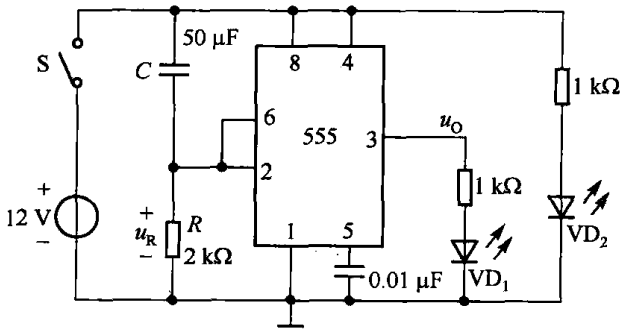


题7.13图

7.14　题7.14图所示为555定时器构成的电路，若电容的初始电压为0 V，当$t=0$时开关S闭合，试问：

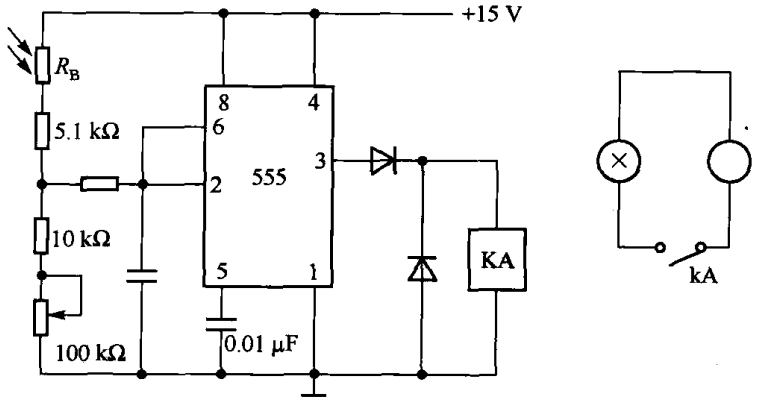
(1) S闭合后，发光二极管VD_1和VD_2是否同时亮？若不同时亮，其时间间隔是多少？(忽略555定时器内部门电路的传输延迟)

(2) 画出S闭合后，电压u_R和u_o的波形图。



题7.14图

7.15　由555定时器组成的路灯自动亮灭控制电路如题7.15图所示。图中R_B为MG77—17型光敏电阻，其阻值为$R_{暗} \geqslant 2\ M\Omega$，$R_{亮}=5\sim10\ k\Omega$，试说明其工作原理。

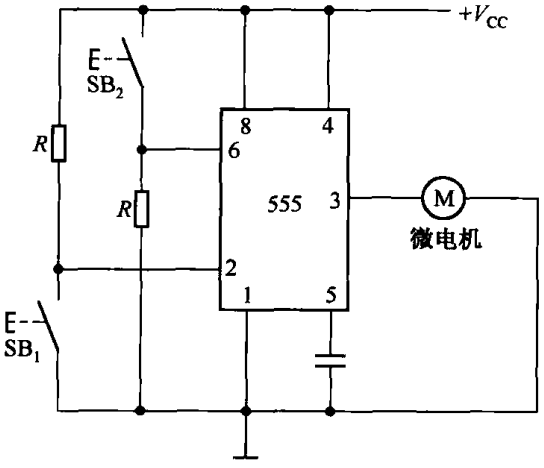


题7.15图

7.16　由555定时器组成的双稳态触发器如题7.16图所示，利用其输出对微电机的启动、停止进行控制，试说明该电路的工作原理。

7.17　用555定时器和适当的阻容元件设计一个输出频率为10～20 kHz的可调矩形波信号发生器。

7.18　某工程抢修车音响电路能产生嗡嗡的声音，其主频率为300 Hz，发声的持续和间断时间分别为0.5 s和0.3 s，试画出用555定时器构成该音响的电路，并计算定时参数RC。



题7.16图

第 8 章　数模和模数转换器

当计算机用于生产过程自动控制时，所要测量和控制的物理量大多是连续变化的模拟量，如电压、温度、压力、位移等。对其中的非电信号模拟量，首先要通过传感器变换为电信号模拟量，然后再将这些模拟信号转换为数字信号，送入计算机进行处理，处理后的数字信号再转换为模拟信号，送入控制执行电路。将模拟量到数字量的转换称为模数转换或 A/D 转换；反之，将数字量到模拟量的转换称为数模转换或 D/A 转换。模数转换器和数模转换器就是完成上述两种转换的电路。它们是非常重要的数字系统的接口电路。图8.0.1为模数转换器和数模转换器在数字系统中的应用原理框图。

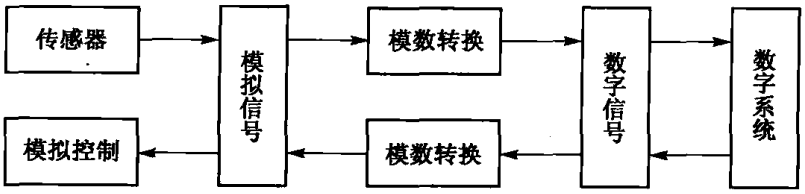


图 8.0.1　模数转换器和数模转换器在数字系统中的应用原理框图

8.1　数模转换器(DAC)

数模转换器(Digital-Analog converter, DAC)是将数字信号转换成模拟信号的电路。

D/A 转换器实际上就“译码”装置，它将输入数字的每一位代码按权的大小转换为相应的模拟量，再将所有位的模拟量相加而得到总的模拟量，实现数模转换。

D/A 转换器通常由译码电路、模拟开关、加法电路和基准电压源四个部分组成。不同的译码电路可构成不同的 D/A 转换器。下面以使用得最多的 T 形网络 D/A 转换器为例，介绍 D/A 转换过程。

8.1.1　R-2R T 形电阻网络 D/A 转换器

图8.1.1为 4 位二进制数 R-2R T 形电阻网络 D/A 转换器电路示意图。存储在数码寄存器(电路中未画出)中的待转换二进制数码控制电子开关 S，当某位二进制数码 $D_i=1$ 时，相应的电子开关 S_i 接通基准电压源 U_{REF}；当 $D_i=0$ 时，S_i 接“地”。电子开关可由晶体管或 MOS 管构成。图8.1.2为晶体管电子开关电路原理图，VT_1 和 VT_2 构成双向开关。当 $D_i=1$ 时，VT_1 饱和，VT_2 截止，则 S_i 与 U_{REF} 接通；当 $D_i=0$ 时，VT_1 截止，VT_2 饱和，则 S_i 与“地”相接。

R-2R T 形电阻网络具有一种特殊性质，即无论 A，B，C，D 这 4 点中的任何一点，其左边的电阻网络的等效电阻均等于 $2R$。根据这一特性，可以很容易分析出当输入不同数码时的输出电压 U_O。

若输入的二进制为“1000”，则 S_0, S_1 和 S_2 均接“地”，S_3 接 U_{REF}，此时的 T 形网络电路如图8.1.1所示，可方便地计算出 $U_A=\frac{1}{2}U_{REF}$。由于运算放大器接成同相跟随器形式，故 $U_O=U_A=\frac{1}{2}U_{REF}$。

若输入数码为“0100”，则 S_0, S_1 和 S_3 接“地”，S_2 接 U_{REF}。采用上述同样的分析方法，可以得出 $U_O=U_A=\frac{1}{4}U_{REF}=\frac{1}{2^2}U_{REF}$；当输入数码为“0010”时，$U_O=\frac{1}{2^3}U_{REF}$；当输入数码为“0001”时，$U_O=\frac{1}{2^4}U_{REF}$。

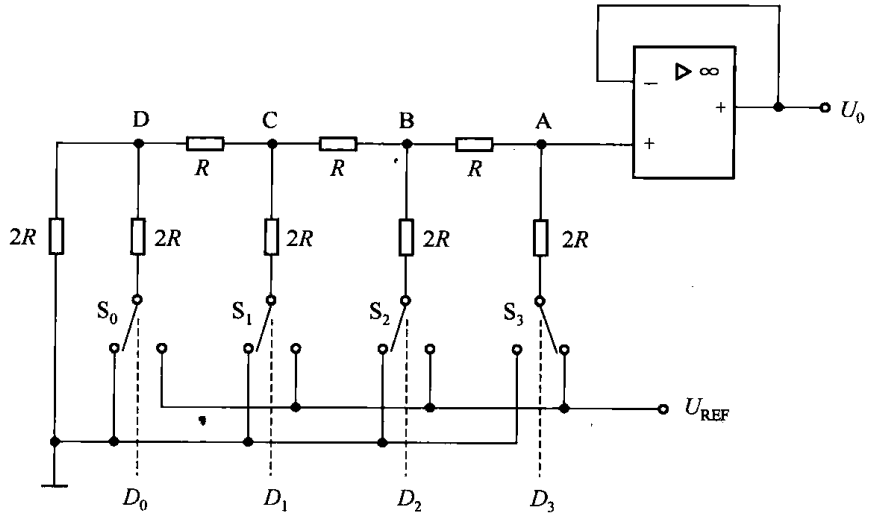


图 8.1.1　R-2R T 形电阻网络 D/A 转换器电路

若输入数码为“1111”时，由叠加原理可得此时的输出为

$$U_O=\left(\frac{1}{2^1}+\frac{1}{2^2}+\frac{1}{2^3}+\frac{1}{2^4}\right)U_{REF}=(2^3+2^2+2^1+2^0)\frac{U_{REF}}{2^4}$$

若输入任意 4 位数码“$D_3D_2D_1D_0$”，则可知

$$U_O=(D_3\ 2^3+D_2\ 2^2+D_1\ 2^1+D_0\ 2^0)\frac{U_{REF}}{2^4}$$

同样，可以推广到 n 位 D/A 转换器，可知

$$U_O=(D_{n-1}\ 2^{n-1}+D_{n-2}\ 2^{n-2}+\cdots+D_0\ 2^0)\frac{U_{REF}}{2^n}\qquad(8.1.1)$$

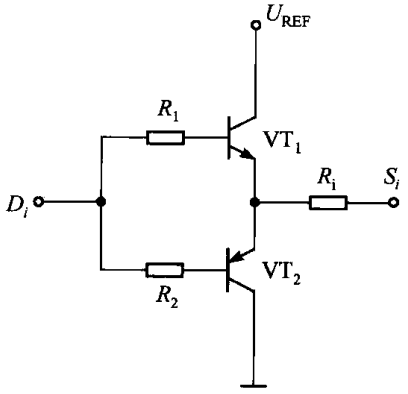


图 8.1.2　晶体管电子开关电路原理图

对于 R-2R T 形网络 D/A 转换器，从 U_{REF} 加到各级电阻上开始到运算放大器的输入电流稳定地建立起来，需要一定的传输时间，所以在位数较多时将影响 D/A 转换器的工作速度。另外，由于各级电流到达运算放大器输入端的时间不一致，则可能会在输入端产生尖峰脉冲。为了提高转换速度和减小尖峰脉冲，可将 R-2R T 形网络 D/A 转换器稍作变化，构成下面的 R-2R 倒 T 形网络 D/A 转换器。

8.1.2　R-2R 倒 T 形网络 D/A 转换器

R-2R 倒 T 形网络 D/A 转换器电路如图8.1.3所示。由图可知，因运算放大器同相端接地，反相端“虚地”，电子开关 S_i 可以在地与“虚地”之间切换，所以不论电子开关 S_i 打向哪一边，根据 R-2R T 形网络 D/A 转换器的特性，有 $I=\frac{1}{R}U_{REF}$，$I_3=\frac{1}{2}I=\frac{1}{2R}U_{REF}$，$I_2=\frac{1}{4}I=\frac{1}{4R}U_{REF}$，$I_1=\frac{1}{8}I=\frac{1}{8R}U_{REF}$，$I_0=\frac{1}{16}I=\frac{1}{16R}U_{REF}$，所以流过各级电阻支路的电流始终不变，不需要动态建立电流的时间，则提高了转换速度和减小了尖峰脉冲。

而 I_i 的值则取决于开关 S_i 打向哪一边，若输入一个 4 位二进制数 $D_3D_2D_1D_0$，则

$$I_i=I_3D_3+I_2D_2+I_1D_1+I_0D_0$$

$$U_O=-I_iR=-\left(D_3\frac{1}{2R}U_{REF}+D_2\frac{1}{4R}U_{REF}+D_1\frac{1}{8R}U_{REF}+D_0\frac{1}{16R}U_{REF}\right)R$$

$$=-\left(D_3\frac{1}{2^1}+D_2\frac{1}{2^2}+D_1\frac{1}{2^3}+D_0\frac{1}{2^4}\right)U_{REF}$$

$$=-(D_3\,2^3+D_2\,2^2+D_1\,2^1+D_0\,2^0)\frac{U_{REF}}{2^4}$$

同样，可以推广到 n 位 D/A 转换器，可知

$$U_O=-(D_{n-1}\,2^{n-1}+D_{n-2}\,2^{n-2}+\cdots+D_0\,2^0)\frac{U_{REF}}{2^n} \tag{8.1.2}$$

与上面介绍的 R-2R T 形网络 D/A 转换器推出的结果是一样的(仅差一个负号)，但 R-2R 倒 T 形网络 D/A 转换器的转换速度要比 R-2R T 形网络 D/A 转换器的快得多，因此在实际中 R-2R 倒 T 形网络 D/A 转换器中被广泛采用。

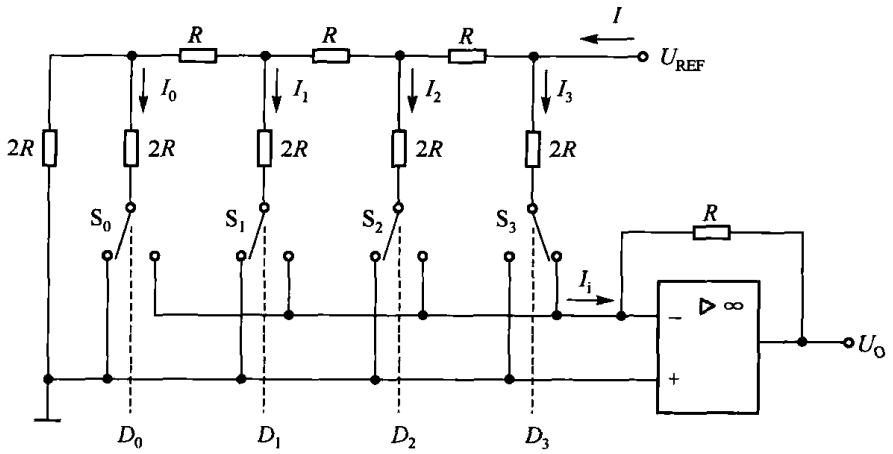


图 8.1.3 R-2R 倒 T 形网络 D/A 转换器电路

8.1.3 集成 D/A 转换器

同其他数字逻辑器件一样，集成 D/A 转换器发展迅速，目前在市场上有上百种产品，有 8 位、12 位、16 位、18 位等高分辨率产品，也有速度可达 100 MHz 的高速产品。

这里以集成 D/A 转换器 DAC0832 为例，介绍其参数特性及引脚功能。

DAC0832 是采用先进的 CMOS/S_i—Cr 工艺制成的 8 位 D/A 转换器，它具有双缓冲输入寄存器，因而可实现与微机总线直接相联，并可与 TTL 兼容，是目前使用很广泛的一种 D/A 转换器。

图8.1.4是 DAC0832 的电路框图。它由双缓冲输入寄存器、8 位 D/A 转换器及输入控制逻辑电路等组成，有 8 条数据线和 5 条控制线，共 20 个引脚，现分别说明如下。

$D_0 \sim D_7$ 为 8 位数码输入端；

I_{out1} 和 I_{out2} 为 D/A 转换后的模拟电流输出端，I_{out1} 接运放反相端，I_{out2} 按运放同相端；

$\overline{CS}$ 为片选信号，与 ILE 组合可选通 $\overline{WR_1}$，低电平有效；

ILE 为输入锁存选通，高电平有效；

$\overline{WR_1}$ 为写控制 1，与 $\overline{CS}$ 和 ILE 组合将输入数码 $D_0 \sim D_7$ 送入输入寄存器，低电平有效；

$\overline{XFER}$ 为传递控制信号，可选通 $\overline{WR_2}$，低电平有效；

$\overline{WR_2}$ 为写控制 2，与 $\overline{XFER}$ 组合将输入寄存器的数送入 DAC 寄存器，低电平有效；

R_F 为反馈电阻，作为外部所接运算放大器的反馈电阻，一端接外部运算放大器的输出端，另一端在内部接 I_{out1} 端；

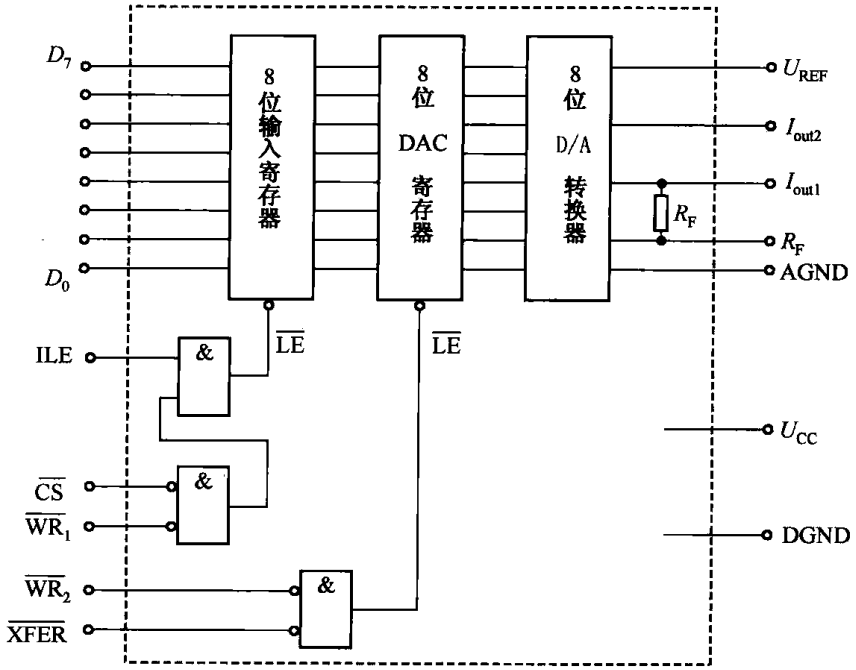


图 8.1.4　DAC0832 的电路框图

U_{REF} 为参考电压电源端(输入电压范围为 ± 5～± 10 V)；

U_{CC} 为数字电源电压端(输入电压范围为 + 1～+ 5 V)；

AGND 为模拟地端；

DGND 为数字地端；

图8.1.5为 DAC0832 的外部引脚排列及直通工作方式连线图。

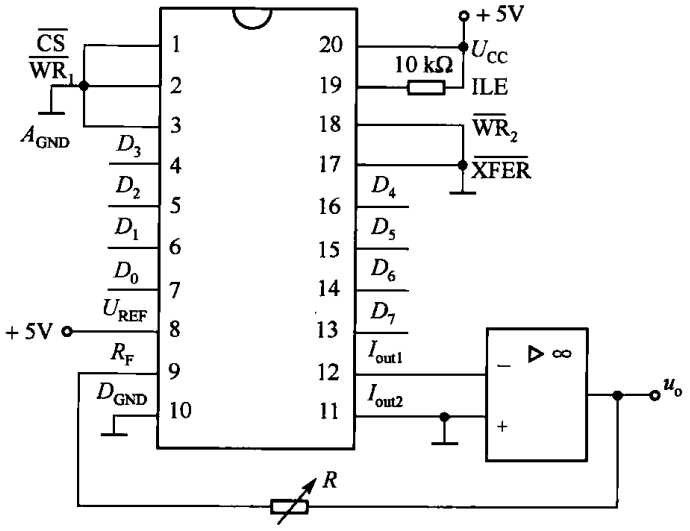


图 8.1.5　DAC0832 外部引脚排列及直通工作方式连线图

除 DAC0832 外，常用的 D/A 转换器还有国产中规模集成 D/A 转换器 5G7520 和 DA7541 等，其详细性能可查有关手册。

8.1.4　D/A 转换器的主要技术参数

1．分辨率

电路输出的最小电压(输入的二进制数最低位为“1”，其余位均为“0”时的输出电压)与电路输出的最大电压(输入的二进制数全为“1”时的输出电压)之比称为分辨率，即

$$\text{分辨率}=\frac{1}{2^n-1} \tag{8.1.3}$$

D/A 转换器的输入数码位数 n 越多，则分辨率越小，分辨能力就越高，转换的精度也就越高。

2. 转换时间

转换时间定义为从输入的二进制数发生满量程阶跃变化(即二进制数由全“0”变为全“1”)时起，到 D/A 转换器输出的模拟电压达到稳定值的规定误差带内为止的时间。通常规定的误差带为 $\pm\frac{1}{2}U_{\text{LSB}}$，$U_{\text{LSB}}$ 为最小数字量(即 1)所对应的最小模拟输出电压。目前不包括基准电源和电流-电压变换运算放大器的集成 D/A 转换器的转换时间一般不超过 1 μs。包含基准电源和运算放大器的集成 D/A 转换器的转换时间最短可达 1.5 μs。

3. 转换精度和非线性度

表示 D/A 转换精度的参数有绝对误差和非线性误差。绝对误差(也称为绝对精度)是指在输入端加对应满刻度的数字量时，D/A 转换器输出的实际值与理论值之差。绝对误差一般应小于 $\frac{1}{2}U_{\text{LSB}}$。相对误差是指输入任意二进制数时的实际输出值与理论值之差。由于各位模拟开关的压降不一定相等，各个电阻阻值的偏差不相同，而且不同位置上的电阻值偏差对模拟输出量的影响不一样等原因使得输入不同二进制时的相对误差不相等，这就造成了输出与输入之间的非线性关系。把满刻度范围内的最大相对误差定义为非线性误差，它与满刻度值之比称为非线性度，常用百分比来表示。

除上面介绍的参数外，D/A 转换器还有工作电源电压，输出值范围以及输入逻辑电平等参数，不再一一介绍，可查阅有关手册。

8.2 模数转换器(ADC)

模数转换器(Analog-Digital Converter, ADC)是将模拟信号转换成数字信号的电路。

D/A 转换器类似于一个“译码”装置，而 A/D 转换器则类似于一个“编码”装置。它对输入的模拟信号进行编码，输出与模拟量大小成比例关系的数字量。A/D 转换的过程可归纳为采样-保持和量化-编码这两大过程。下面分别进行介绍。

8.2.1 采样-保持

在 A/D 转换中，输入的模拟信号在时间上是连续的，输出的数字信号在时间上是离散的。因此，必须在时间坐标轴上选定的时刻对输入的模拟信号取样，形成离散序列信号。这种时间上连续的信号变换为对时间离散的信号的过程称为采样。图 8.2.1 所示为模拟信号采样示意图。

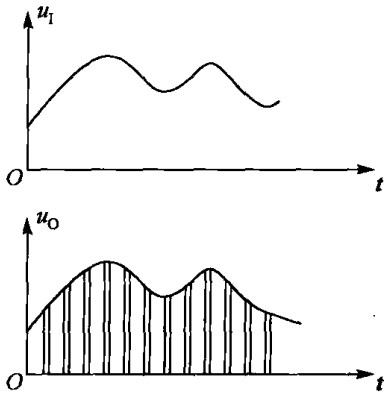


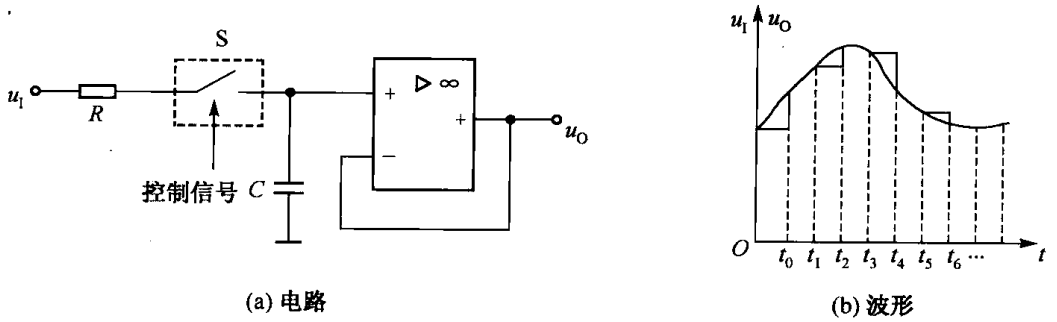
图 8.2.1 模拟信号采样示意图

采样频率 f_s 与输入的模拟信号的最高频率分量 f_{imax} 之间应满足采样定理，即

$$f_s \geqslant 2 f_{\text{imax}} \tag{8.2.1}$$

对一次采样的信号进行 A/D 转换需要一定的时间，所以在两次采样之间，要将前一次的采样信号暂时存储并保持到下一次采样之前，这一过程称为保持。

图8.2.2 所示为采样-保持电路及其波形，图中的 S 是电子开关。



(a) 电路　　(b) 波形

图 8.2.2　采样-保持电路及其波形

在 $t=t_0$ 时刻，控制信号使电子开关 S 闭合，采样开始，输入的模拟信号通过电阻 R 对电容 C 充电并迅速达到输入电压值，$t_0 \sim t_1$ 的间隔为采样阶段。在 $t=t_1$ 时刻，S 断开，若 S 和运算放大器均为理想器件，则在 $t_1 \sim t_2$ 时间间隔内电容 C 两端电压可以认为保持不变，此间隔为保持阶段，A/D 转换器则根据此时电容 C 两端的电压进行量化与编码。此后，$t_2 \sim t_3$ 及 $t_3 \sim t_4$ 时间间隔分别为下一个采样阶段及保持阶段，……

8.2.2　量化-编码

采样-保持电路的输出信号尽管是一个离散信号，但其阶梯状的幅值仍是任意的、连续可变的，而编码后输出的数字量是有限的，如 3 位二进制数，它只有 8 种可能的组合，所以需要将离散的采样-保持量值取整归并为规定的最小数量单位的整数倍。将这一过程称为量化过程。然后，将量化后的数值用二进制代码表示，这也称为编码过程。

量化的方法有两种，即舍尾取整法和四舍五入法。

舍尾取整法是，若输入的模拟电压 u_I 的最大值为 U_{Imax}，则取量化单位 $\Delta = U_{Imax}/2^n$，n 为可输出的二进制数的位数。例如，把 0～1 V 的模拟电压信号转换为 3 位二进制数，可知 $\Delta = \frac{1}{2^3}$ V，即 $\Delta = \frac{1}{8}$ V，若 $0 \leqslant u_I < \frac{1}{8}$ V，将其归并为 0 V，用二进制数“000”表示，若 $\frac{1}{8}$ V $\leqslant u_I < \frac{2}{8}$ V，将其归并为 $\frac{1}{8}$ V，用“001”表示，…… 这种方法的最大量化误差为 Δ。

四舍五入法是，取量化单位 $\Delta = 2U_{Imax}/(2^{n+1}-1)$，仍以将 0～1 的模拟电压信号转换为 3 位二进制数为例，可知 $\Delta = \frac{2}{2^4-1} = \frac{2}{15}$ V，则规定 $0 \leqslant u_I < \frac{1}{15}$ V，将其归并为 0 V，用“000”表示，当 $\frac{1}{15}$ V $\leqslant u_I < \frac{3}{15}$ V，将其归并为 $\frac{2}{15}$ V，用“001”表示，…… 显然，这种方法的最大量化误差为 $\frac{1}{15}$ V，即 $\frac{1}{2}\Delta$。

8.2.3　逐次逼近型 A/D 转换器

A/D 转换器的种类很多，但从转换过程来看，可分为将输入的模拟电压信号直接转换为输出的数字信号的直接型 A/D 转换器和需要通过中间变量(时间 T 或频率 f)将输入模拟量转换为输出数字量的间接型 A/D 转换器两大类。而最常使用的 A/D 转换器为直接型的逐次逼近反馈比较型 A/D 转换器和间接型的电压时间变换双积分型 A/D 转换器。

下面以逐次逼近反馈比较型(简称逐次逼近型)A/D 转换器为例，介绍该 A/D 转换器的基本工作原理。

图8.2.3为逐次逼近型 A/D 转换器的原理框图。逐次逼近型 A/D 转换器主要包括电压比较器、D/A 转换器、数码寄存器、顺序脉冲发生器和控制电路等部分。

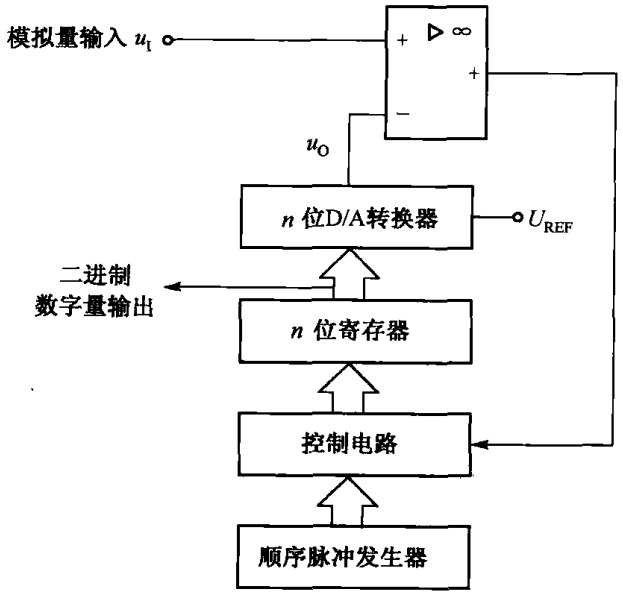


图 8.2.3 逐次逼近型 A/D 转换器的原理框图

逐次逼近 A/D 转换原理与天平称物体质量的原理类似。天平称重从最重砝码开始试放，与物重比较，若物体的质量大于该砝码的质量，则该砝码保留，否则去掉。各砝码的质量一个比一个小一半。这样，由物体的质量是否大于砝码的质量来决定砝码的去留，一直到天平基本平衡为止，留下的砝码的质量即为物体的质量。逐次逼近 A/D 转换的过程的基本原理是：在时钟脉冲的作用下，数码寄存器受顺序脉冲发生器和控制电路的控制，寄存器最高位置“1”，即 $Q_{n-1}=1$，经 D/A 转换器转换为相应的模拟电压 u_O，送至电压比较器与输入的模拟电压 u_I 相比较，若 $u_I > u_O$，说明数字不够大，则保留该位“1”；若 $u_I < u_O$，则说明数字过大，该位“1”清除。然后使寄存器次高位置“1”，即 $Q_{n-2}=1$，与上一次的结果一起，经 D/A 转换后再与 u_I 相比较，这样逐次比较下去，直至寄存器的最末一位比较完成为止。n 次比较后，数码寄存器中的数码即为所求的输出数字量。

图8.2.4所示为一个输出 4 位二进制数的逐次逼近型 A/D 转换器的逻辑电路。

该电路中，4 个 JK 触发器构成 4 位逐次逼近寄存器；4 个 D 触发器构成数码寄存器，其输出端 $d_3d_2d_1d_0$ 即是 A/D 转换后的数字量输出；顺序脉冲发生器的输入是时钟脉冲，输出是 C_0, C_1, C_2, C_3, C_4 5 个顺序负脉冲，其波形如图8.2.5所示，分别接到 4 位逐次逼近寄存器相应的输入控制端 CP, S_D 和 R_D 端上进行转换控制，顺序脉冲发生器的电路参见 6.4 节；T 型电阻网络将逐次逼近寄存器输出的二进制数转换为相应的模拟电压 u_A，构成 D/A 转换；比较器将 u_A 与待转换的电压 u_I 进行比较，其比较结果送到逐次逼近寄存器 F_3～F_0 的 J 端，反相器将比较结果取反后送到逐次逼近寄存器 F_3～F_0 的 K 端，进行置“1”或复“0”控制。

下面举例说明该电路转换过程。假设 4 位 T 型电阻网络(D/A 转换器)的参考电压 $U_{REF}=8$ V，输入模拟电压 $u_I=5.52$ V，加在比较器的同相输入端。转换工作过程如下。

(1) 当第 1 个 CP 脉冲上升沿到来后，顺序脉冲发生器的 C_0 端输出一个负脉冲，使得 $Q_3Q_2Q_1Q_0=1000$，该数码使得 T 型电阻网络输出的模拟电压 $u_A=8\times 2^{-1}=4$ V。由于 $u_A<u_I$，最高位

状态“1”需保留，比较器输出为高电平，反相器的输出为低电平，则触发器 F_3～F_0 的 $J=1$，$K=0$（置位状态）。

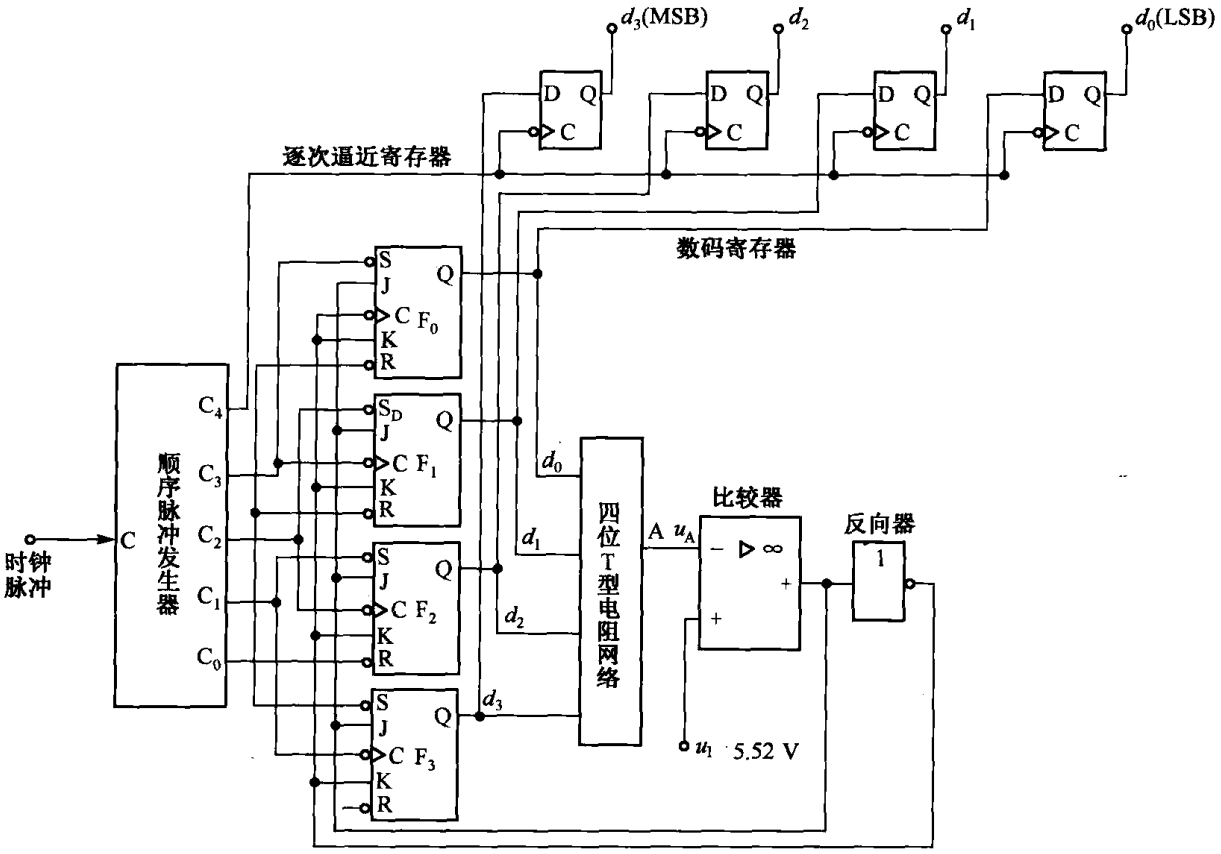


图 8.2.4　4 位二进制数的逐次逼近型 A/D 转换器的逻辑电路

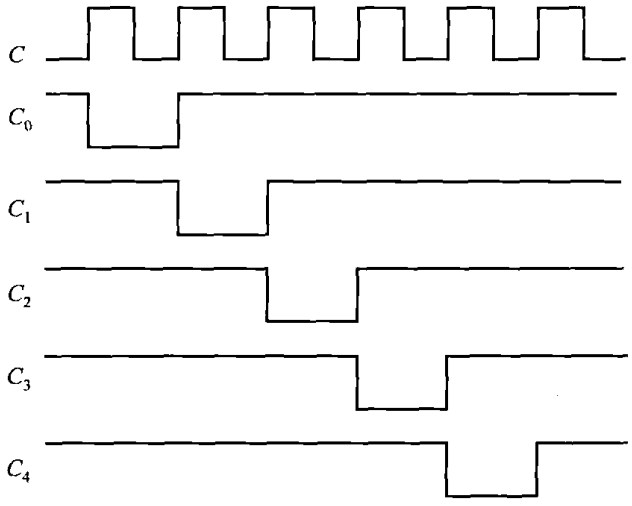


图 8.2.5　顺序脉冲波形图

(2) 第 2 个 CP 脉冲上升沿到来后，顺序脉冲发生器的 C_1 端输出一个负脉冲，则 $Q_3Q_2Q_1Q_0=1100$，该数码使得 T 型电阻网络输出的模拟电压 $u_A=8\times(2^{-1}+2^{-2})=6$ V。由于 $u_A>u_1$，次高位状态“1”不能保留，比较器输出为低电平，反相器的输出为高电平，则触发器 F_3 ～F_0 的 $J=0$，$K=1$（复位状态）。

(3) 第 3 个 CP 脉冲上升沿到来后，顺序脉冲发生器的 C_2 端输出一个负脉冲，则 $Q_3Q_2Q_1Q_0=1010$，

该数码使得 T 型电阻网络输出的模拟电压 $u_A = 8 \times (2^{-1} + 2^{-3}) = 5$ V。由于 $u_A < u_I$，第三位状态“1”需保留，比较器输出为高电平，触发器 $F_3 \sim F_0$ 的 $J = 1$，$K = 0$(置位状态)。

(4) 第 4 个 CP 脉冲上升沿到来后，顺序脉冲发生器的 C_3 端输出一个负脉冲，则 $Q_3Q_2Q_1Q_0 = 1011$，该数码使得 T 型电阻网络输出的模拟电压 $u_A = 8 \times (2^{-1} + 2^{-3} + 2^{-4}) = 5.5$ V。由于 $u_A \approx u_I$，第四位(最低位)状态“1”将保留，触发器 $F_3 \sim F_0$ 的 $J = 1$，$K = 0$(置位状态)。

(5) 在第 5 个 CP 脉冲到来后，顺序脉冲发生器的 C_4 的下降沿时 $Q_3Q_2Q_1Q_0 = 1011$ 状态保持不变，此即为转换结果。C_4 的上升沿(即第 6 个 CP 脉冲)到来时，数码寄存器的 4 个 D 触发器将“1011”存入并作为转换结果 $d_3d_2d_1d_0$ 输出，这样就完成了一次转换，转换过程可以用表8.2.1 来描述，本例的转换误差为 0.02 V。

从上述 A/D 转换过程可知，数码寄存器及 T 型电阻网络的位数 n 越多，则转换精度越高。转换时间则为 $(n+2)$ 个 CP 脉冲时间。

表 8.2.1 4 位逐次逼近型 A/D 转换器的转换过程

顺 序	Q_3	Q_2	Q_1	Q_0	u_A	比 较	该位数码的去留
1	1	0	0	0	4 V	$u_A < u_I$	留
2	1	1	0	0	6 V	$u_A > u_I$	去
3	1	0	1	0	5 V	$u_A < u_I$	留
4	1	0	1	1	5.5 V	$u_A \approx u_I$	留

图8.2.6 所示为上述转换过程中电压 u_A 逐次逼近输入电压 u_I 的波形图。

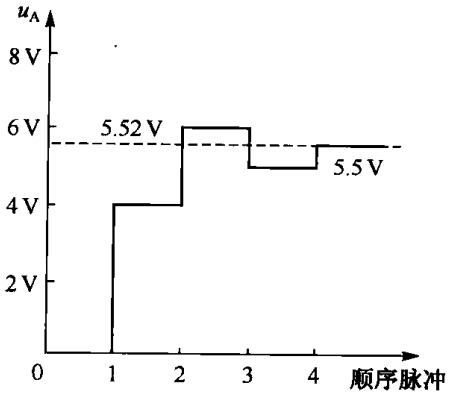


图 8.2.6 电压 U_A 逐次逼近输入电压 U_I 的波形图

逐次逼近型 A/D 转换器有 8 位、10 位、12 位和 14 位等多种，由于它的转换速度和转换精度都比双积分型 A/D 转换器的高，故被广泛使用在微机接口电路中。

8.2.4 集成 A/D 转换器

集成 A/D 转换器种类较多，应用得较普遍的有 AD571，ADC0801，ADC0804 和 ADC0809 等。下面以 ADC0801 为例，简要介绍其结构、主要参数及引脚功能。

ADC0801 是 CMOS 8 位逐次逼近型 A/D 转换器，采用差分模拟输入，输入电压为 0～5 V，使用时不需进行零点调整。图8.2.7 和图8.2.8 分别为其内部结构框图和外引脚排列图。

ADC0801 共有 20 个引脚，下面分别进行介绍。

$D_0 \sim D_7$ 为 8 位数码输出端，由三态锁存器输出。可直接与微机数据总线相接。

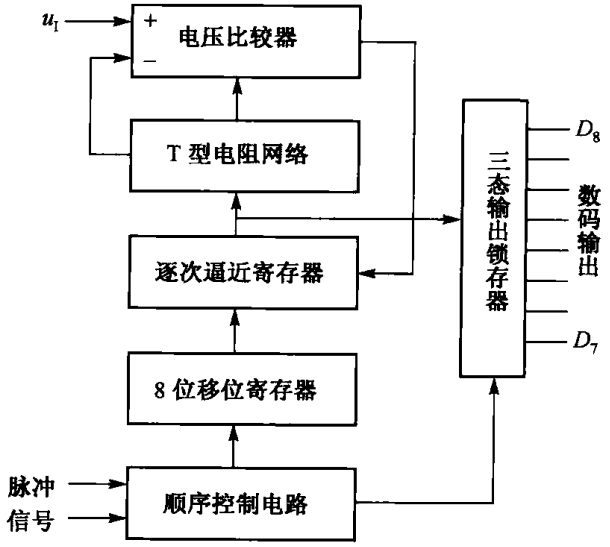


图 8.2.7　ADC0801 内部结构框图

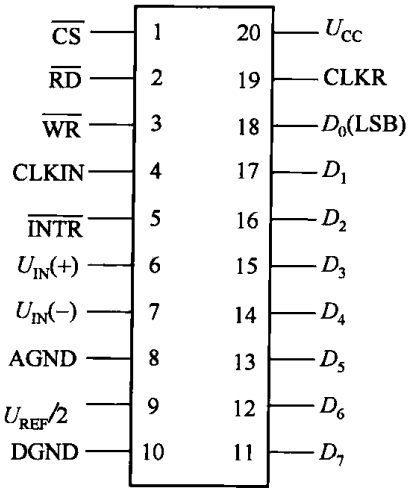


图 8.2.8　ADC0801 外引脚排列图

$U_{IN}(+)$ 和 $U_{IN}(-)$ 为模拟量输入端，是输入级差动放大电路的两个输入端。若输入量为正，则从 $U_{IN}(+)$ 输入，$U_{IN}(-)$ 接“地”；否则反之。

U_{CC} 为电源端，$U_{CC}=5$ V。

$U_{REF}/2$ 是内部电阻网络所用基准电源，其值约为输入电压范围的 1/2。当输入为 0～5 V 时，可由 U_{CC} 经内部分压得到，不需外接任何电源。

AGND 为模拟地端。

DGND 为数字地端。

CLKIN 为外部时钟脉冲输入端。

CLKR 为内部时钟脉冲端，由内部时钟脉冲发生器提供时钟脉冲，但需外接一个电阻 R 和一个电容 C，接线如图8.2.9 所示。内部时钟脉冲的频率为

$$f \approx \frac{1}{1.1RC} \tag{8.2.2}$$

通常 R 取 10 kΩ，C 取 150 μF，此时 f 约为 640 kHz，这个频率是 ADC0801 的典型时钟脉冲频率值。内部时钟脉冲也可从 CLKR 端引出，供同一电路系统中的其他芯片使用。

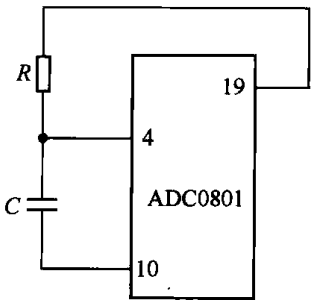


图 8.2.9　产生内部时钟脉冲的电路

$\overline{INTR}$ 为输出控制端，低电平有效。每当一次 A/D 转换结束时，该端由高电平变为低电平，对计算机可起中断请求作用。下一次转换开始时，该端又自动变为高电平。

$\overline{RD}$ 为读出使能端，低电平有效。当该端为低电平时，三态输出锁存器接通外部总线；当为高电平时，三态门处于高阻隔断状态。

$\overline{WR}$ 为写入使能端，低电平有效。当外部信号使其变为低电平时，A/D 转换器进入起动状态；当从低电平变为高电平时，转换开始。

$\overline{CS}$ 为片选信号，低电平有效。当其为低电平时，芯片被选中。

ADC0801 与 TTL 兼容，与计算机总线可直接相接。图8.2.10 所示为 ADC0801 与单片机的接口电路。

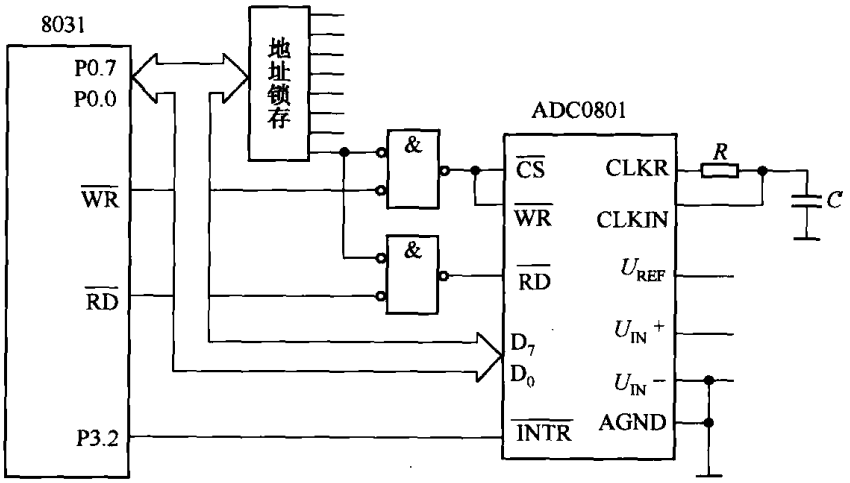


图 8.2.10 ADC0801 与单片机的接口电路

8.2.5 A/D 转换器的主要技术参数

1. 分辨率

A/D 转换器的分辨率定义为转换器所能够分辨的输入信号的最小变化量，它表明了A/D 转换器对输入信号的分辨能力。分辨率常用输出二进制数的位数表示。输出为 n 位二进制的 A/D 转换器共有 2^n 个输出状态，可分辨出最大输入信号电压的 $1/2^n$ 的输入变化量。显然，A/D 转换器的位数越多，其转换误差越小，转换精度越高。

2. 转换时间

转换时间是指 A/D 转换器完成一次从模拟量到数字量的转换所需的时间，也就是指从接到转换起动信号开始到输出端得到稳定的数字量之间所经过的时间。转换时间的大小反映了 A/D 转换的速度。采用不同的转换电路，其转换速度是不同的。其中，并联比较型 A/D 转换器的转换速度最快，逐次逼近型 A/D 转换器的次之，双积分型 A/D 转换器的最慢。ADC0801～ADC0803 的转换时间约为 110 μs。

3. 转换精度

转换精度是指 A/D 转换器转换后所得数字量代表的模拟输入电压值与实际的模拟输入电压值之差。通常以数字量最低位所代表的模拟输入电压值 U_{LSB} 作为衡量单位，如 ADC0800～0803 的转换精度为 $\pm\frac{1}{2}U_{LSB}$，ADC0804～0805 的转换精度为 $\pm U_{LSB}$。

此外，A/D 转换器还有功率损耗、输入模拟电压范围等参数，在选用时应挑选参数合适的芯片。

思考题

8.2.1 D/A 转换器和 A/D 转换器各用于什么场合?

8.2.2 D/A 转换器由哪几部分组成? 影响 D/A 转换器转换精度的主要因素有哪些?

8.2.3 逐次逼近型 A/D 转换器由哪几部分组成? 它是怎样工作的?

8.2.4 在 A/D 转换过程中产生量化误差的原因是什么? 如何减小量化误差?

8.2.5 某 10 位 D/A 转换器的满刻度输出电压值为 10 V，则其所能分辨的最小输出电压增量是多少?

8.2.6　某 A/D 转换器的输出为 8 位二进制数，最大输入电压为 5 V，它能分辨出的最小输入电压是多少伏？

本章小结

1．本章主要介绍了 A/D 转换器和 D/A 转换器。

2．在模拟信号和数字信号混合应用的电路系统中，需要使用将模拟量转为数字量或将数字量转换为模拟量的转换器，即 A/D 转换器和 D/A 转换器。

3．在 D/A 转换器中，T 形电阻网络只要求两种阻值的电阻，便于集成，是集成 D/A 转换器普遍采用的电路。

在 A/D 转换器中，最常用的是逐次逼近型 A/D 转换器和双积分型 A/D 转换器。逐次逼近型 A/D 转换器的优点是转换速度较快，但对干扰信号的抑制能力较差，广泛应用于微机控制等要求速度较高的地方；双积分型 A/D 转换器的抗干扰能力强，但转换速度较慢，常用于精度要求高，但速度要求不高的仪器仪表中。

目前，A/D 转换器和 D/A 转换器的发展方向是高速度、高精度、易于与微机接口。

A/D 转换器和 D/A 转换器的主要技术参数是分辨率、转换精度和转换速度。

习题 8

8.1　12 位和 16 位 D/A 转换器的分辨率分别是多少？

8.2　若将图 8.1.1 所示的 T 形电阻网络 D/A 转换器从 4 位扩展为 10 位，并设基准电压 $U_{REF}=10$ V，则当输入二进制数码 $D_9 \sim D_0$ 的值分别为 $(13C)_H$ 和 $(0FE)_H$ 时，D/A 转换器的输出电压为多少？

8.3　某 8 位 T 形电阻网络 D/A 转换器（其结构如图8.1.1所示），当 $D_7 \sim D_0=00000010$ 时，$u_o=0.08$ V，求：(1)输入为 01010101 和 11111111 时，u_o 各为多少？(2)当输出电压 $u_o=5$ V 时，对应的输入 $D_7 \sim D_0$ 是多少？

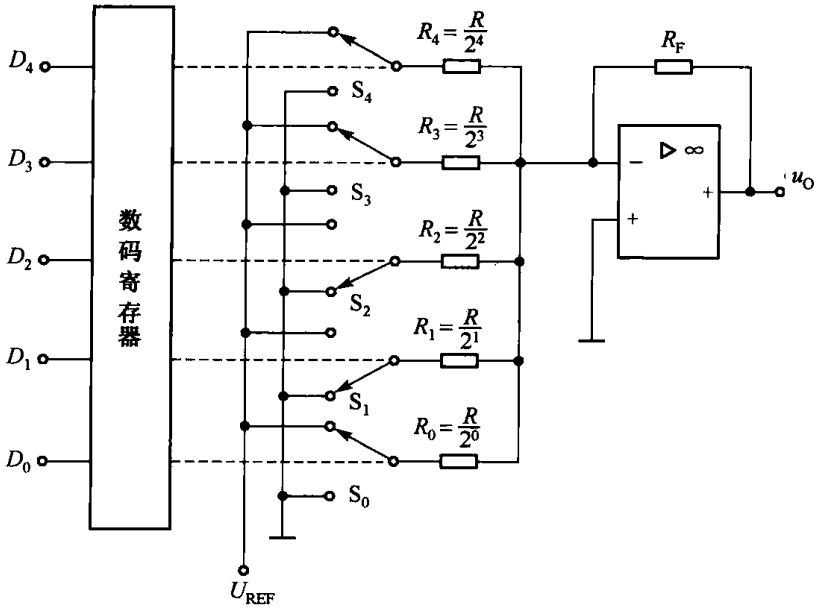
8.4 有一 D/A 转换器，其满刻度电压为 10 V，若要求其具有 1 mV 的分辨率，则至少需要多少位二进制数字位？

8.5　在图8.2.4所示的 4 位逐次逼近型 A/D 转换器中，设 $U_{REF}=5$ V，$u_I=2.82$ V，求转换的数字量，并画出逐次逼近波形图。

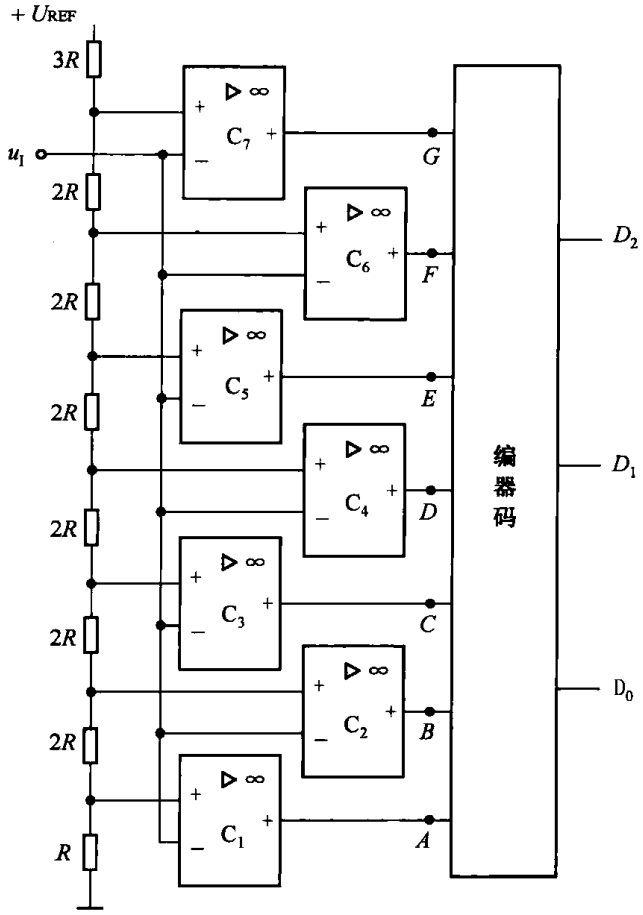
8.6　已知某 A/D 转换器电路，其最小分辨电压 $U_{LSB}=5$ mV，最大满刻度电压 $U_m=10$ V，试问此电路输入数字量的位数是多少？基准电源 U_{REF} 应是多大？

8.7　题8.7图所示为一种 5 位权电阻 D/A 转换器电路，由输入的二进制数码 $D_4 \sim D_0$ 控制电子开关 S_i 的状态。当 $D_i=0$ 时，S_i 接“地”，当 $D_i=1$ 时，S_i 接通 U_{REF}。现设 $U_{REF}=5$ V，$R=80$ kΩ，$R_F=5$ kΩ，试求当输入二进制数码 $D_4 \sim D_0=11001$ 时，输出电压 u_O 为多少？

8.8　题8.8图所示为 3 位并行比较型 A/D 转换器的逻辑电路。(1) 试分析其工作原理；(2) 列出 u_I 的电压值与各电压比较器 $C_7 \sim C_1$ 的输出以及编码器的输出状态之间的关系表（电压比较器输出高电平为“1”，反之为“0”；编码器输出按 3 位自然二进制编码）；(3) 若 $U_{REF}=8$ V，$u_I=6.28$ V，根据(2)中列出的关系表，求 D_2, D_1 和 D_0。


D_4
D_3
D_2
D_1
D_0
数码寄存器
$R_4=\frac{R}{2^4}$
$R_3=\frac{R}{2^3}$
$R_2=\frac{R}{2^2}$
$R_1=\frac{R}{2^1}$
$R_0=\frac{R}{2^0}$
S_4
S_3
S_2
S_1
S_0
R_F
u_O
U_{REF}

题 8.7 图


$+U_{REF}$
3R
2R
2R
2R
2R
2R
2R
R
u_I
C_7
C_6
C_5
C_4
C_3
C_2
C_1
G
F
E
D
C
B
A
编码器
D_2
D_1
D_0

题 8.8 图

第9章　存储器与可编程逻辑器件

数字集成电路从小规模集成电路(SSI)、中规模集成电路(MSI)，发展到大规模集成电路(LSI)，意味着在单块硅片上集成了上万个元器件，使LSI可以作为一个能完成一定功能的数字系统，而不再单纯地是一个组合逻辑电路或时序逻辑电路。大规模集成电路具有使电路微型化、功耗大大下降、可靠性提高等优点。

大规模集成电路分为通用型和专用型两种，前者是指标准化、系列化、批量生产的产品，如存储器、单片机等，后者是指为某种特殊用途和功能而设计制作的功能芯片。从芯片内部工艺上可分为双极型和MOS型两类，前者速度快，后者功耗低，目前采用较多的是MOS(主要是CMOS)集成电路。

本章主要介绍用于存放数字信息的LSI器件——存储器和由用户编程、配置的可编程逻辑器件(Programmable Logic Devices, PLD)。

存储器分为只读存储器(Read-Only Memory, ROM)和随机访问存储器(Random Access Memory, RAM)。

可编程逻辑器件分为可编程只读存储器(Programmable ROM, PROM)、可编程逻辑阵列(Programmable Logic Array, PLA)、可编程阵列逻辑(Programmable Array Logic, PAL)和通用阵列逻辑(Generic Array Logic, GAL)，以及可擦除可编程逻辑器件(Erasable Programmable Logic Device, EPLD)、复杂可编程逻辑器件(Complex Programmable Logic Device, CPLD)和现场可编程门阵列(Field Programmable Gate Array, FPGA)等。

9.1　存储器

存储器是一种用来存放数据、资料及运算程序的通用型LSI，它是计算机和其他数字系统的重要组成部分。存储器按其功能可分为只读存储器(ROM)和随机访问存储器(RAM)。在正常工作时，只读存储器只能读出，不能写入，而随机访问存储器既可以读出，又可以写入。只读存储器可以长期保存所存信息，而随机访问存储器在断电之后，所存信息便会丢失，故通常用于信息的暂存。

9.1.1　只读存储器(ROM)

只读存储器是用来存放固定数据、表格、固定函数、固定程序及指令的存储器，这种存储器不能用常规的方法写入或更改已存入的内容。其内容是生产厂在制造时一次写入的。

1．ROM的结构

ROM是一种组合逻辑电路，给定一组输入(地址)，可从存储器相应位置取出一组输出。ROM由地址译码电路、存储矩阵和输出电路三部分组成。其结构框图如图9.1.1所示。它有k条地址输入线$A_0 \sim A_{k-1}$，经过地址译码对应$N=2^k$条地址输出线，即W_0，W_1，…，W_{N-1}，也称为字线，它们分别对应着存储矩阵的一个行，存储矩阵中每个行存放着由二进制数组成的一组信息，称为一个字，当地址译码电路选中某一个字时，该字的M位则同时从输出线$F_0 \sim F_{M-1}$读出，M称为字长，输出线$F_0 \sim F_{M-1}$称为位线。因此，存储矩阵是一个$N \times M$阶矩阵，它的存储容量是$N \times M$位。

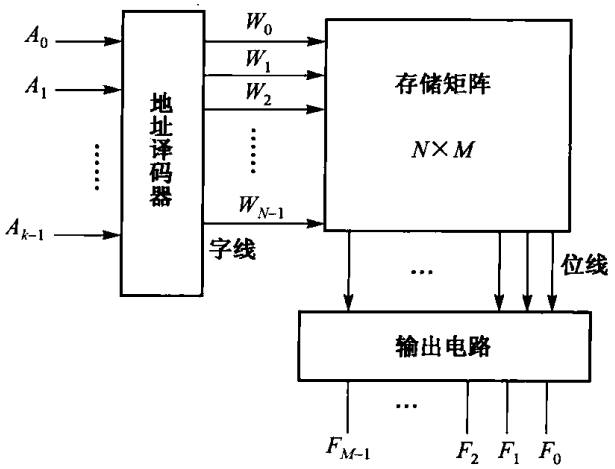


图 9.1.1 ROM 的结构框图

2. ROM 的工作原理

图9.1.2为一 4×4 二极管 ROM 的结构图。字线 W 和位线 F 的每个交叉点就是一个存储单元，在交叉点设置或不设置存储元件(这里是二极管)来决定该位的信息是“1”还是“0”。

对于图9.1.2 所示的 ROM 结构图，当地址码为“00”，即 $A=0$，$B=0$ 时，$W_0=\overline{A}\,\overline{B}=1$，字线 W_0 被选中，W_0 为高电位，其他 3 条字线未被选中，均为低电位，从图 9.1.2 中可分析出此时输出 $D_3D_2D_1D_0=1010$，则从 ROM 中读出存储在第 0 个字中的内容是“1010”。同理，当地址码分别为“01”，“10”和“11”时，可以依次读出存储在第 1 个字、第 2 个字和第 3 个字中的内容分别是“1101”，“0010”和“0111”。

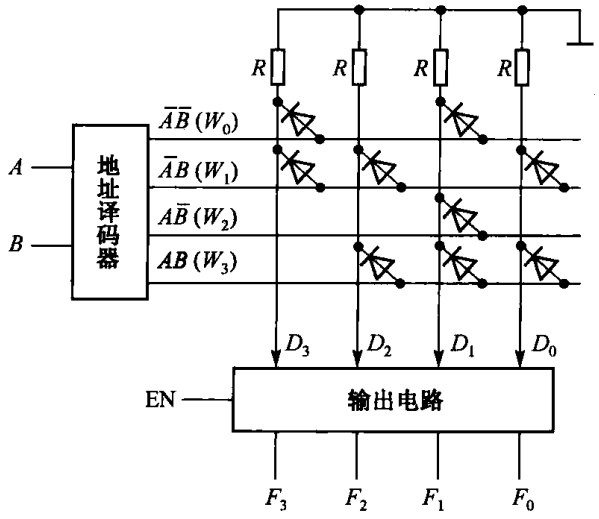


图 9.1.2 4×4 二极管 ROM 结构图

由此可知，在对应的存储单元中存入“1”还是“0”，是由接入或不接入相应的二极管来决定的。在相应的位置接入二极管，则存入“1”，不接入二极管，则存入“0”。显然，这种结构的 ROM，用户在使用过程中只能读出，不能写入或更改。在实际电路中，还有采用三极管或场效应管来代替二极管的，特别是场效应管构成的 ROM 即 MOS—ROM，使用得更广泛，其具体的工作原理与二极管 ROM 类似，这里不做详细介绍。

由于 $W_0=\overline{A}\,\overline{B}$，$W_1=\overline{A}B$，$W_2=A\overline{B}$，$W_3=AB$，所以地址译码器是一个“与”逻辑阵列，而存储矩阵输出端位线 D_3，D_2，D_1，D_0 是输入量 W_0，W_1，W_2，W_3 相或的结果，所以存储矩阵是一个“或”逻

辑阵列。例如，对于图 9.1.2 中的电路，有 $D_3=\overline{A}\overline{B}+\overline{A}B$，$D_2=\overline{A}B+AB$，$D_1=\overline{A}\overline{B}+A\overline{B}+AB$，$D_0=\overline{A}B+AB$。

图 9.1.2 中的位输出电路通常是由三态门构成的，一方面提高了存储器的带负载能力；另一方面，其三态输出的特点可使其数据线与外部系统数据总线直接相连，其工作状态由三态门的使能端 EN 来控制。

9.1.2　随机存取存储器(RAM)

随机存取存储器(RAM)的存储内容能随时地写入(存)或读出(取)，RAM 在计算机中主要用来存放用户程序及运算的中间结果等。RAM 的最大优点是读和写方便，使用和扩展灵活，但其缺点是数据易丢失，即存储的内容随电源断电而消失。

RAM 的基本结构如图9.1.3所示，RAM 的结构与 ROM 的相似，但由于 RAM 需要随时读写，除了与 ROM 一样需要地址译码器外，它与 ROM 的不同之处主要是 RAM 需要读写控制器来控制读写过程，信息通过输入/输出线进行交换。此外，存储器的存储单元必须具备能将信息写入、存储、读出的功能，所以存储单元通常是由具有记忆功能的电路(如双稳态触发器等)和相应的控制门电路组成的。根据存储单元的工作原理，RAM 又分为静态 RAM(Static RAM，SRAM)和动态 RAM(Dynamic RAM，DRAM)。

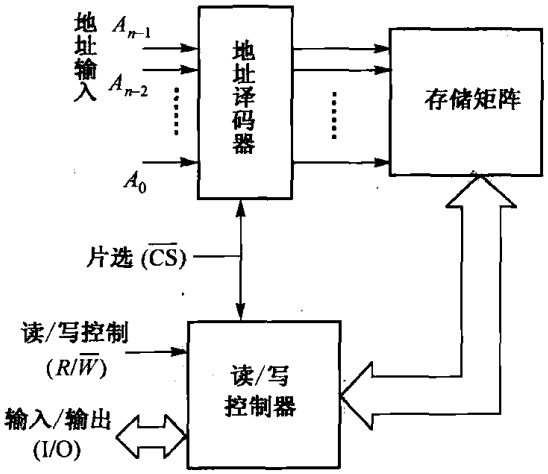


图 9.1.3　RAM 的结构框图

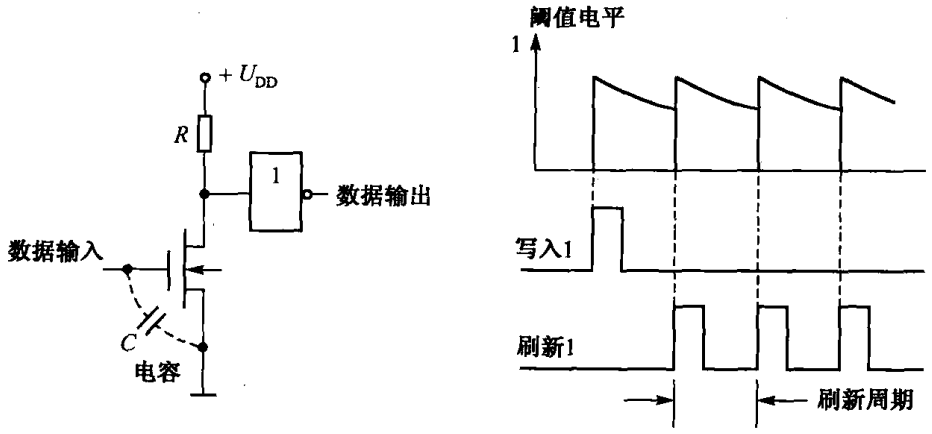
1. 静态 RAM

静态 RAM 的每个存储位相当于一个双稳态触发器，写入信息后，只要保证电源接通，则数据便可一直保存下去。每个存储位需要一个双稳态触发器。因此，RAM 所需晶体管较多，功耗也较大，故静态 RAM 的容量通常较小。

2. 动态 RAM

动态 RAM 则是针对静态 RAM 的上述缺点，利用场效应管的高输入阻抗和寄生电容来存储信息的。动态 RAM 的存储位模型示意电路如图9.1.4(a)所示。当存储位写入高电平“1”时，寄生电容 C 上将存储电荷，MOS 管导通，漏极 D 为“0”态，经反相器输出为“1”态。写入信号撤除后，电容 C 上的电荷将保持 MOS 管导通，使输出仍保持“1”态。但电容 C 上的电荷会经 MOS 管的输入电阻逐渐释放，使栅极 G 的电位下降，当下降到 MOS 管导通的阈值电平后，MOS 管将不再保持导通，输出状态将发生变化。为了使写入的信息不丢失，则需要定期对电容进行充电补充电荷，该过程称为

刷新。而在两次刷新期间，则是利用已充电的寄生电容作为电源来保持存储的信息的。图 9.1.4(b)为相应的动态 RAM 工作时序图。



(a) 动态 RAM 的存储位模型示意电路　　(b) 工作时序图

图 9.1.4　动态 RAM 的存储位模型示意电路及工作时序图

动态 RAM 相比静态 RAM，所需晶体管大大减少，功耗也减小，故容量较静态 RAM 大，但动态 RAM 需要增加复杂的刷新电路。

3. 典型 RAM 举例及 RAM 的扩展

(1) RAM2114 简介

RAM2114 是 NMOS 型静态 RAM，其存储容量为 1024×4 位(简称为 1 K×4 b)，它的外引脚排列如图9.1.5 所示。

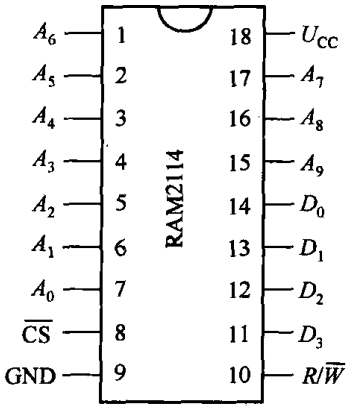


图 9.1.5　RAM2114 外引脚排列

RAM2114 具有一个片选端 $\overline{CS}$ 和一个读/写控制端 $R/\overline{W}$，以及 4 个数据输入/输出端 $D_3 \sim D_0$。10 根地址端 $A_9 \sim A_0$ (2^{10}=1024)。电源电压 U_{CC} 为 5 V。当片选端 $\overline{CS}$ 为高电平时，芯片内部数据线与外部数据输入/输出端相互隔离，此时芯片既不能写入，也不能读出。当片选端 $\overline{CS}$ 输入低电平，并且读/写控制端 $R/\overline{W}$ 输入低电平时，数据可通过 $D_3 \sim D_0$ 写入存储器。当片选端 $\overline{CS}$ 输入低电平而读写控制端 $R/\overline{W}$ 为高电平时，内部数据可由数据端 $D_3 \sim D_0$ 读出。

在使用时，如果一片 RAM 满足不了要求，需要把几片 RAM 组合在一起以便构成更大容量的存储器，这就是 RAM 的扩展。它分为位扩展和字扩展两种情况。

(2) 位扩展

位扩展的方法是将几片 RAM 的地址端、读写控制端和片选端对应地并联在一起，数据端独立，这样数据位数就扩展为几片 RAM 的位数之和。图9.1.6是把两片 RAM 扩展为 1 K×8b 的 RAM 连线图，图中 RAM2114(Ⅰ)存储数据的高 4 位，RAM2114(Ⅱ)存储数据的低 4 位。

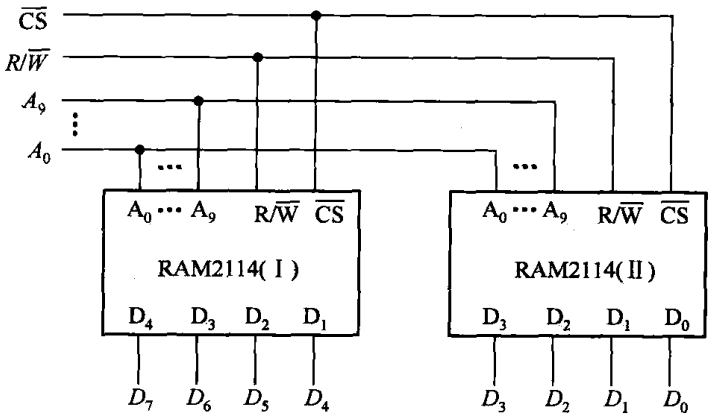


图 9.1.6　两片 RAM2118 扩展为 1 k×8b 的 RAM 连线图

(3) 字扩展

字扩展的方法是几片 RAM 的读/写控制端，数据端并联，地址端也并联作为低位地址，再用高位地址通过译码器控制各 RAM 芯片的片选端。图 9.1.7 是用 4 片 RAM2114 组成的字扩展电路。2 线-4 线译码器 74LS139 的两位地址 A_{11} 和 A_{10} 可分别作为整个扩展 RAM 的高位和次高位地址端，地址端 $A_9 \sim A_0$ 同时连到各个 RAM2114 的地址端，这样根据 A_{11} 和 A_{10} 的不同组合分别选择不同的 RAM2114 工作。当 $A_{11}A_{10}=00$ 时，RAM2114(1)工作，它内部的字线与外部的数据线相通，可对其进行存取操作。当 $A_{11}A_{10}=01$ 时，可存取 RAM2114(2)中的数据。当 $A_{11}A_{10}=10$ 时，存取 RAM114(3)中的数据。当 $A_{11}A_{10}=11$ 时，可存取 RAM2114(4)中的数据。所以总的地址线数为 12 根，总存储容量为 4096×4b，简称为 4 K×4b。

如果字数和位数均不够时，可以进行复合扩展，即先进行位扩展，然后再进行字扩展。

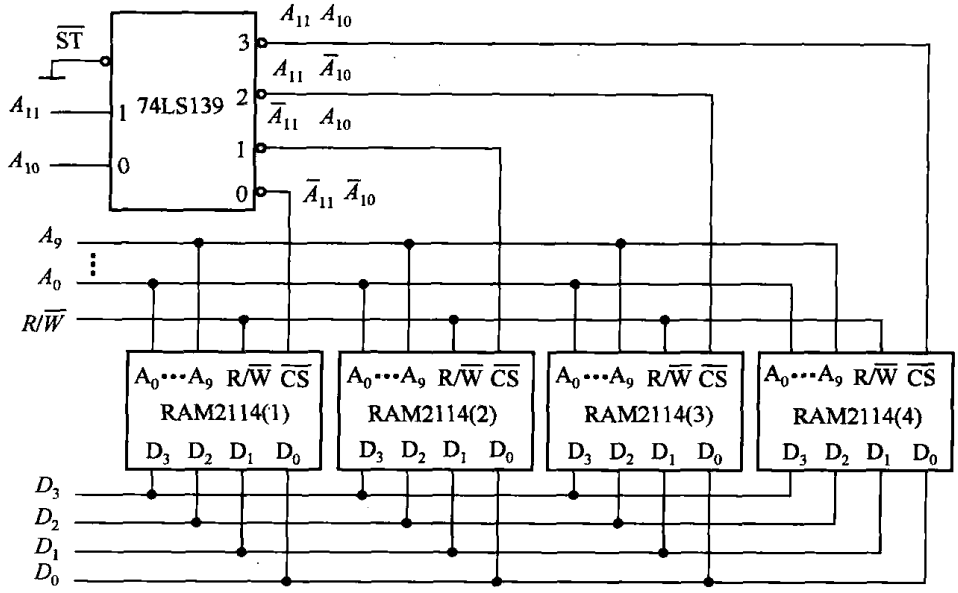


图 9.1.7　4 片 RAM2114 组成的 4 K×4b 字扩展电路

思考题

9.1.1 静态 RAM 与动态 RAM 的主要差别是什么?

9.1.2 比较 ROM 和 RAM 在结构和功能上有何不同?

9.1.3 怎样表示 ROM 和 RAM 的存储容量?

9.1.4 如何扩展 RAM 的位数和字数?

9.2 可编程逻辑器件(PLD)

可编程逻辑器件是指由用户自行定义功能的逻辑器件，PROM 是在 1970 年出现的第一种可编程逻辑器件(PLD)。此后，PLA, PAL, GAL 以及 EPLD, CPLD, FPGA 等可编程逻辑器件陆续问世，在结构、工艺、集成度、性能和速度等方面不断提高和改进。可编程逻辑器件的出现，改变了传统的数字系统设计方法，可以采用 EDA(Electronic Design Automation)技术进行数字系统设计，设计者只需要用硬件描述语言(如 VHDL 等语言)完成对系统功能的描述，然后由软件程序自动完成设计工作，极大地提高了设计效率。上述的 PLD 中，PROM, PLA, PAL 和 GAL 也称为低密度可编程逻辑器件或简单可编程逻辑器件，因为它们的集成密度小于 700 门，而集成密度大于 700 门的 EPLD, CPLD, FPGA 等则称为高密度可编程逻辑器件或复杂可编程逻辑器件。下面主要介绍低密度(简单)可编程逻辑器件。

与前面介绍的 ROM 一样，低密度(简单)PLD 也是一个“与”阵列(地址译码器)后联接一个“或”阵列(存储矩阵)的两级结构逻辑器件。ROM 是一种“与”阵列和“或”阵列均为固定的逻辑器件，而可编程逻辑器件的“与”阵列和“或”阵列则根据不同结构分别是可编程的或固定的。图 9.2.1 为低密度 PLD 的基本逻辑框图，其最终的逻辑结构和功能由用户编程决定。

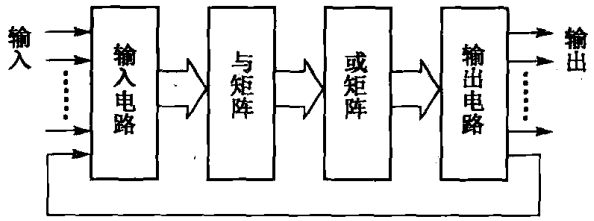


图 9.2.1 低密度 PLD 的基本逻辑框图

PLD 常用的逻辑符号如图9.2.2 所示。在图9.2.2(a)中，三输入端与门的输入线简化为一根，称为乘积线，交叉点为编程点，在交叉点上有实心黑点“•”表示该编程点为固定连接点，用户不可改变；在交叉点上有“×”表示该编程点为用户可定义的编程点，产品出厂时该点是接通的，用户编程时可根据需要将其断开(擦除)或使其继续保持接通。若编程点上既无黑点“•”也无“×”，则表示该编程点是断开的或编程时已擦除了。

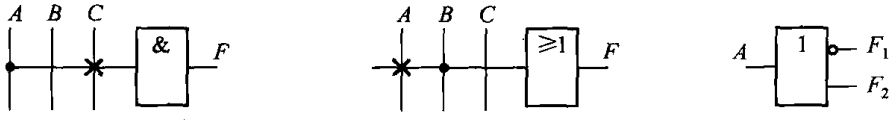


图 9.2.2 PLD 常用的逻辑符号

低密度 PLD 主要有下面 4 种结构。

(1) 可编程只读存储(PROM)：固定的“与”阵列和可编程的“或”阵列。

(2) 可编程逻辑阵列(PLA)：“与”阵列和“或”阵列均可编程。

(3) 可编程阵列逻辑(PAL)：可编程的“与”阵列和固定的“或”阵列(一次编程)。

(4) 通用阵列逻辑(GAL)：可编程的“与”阵列和固定的“或”阵列(多次编程)。

表 9.2.1 为这几种低密度 PLD 的结构比较。

表 9.2.1　几种低密度 PLD 的结构比较

器　件	阵　列		输　出
	与 阵 列	或 阵 列	
PROM	固定	可编程	三态缓冲
PLA	可编程	可编程	三态缓冲
PAL	可编程	固定	I/O、三态缓冲、寄存器
GAL	可编程	固定*	用户定义

注：* 表示新一代 GAL 的或阵列也是可编程的，如 GM39V18 等。

9.2.1　可编程只读存储器(PROM)

可编程只读存储器是一种“或”阵列(存储矩阵)可编程的 ROM。

PROM 又可分为 3 种类型。

第 1 种是用户只能写入一次，写入后再不能更改，这种 ROM 简称 PROM。

第 2 种是用户写入程序后，还可改写内容(用紫外光照射特定部位来实现)，这种 ROM 称为可擦除可编程只读存储器，简称 EPROM(Erasable PROM)。

第 3 种也是可改写已写入的内容，只是它的改写条件可用电来完成，而不需光照射，故比第 2 种 EPROM 方便得多，这种 ROM 称为电可擦除可编程只读存储器，简称 EEPROM 或 E^2PROM(Electric EPROM)。

下面主要对 PROM 做一个简要介绍。

图 9.2.3 为 PROM 的基本结构，它由地址译码器和可编程的存储矩阵组成，对应每一种可能的输入组合，就相应地得到一组可以独立编程的输出。PROM 在出厂时，每个存储单元都接有管子(二极管、三极管或 MOS 管)，只是每个管子上都串接一根熔断丝接到相应的位线上，如图 9.2.4 所示(以二极管和三极管为例)。用户在编程时，根据需要选择相应的存储单元，通过一定的脉冲电流，将熔断丝熔断，这样，熔丝被熔断的存储单元，管子相当于断开，而未被熔断熔丝的单元，管子相当于接通，则分别表示不同的存储内容。显然，这种编程只能进行一次。

9.2.2　可编程逻辑阵列(PLA)

在上述的 PROM 中，每个字都是通过地址译码器选择读取的。PROM 的地址译码器是一个完全译码器，它构成地址变量的全部最小项，k 条地址线的 PROM，则有 $N=2^k$ 个最小项，也就对应了 N 个字，一组地址选通一根字线。可编程逻辑阵列(PLA)与 PROM 的不同之处在于，地址译码器仅选择需要的最小项译出，这就使译码器矩阵大大压缩。所以，PLA 是一个两级阵列均可编程的组合网络，由第 1 级可编程的“与”阵列(形成选通字线)和第 2 级可编程的“或”阵列(形成选通位线)组成。图 9.2.5 为 PLA 的基本结构图。

这里，我们分别用 PROM 和 PLA 实现下面的多输出组合逻辑函数，比较两者的区别：

$$F_0 = B\bar{C} + \bar{A}B\,, \qquad F_1 = AB + \bar{A}\bar{B}\,, \qquad F_2 = ABC + A\bar{B}C + B\bar{C}$$

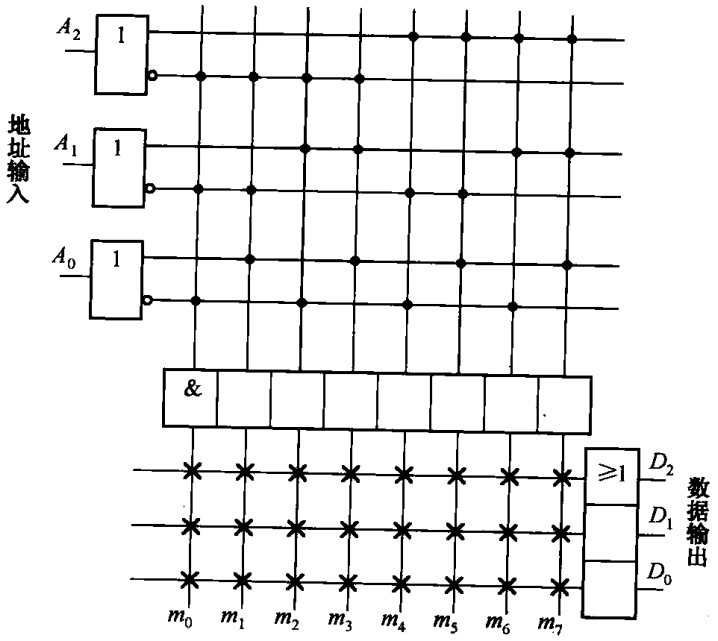


图 9.2.3 PROM 的基本结构图

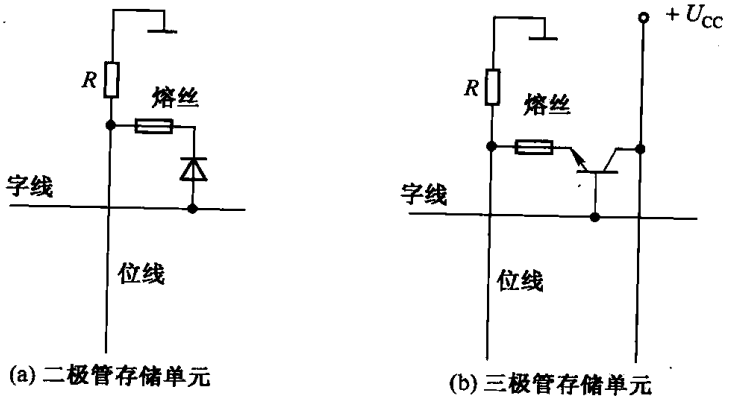


图 9.2.4 PROM 的基本单元示意图

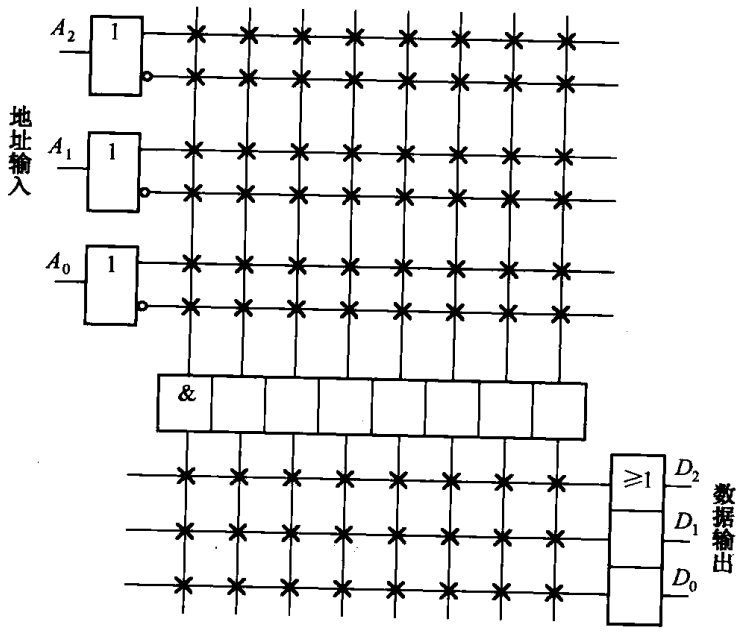


图 9.2.5 PLA 的基本结构图

1. 用 PROM 实现上述多输出组合逻辑函数

因为 PROM 是完全地址译码器，它的“与”阵列是固定的全部最小项，因此，首先要将 F_0，F_1，F_2 各式用最小项形式写出，即

$$F_0 = B\overline{C} + \overline{A}B = AB\overline{C} + \overline{A}B\overline{C} + \overline{A}BC$$

$$F_1 = AB + \overline{A}\overline{B} = ABC + AB\overline{C} + \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C}$$

$$F_2 = ABC + A\overline{B}C + B\overline{C} = ABC + A\overline{B}C + AB\overline{C} + \overline{A}B\overline{C}$$

根据上述最小项逻辑函数式，可得产生其逻辑函数的 PROM 编程阵列如图9.2.6 所示。

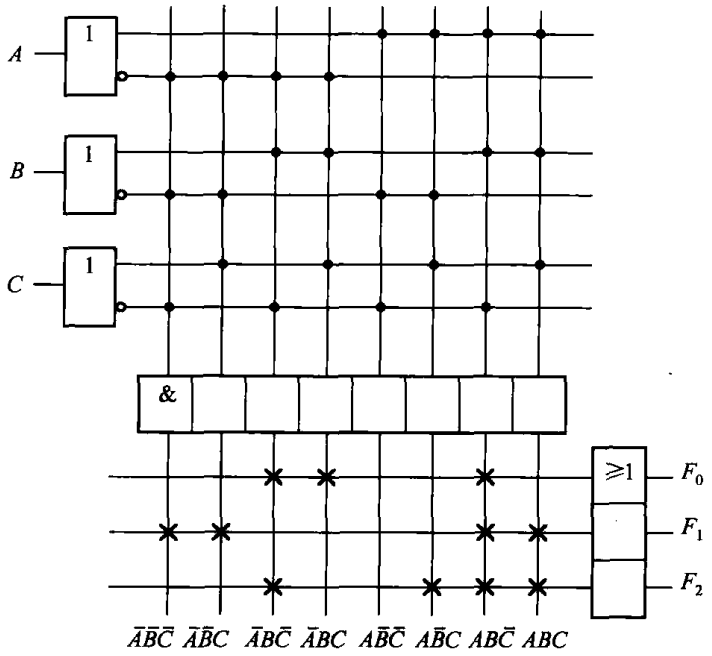


图 9.2.6　编程后的 PROM

2. 用 PLA 来实现上述多输出组合逻辑函数

因为 PLA 的地址译码器的“与”阵列也可以编程，因此，首先将 F_0，F_1，F_2 各式化简，根据化简式再对“与”阵列和“或”阵列编程，即

$$F_0 = B\overline{C} + \overline{A}B$$

$$F_1 = AB + \overline{A}\overline{B}$$

$$F_2 = ABC + A\overline{B}C + B\overline{C} = AC + B\overline{C}$$

根据上述化简的逻辑函数式，可得到图9.2.7所示的用 PLA 实现的编程阵列图。

从上面的例子可看到，PROM 的“与”阵列字线是以最小项的形式出现的，而 PLA 的“与”阵列字线是以化简的逻辑函数式中存在的“与”项数来确定的。显然，化简后的逻辑函数式的“与”项数要比最小项的数量少，故 PLA 实现的“与”阵列和“或”阵列要简化得多。

9.2.3　可编程阵列逻辑(PAL)

可编程阵列逻辑(PAL)是在 PROM 和 PLA 基础上发展起来的，PAL 的基本门阵列结构与 PLA 基本门阵列结构相似，但是，PAL 是一种“与”阵列可以编程，而“或”阵列是固定的器件，即每

个输出是若干个乘积项之和，其中乘积项包含的变量可以编程选择，PAL 器件的输入端、输出端及乘积项的数目是出厂时就固定的。图 9.2.8 为每个输出的乘积项是两个的 PAL 基本结构图，典型的逻辑函数要求有 3～4 个乘积项，在现有 PAL 产品中，乘积项最多可达 8 个。

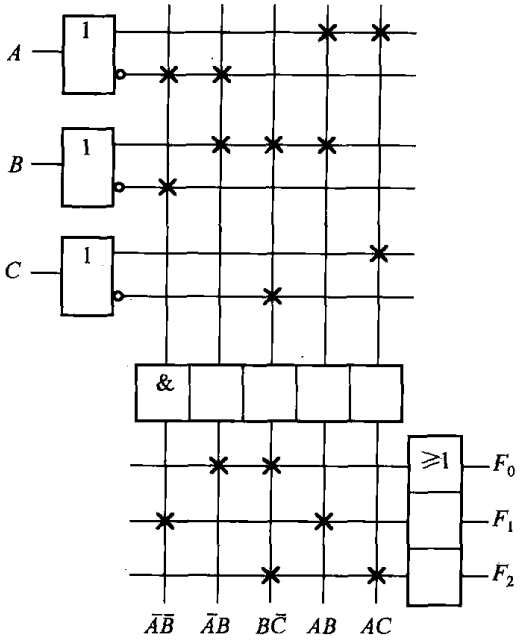


图 9.2.7 编程后的 PLA

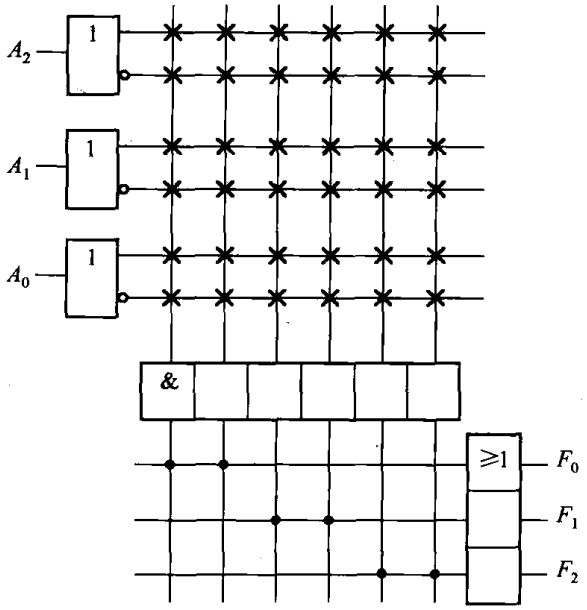


图 9.2.8 每个输出乘积项是 2 个的 PAL 基本结构图

把前面介绍过的实现多输出组合逻辑函数的例子再用 PAL 来实现，比较一下它与 PROM 和 PLA 的不同之处。

$$F_0 = B\bar{C} + \bar{A}B, \qquad F_1 = AB + \bar{A}\bar{B}, \qquad F_2 = ABC + A\bar{B}C + B\bar{C}$$

和 PLA 一样，由于“与”阵列是可以编程的，所以 F_0，F_1，F_2 均写出其简化逻辑函数式：

$$F_0 = B\bar{C} + \bar{A}B, \qquad F_1 = AB + \bar{A}\bar{B}, \qquad F_2 = AC + B\bar{C}$$

根据各逻辑函数式，对“与”阵列进行编程选择，编程后的 PAL 编程阵列结构如图9.2.9所示。

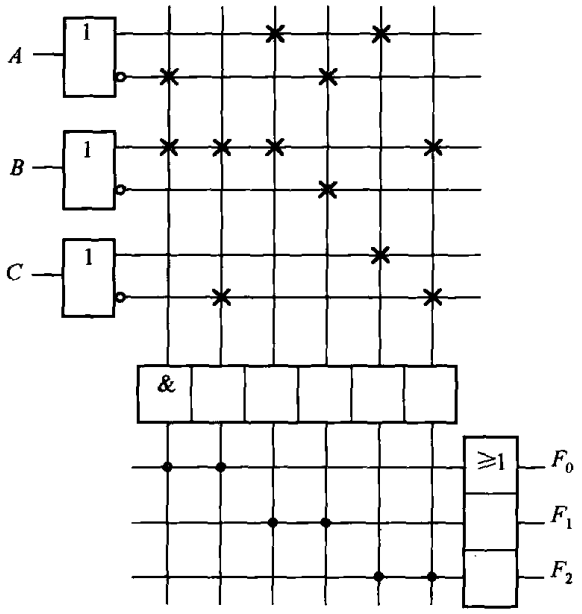


图 9.2.9　编程后的 PAL

可以看出，PAL 在逻辑设计和运用时比 PROM 提供了更高的性能和效率。此外，PAL 比 PLA 有更多的软件支持和操作方便的编程器，因而得到了广泛的应用。

9.2.4　通用阵列逻辑(GAL)

通用阵列逻辑(GAL)的基本阵列结构与 PAL 一样，即可编程的“与”阵列和固定的“或”阵列(新一代 GAL 的“或”阵列也可编程)，两者的不同之处是 PAL 采用的是熔丝工艺，是一次编程的，而 GAL 采用的是电可擦除可编程 CMOS(E^2CMOS)工艺，它可以进行多次电擦除，多次重复编程，重复编程次数大于 100 次(类似于 PROM 中的 E^2PROM 的特点)。此外，PAL 的输出级采用固定的输出结构，不同结构的输出需求只能通过选用不同型号的 PAL 来实现，而 GAL 具有功能很强的可编程输出级，可灵活地改变工作模式。

GAL 的可编程输出结构称为输出逻辑宏单元(Output Logic Macro Cell, OLMC)。图9.2.10是型号为 GAL22V10 的 OLMC 结构框图，可以看到 OLMC 中除了包含或门阵列外，还有一个 D 触发器和两个数据选择器 MUX，其中 4 选 1 数据选择器 OMUX 用来选择输出方式和输出极性，2 选 1 数据选择器 FMUX 用来选择反馈信号，MUX 的状态由两位可编程特征码 S_1S_0 来控制，如表 9.2.2 所示。

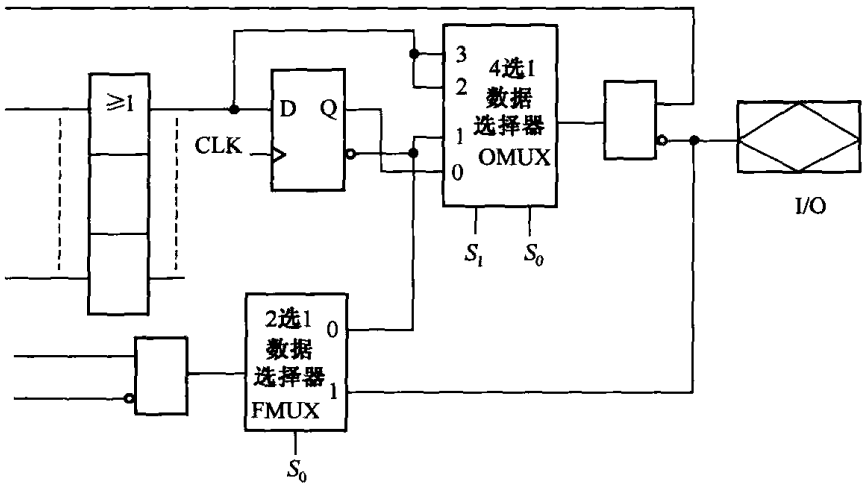


图 9.2.10　GAL22V10 的 OLMC 结构框图

如果信号经 D 触发器 Q 端输出，为时序逻辑输出，若信号不经 D 触发器 Q 端输出(D 触发器被旁路)，则为组合逻辑输出。

表 9.2.2 OMUX 的输出方式

S_1	S_0	输 出 状 态
0	0	寄存器输出(低电平有效)
0	1	寄存器输出(高电平有效)
1	0	组合 I/O 输出(低电平有效)
1	1	组合 I/O 输出(高电平有效)

GAL 与 PAL 全功能兼容，一个 GAL 可以代替多种 PAL，GAL 器件在功能上几乎可以取代整个 54/74LS 系列、74HC 系列和 CD4000 系列的器件，所以称为通用可重编程阵列逻辑。其输出引脚既能作为输出端，也可以通过编程改变为输入端。GAL 既可以作为组合逻辑器件，又可以作为时序逻辑器件。其速度与 TTL 相匹配，可实现高速电写入和电擦除，并且功耗很低。

基于上述这些特点，GAL 器件成为开发、研制和实现数字系统的最理想器件，应用越来越广泛。

9.2.5 高密度可编程逻辑器件(HDPLD)

低密度可编程逻辑器件由于集成密度较低，不能满足越来越复杂的数字系统的需求，所以高密度可编程逻辑器件(HDPLD)便迅速出现。HDPLD 是指集成密度大于 700 门以上的 PLD，通常在几千门到几十万门。

HDPLD 具有更多的输入、输出信号和更多的乘积项，内部包含很多逻辑宏单元块，每个逻辑宏单元块相当于一个 GAL，这些宏单元块之间利用内部编程连线实现相互连接。

HDPLD 主要包括复杂可编程逻辑器件(CPLD)和现场可编程门阵列(FPGA)。

其中，CPLD 与前面介绍的低密度可编程逻辑器件一样，也属于阵列型结构，另外包含了可编程逻辑宏单元、可编程 I/O 单元和可编程内部连线等；而 FPGA 的结构却完全不同，其结构类似于 SRAM 的掩模可编程门阵列，采用查找表作为基本逻辑单元，它有许多独立的可编程逻辑模块，用户通过编程可以将这些模块连接起来实现不同的设计，因而 FPGA 具有更强的逻辑实现能力和更好的设计灵活性，它的集成度也更高，通常可达几万到几十万门。

HDPLD 具有的上述这些特点，使得它们在复杂的数字系统的电路设计和实现中应用的越来越广泛。

1. CPLD 简介

目前国内使用较多的 HDPLD 产品主要是 Altera, Lattice 和 Xilinx 三家公司的，对同类产品而言，各家公司的电路体系结构有所不同，但主要结构是基本相同的。

在这三家公司中，Lattice 是最早推出 PLD 产品的公司，它的 CPLD 产品主要有 IspLSI 和 IspMACH 等系列，IspLSI 系列器件的集成度在 1000～60 000 门之间，支持在系统编程，根据内部结构的一些差异，可分为 IspLSI1000, 2000, 5000 和 8000 等 4 个系列，具体性能参数可参见表 9.2.3。

表 9.2.3 Lattice 公司 IspLSI 系列器件的性能参数

器 件	1000EA	2000E/VL/VE	5000/V	8000/V
集成度(门)	2000～8000	1000～6000	12 500～25 000	25 000～58 000
最高工作频率	60～125 MHz	165～200 MHz	100～125 MHz	110 MHz
最小传输延时	5～10 ns	3～5 ns	7.5～12 ns	8.5 ns
宏单元数	64～192	148～160	192	480～840
触发器数	96～288	320～672	416	720～1152
I/O 端口	36～110	35～138	144～389	165～329

Xilinx 公司的 CPLD 器件主要有 XC9500 和 CoolRunner 系列，其中 XC9500 系列采用了快闪(Fast Flash)存储技术，因此速度更快、功耗更低，其平均延时达到 4 ns ，系统时钟可达到 200 MHz，也支持在系统编程，所以在通信和网络系统中广泛应用。表 9.2.4 给出了 XC9500 系列器件的性能参数。

表 9.2.4　XC9500 系列器件的性能参数

器　件	XC9536XV/XL	XC9572XV/XL	XC95144XV/XL	XC95288XV/XL
可用门数	800	1600	3200	6400
最高工作频率	200/178 MHz	178 MHz	178 MHz	151 /125MHz
平均传输延时	4/5 ns	5 ns	5 ns	6/7 ns
宏单元数	36	72	144	288
触发器数	36	72	144	288
I/O 端口	34/36	72	133/117	192/168

Altera 公司也是世界著名的 PLD 产品厂商，其 CPLD 的产品主要是 MAX 系列，包括了 MAX300, MAX500, MAX700, MAX700A, MAX700B, MAX700S, MAX900 和 Classic 等系列，集成度在 200～20 000 门之间，其中的 MAX700 系列和 MAX900 系列具有在系统编程能力。

大多数 CPLD 器件的基本结构与前面介绍的低密度 PLD 是一样的，属阵列型结构。只是 CPLD 由多个小规模的 PLD(SPLD)构成，并由互连矩阵进行连接，可以分为可编程逻辑阵列块(宏单元组)(Logic Array Block, LAB)、可编程 I/O 块(I/O Control Block)和可编程内部连线阵列(Programmable Interconnect Array, PIA)三部分，如图9.2.11所示。

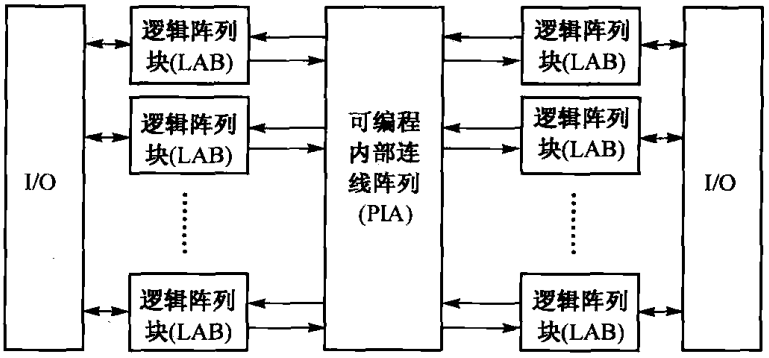


图 9.2.11　CPLD 结构图

一个 CPLD 有若干个 LAB，每个 LAB 又由几个到十几个逻辑宏单元(LMC)构成；PIA 将每个 LAB 中的宏单元或其他 LAB 的宏单元以及和 I/O 块进行连接。

与 SPLD 相比较，CPLD 具有以下一些特点。

1. 与或结构的改进。SPLD 的与或结构中每个与或结构单元的输入数和输出数是固定的，而 CPLD 则有共享的与或逻辑项，可完成逻辑关系更复杂的逻辑功能，这种共享的与或逻辑项也称为共享乘积项和。

2. 宏单元的改进。SPLD(如 GAL)的宏单元中只有一个触发器，且触发器的类型是固定的；而 CPLD 的宏单元可有多个触发器，且触发器的结构可通过编程而改变其类型。

3. CPLD 中的连接采用了全局与局部分割互连的结构。这种结构根据不同生产厂商主要有三种类型，如图9.2.12 所示。例如，Altera 公司的 MAX 系列器件是类型 A 结构的，Lattice 公司的 IspLSI 系列器件是类型 B 结构的。

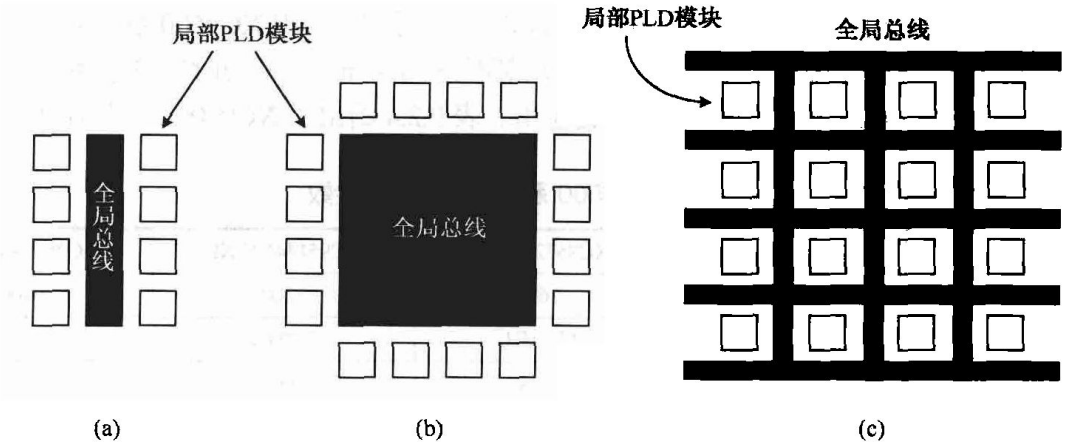


图 9.2.12 CPLD 结构类型图

2. FPGA 简介

同属 HDPLD 的现场可编程门阵列(FPGA)的结构与 CPLD 阵列型结构完全不同，其结构类似于 SRAM 的掩模可编程门阵列，包含上千个逻辑单元，按二维分布的布局使得其布线比 CPLD 的更为复杂，所以比 CPLD 有更大的逻辑容量，它的集成度通常可达几万到几十万门。

FPGA 通常由三个可编程逻辑模块构成，即可配置逻辑模块(Configurable Logic Block, CLB)，输入/输出模块(I/O Block，IOB)，互连资源(模块)(Interconnect Resource，ICR)。此外，它还有一个静态存储器 SRAM，用于存放编程数据。CLB 是实现逻辑功能的基本单元，它按 $n \times n$ 的二维阵列分布；IOB 则排列在 CLB 的四周，为可编程接口；ICR 分布在 CLB 的间隙中，用以 CLB 之间、CLB 和 IOB 以及其他控制单元之间的连接，进行信息传输。图9.2.13 为 Xilinx 公司 XC 系列典型的 FPGA 基本结构图。每个 CLB 包含了组合逻辑电路和触发器，可以实现小规模的组合逻辑或时序逻辑功能，用户通过编程可以将这些独立的可编程逻辑模块 CLB 连接起来实现不同的设计，因而 FPGA 具有更强的逻辑实现能力和更好的设计灵活性。

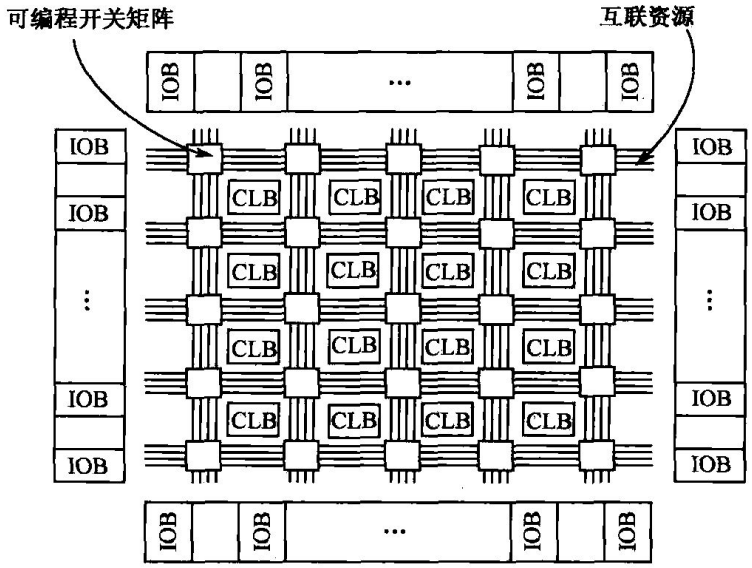


图 9.2.13 Xilinx 公司 XC 系列典型的 FPGA 的基本结构图

FPGA 是采用查找表(Look Up Table，LUT)来实现各种组合逻辑功能的。LUT 作为 CLB 中的基本逻辑单元，也称为逻辑函数发生器，它是通过一组代码来输入编程控制，查找并决定不同的逻辑关

系输出。以二变量的查找表为例，说明其工作原理。A 和 B 为输入变量，Y 为输出变量，$M_3M_2M_1M_0$ 为控制代码，当控制代码不同时，则输入和输出的逻辑关系也不同，它们之间关系由查找表确定，如表 9.2.5 所示。n 变量的 LUT 需要 2^n 位的控制代码。目前的 FPGA 中的 LUT 多数为四变量，需要 16 位控制代码，这种 LUT 方式只能产生组合逻辑功能，若 LUT 与 CLB 中的可编程触发器配合，则可产生时序逻辑功能。

表 9.2.5　FPGA 二变量查找表例

M_3	M_2	M_1	M_0	Y
0	0	0	0	0
0	0	0	1	AB
0	0	1	0	$\overline{A}\overline{B}$
0	0	1	1	$AB+\overline{A}\overline{B}$ … … …
1	1	1	0	$\overline{A}+\overline{B}$
1	1	1	1	1

FPGA 中用来存放编程数据的 SRAM 在停电以后将会丢失掉所存数据，所以每次接通电源后必须为 SRAM 重新“加载”编程数据，这一过程将在 FPGA 内部的时序电路控制下在通电初始化时自动进行，也可以在用户控制下进行，并可在现场修改数据(改变器件的逻辑功能)，而这些数据也将会存放在外部的 EPROM 或其他“掉电不丢失”存储器中。

FPGA 具有非常强的逻辑实现能力，并且设计非常灵活，这是它的最大优点。但是，它也存在着明显的缺点。FPGA 在构成复杂系统时，都是由多个 CLB 组合起来使用，由于有多种逻辑配置方案，所以通过可编程互连资源的每个信号的传输途径就可能各不相同，传输延迟时间也将无法准确算出，给设计电路带来困难，影响电路工作速度。此外，SRAM 在停电以后会丢失掉所存数据，接通电源后必须为其重新“加载”编程数据，因此给使用和数据保密带来不方便。

3. HDPLD 的应用设计和编程技术

HDPLD 的应用设计可分为以下 4 个步骤。

(1) 首先进行应用需求设计和输入，该过程现在通常采用硬件描述语言(HDL)和超高速集成电路硬件描述语言(VHDL)来实现。

(2) 然后进行功能仿真和编译优化，用于验证设计的逻辑电路有无错误，并对设计进行优化。

(3) 进行布局布线，可以采用系统自动布线，也可以采用人工干预的方法，并对该布线作系统仿真，以验证由不同布线产生的延时对系统功能的影响。

(4) 在系统仿真并确认设计的电路后，便可将此时的编程数据写入 HDPLD 器件中，从而得到具有设计要求功能的电子电路和系统。

HDPLD 的编程技术主要有三种，即在系统编程(In-System Programmability, ISP)技术，在电路配置(In-Circuit Reconfiguration, ICR)技术和反熔丝开关(Antifuse)技术。下面分别进行介绍。

(1) ISP 技术采用的是 E^2CMOS 工艺，编程数据存储在 E^2PROM 中并通过电信号进行数据的擦写，前面介绍的 SPLD 数据擦写均需要采用专用的编程器进行数据擦写编程，而 ISP 不需要专用的编程器，它在安装了 HDPLD 器件的电路板上预留编程接插口，通过电缆直接与微机相连接，对 HDPLD 器件进行在线编程，高效方便。为此，ISP 技术专门采用了保证在线编程安全可靠的几项技术措施，

例如其输入、输出的信号端采用三态门，编程时呈高阻，与外电路断开；同时增加接口控制电路，如编程使能信号、编程模式控制信号和编程时钟脉冲等。CPLD 主要采用 ISP 技术。

(2) ICR 技术采用的是 SRAM 工艺，因此 FPGA 的在线编程采用这种技术。在电路配置方式有主动配置和被动配置两种。主动配置方式由 FPGA 来控制配置过程，配置数据存储在外部的存储器件中。主动配置方式有三种读取数据的模式，即串行、并行向上和并行向下。被动配置方式由 FPGA 外部的控制器(通常是微机)来控制配置过程，如果用单片机来控制配置过程，则将 FPGA 作为它的外设来访问并传输数据。

此外，还有一种边界扫描可测性设计技术，因为它是由多家国际知名电子公司组成的联合测试行动组(Joint Test Action Group，JTAG)提出的，所以也称为 JTAG 设计技术。它也属于被动配置方式。

(3) ISP 和 ICR 两种在线编程技术都属于多次可重复在线编程，其优点是方便灵活，但这是以可靠性的降低为代价的，因此在一些对可靠性要求极高的场合下，则通常采用不能重复编程的一次性编程方法。反熔丝编程技术则是这种一次性编程的主要方法。反熔丝开关是一种由特殊介质与多晶硅构成的半导体开关。未编程时，开关呈高阻态，开关相当于开断；当加上 18 V 的编程电压时，介质被击穿，开关为导通状态，且不再恢复为高阻态，状态变化为一次性。由于该器件加编程电压后导通，与前面介绍的熔丝特性刚好相反，所以称这种器件为反熔丝开关。

思考题

9.2.1 可编程逻辑器件(PLD)基本结构中的核心部分是什么?

9.2.2 试比较 ROM, PROM, EPROM 和 EEPROM 在结构和功能上有何异同点?

9.2.3 试比较 EPROM, PLA 和 PAL 在与阵列或阵列上有何异同?

9.2.4 试比较 PAL 和 GAL 的异同?

9.2.5 试比较 CPLD 和 FPGA 的异同?

本章小结

本章主要介绍了半导体存储器和可编程逻辑器件等几种大规模集成电路器件。

1. 半导体存储器分为 ROM 和 RAM 两大类。ROM 只能读出信息，它存储的是固定信息；RAM 既可以读出信息，也可以写入信息，它是一种时序逻辑电路，其存储的信息随电源断电而消失。RAM 可分为静态 RAM 和动态 RAM 两种类型。

从逻辑电路结构的角度看，ROM 是与门阵列(地址译码器)和或门阵列(存储矩阵)构成的组合逻辑电路。

2. PROM，PLA，PAL 和 GAL 等可编程逻辑器件是一种采用“阵列逻辑”技术的应用逻辑器件。它们都有一个相同的基本结构，即由与阵列和或阵列组成。PROM 是对所有输入变量全译码生成全部最小项，每个输出是相应最小项的和。PLA 的与门阵列和或门阵列均可编程，因此，每个输出则是最简逻辑表达式。PAL 和 GAL 是与门阵列可编程、或门阵列固定，可对所有输入变量部分译码生成有限个乘积项，每个输出是有限个乘积项之和。

3. PROM 适用于输入变量少而乘积项多的情况；PLA 适用于输入变量多而乘积项少的情况；PAL 和 PLA 一样，适用于输入变量多而乘积项少的情况。GAL 是第二代 PAL，GAL 的输出结构可以变化，具有更好的灵活性。

4. 在 PLD 中，PROM，PLA 和 PAL 是一次编程器件；GAL 是可重复编程的器件；PLD 器件需要软件工具支持，用软件设计硬件，这也是现代数字系统的发展方向。

5. HDPLD 具有更多的输入、输出信号和更多的乘积项，内部包含很多逻辑宏单元块，每个逻

辑宏单元块相当于一个 GAL。HDPLD 包括 CPLD 和 FPGA。在线编程和高集成度等特点将使得 HDPLD 在复杂的数字系统的电路设计和实现中应用得越来越广泛。

习题 9

9.1　某 ROM 存储器有 6 条地址线和 8 条数据线，问该存储器的存储容量有多少位？

9.2　16 K×8b 的 RAM 需要多少条地址线和数据线？它有多少根字线？

9.3　试采用 1 K×4b 的静态 RAM2114 扩展为以下容量的存储器，画出连线图。

(1) 1 K × 8b　　(2) 4 K × 4b　　(3) 4 K × 8b

9.4　试用 ROM 设计一个半加器电路，并画出二极管结构图。

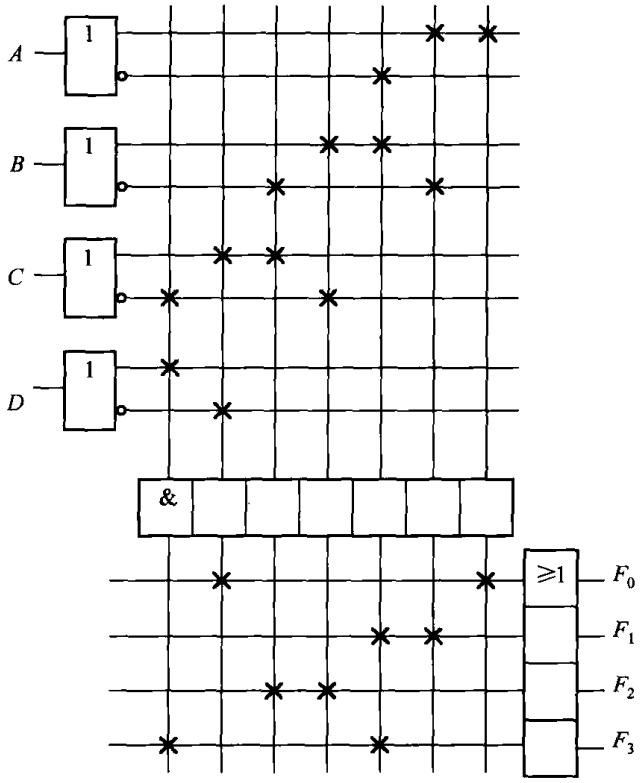
9.5　试用 PROM 实现下列多输出组合逻辑函数，并画出编程阵列图。

$$F_0 = AB + \overline{A}\overline{B}\overline{C}, \qquad F_1 = \overline{A}\overline{B} + ABC + A\overline{C}, \qquad F_2 = ABC + \overline{B}C$$

9.6　试用 PLA 实现题9.5 中的多输出组合逻辑函数，画出编程阵列图，并与 PROM 比较两者的区别。

9.7　试用 PAL 实现题9.5 中的多输出组合逻辑函数，画出编程阵列图。

9.8　题9.8 图为一个已编程的 PLA，试写出该 PLA 的多输出组合逻辑函数式。



题 9.8 图

部分习题参考答案

第 1 章

1.1 $U_{O1}=-0.6\ \text{V}$，$U_{O2}=-5.4\ \text{V}$，$U_{O3}=-4\ \text{V}$，$U_{O4}=-3.6\ \text{V}$。

1.2 (a) $u_I<5\ \text{V}$，$u_{O1}=u_I$；$u_I>5\ \text{V}$，$u_{O1}=5\ \text{V}$；

(b) $u_I<5\ \text{V}$，$u_{O2}=5\ \text{V}$；$u_I>5\ \text{V}$，$u_{O2}=u_I$；

(c) u_{O3} 波形与 u_{O1} 波形相同；

(d) u_{O4} 波形与 u_{O2} 波形相同。

1.3 $u_I<12\ \text{V}$，$u_O=12\ \text{V}$；$12\ \text{V}<u_I<18\ \text{V}$，$u_O=u_I$；$u_I>18\ \text{V}$，$u_O=18\ \text{V}$。

1.4 u_R 波形：$0<\omega t<210^\circ$ 或 $330^\circ<\omega t<360^\circ$，$u_O=10+20\sin\omega t\ \text{V}$；

$310^\circ<\omega t<330^\circ$，$u_O=0\ \text{V}$。

u_D 波形：$0<\omega t<210^\circ$ 或 $330^\circ<\omega t<360^\circ$，$u_O=0\ \text{V}$；

$310^\circ<\omega t<330^\circ$，$u_O=10+20\sin\omega t\ \text{V}$。

1.5 (1) $V_F=5\ \text{V}$，$I_{DA}=I_R=5\ \text{mA}$，$I_{DB}=0$；(2) $V_F=6\ \text{V}$，$I_{DA}=4\ \text{mA}$，$I_{DB}=2\ \text{mA}$，$I_R=6\ \text{mA}$；

(3) $V_F=6.67\ \text{V}$，$I_{DA}=I_{DB}=3.33\ \text{mA}$，$I_R=6.67\ \text{mA}$。

1.6 (a) $u_I<0$，$u_{O1}=0$；$0<u_I<4\ \text{V}$，$u_{O1}=u_I$；$u_I>4\ \text{V}$，$u_{O1}=4\ \text{V}$；

(b) $u_I<-4\ \text{V}$，$u_{O2}=-4\ \text{V}$；$-4\ \text{V}<u_I<6\ \text{V}$，$u_{O2}=u_I$；$u_I>6\ \text{V}$，$u_{O2}=6\ \text{V}$。

1.8 (1) $I_R=21.57\ \text{mA}$，$I_Z=12.57\ \text{mA}$，$I_L=12.57\ \text{mA}$；(2) $U_I=22\ \text{V}$，$R_L=0$，$P_{CM}=229.41\ \text{mW}$；

(3) 16.57 mA；(4) 16.14 V。

1.9 (a) PNP 锗管，1 为集电极，2 为发射极，3 为基极；(b) NPN 硅管，1 为基极，2 为发射极，3 为集电极；(c) PNP 硅管，1 为基极，2 为集电极，3 为发射极；(d) NPN 锗管，1 为集电极，2 为发射极，3 为基极。

1.10 (a) 放大，(b) 截止，(c) 放大，(d) 饱和，(e) 截止，(f) 饱和，(g) 放大，(h) 放大。

1.11 (a) 截止，$I_C\approx0\ \text{A}$，$U_{CE}\approx10\ \text{V}$；(b) 放大，$I_C=3.25\ \text{mA}$，$U_{CE}=3.5\ \text{V}$；(c) 饱和，$I_C\approx4.85\ \text{mA}$，$U_{CE}\approx0.3\ \text{V}$；(d) 放大，$I_C=23.25\ \text{mA}$，$U_{CE}=10\ \text{V}$。

1.12 (1) 三极管能正常工作；(2) 三极管不能正常工作；(3) 三极管不能正常工作。

1.13 $R_S=1\ \text{k}\Omega$。

1.14 (a) 增强型 NMOS，$U_{GS(th)}=2\ \text{V}$；(b) 耗尽型 NMOS，$U_{GS(off)}=-4\ \text{V}$，$I_{DSS}=5\ \text{mA}$；(c) 耗尽型 PMOS，$U_{GS(off)}=4\ \text{V}$，$I_{DSS}=-6\ \text{mA}$；(d) 增强型 PMOS，$U_{GS(th)}=-5\ \text{V}$。

1.15 (a) 可变电阻区；(b) 恒流区；(c) 可变电阻区；(d) 截止区。

第 2 章

2.1 $r_i=2\ \text{k}\Omega$。

2.2 $r_o=2\ \text{k}\Omega$。

2.3 (a) 不能，集电结正偏且输入交流短路；增加基极电阻 R_B；

(b) 不能，无基极偏置电流，将基极电阻 R_B 改接在基极与地之间；

(c) 不能，输出交流短路，无交流输出，添加集电极电阻 R_C；

(d) 不能，输出交流短路，无交流输出，删除 C_E 或将输出改接在集电极。

2.4 (1) $U_{CC}=12\ \text{V}$，$I_B=40\ \mu\text{A}$，$I_C=2\ \text{mA}$，$U_{CE}=6\ \text{V}$；

(2) $R_B=285\ \text{k}\Omega$，$R_C=3\ \text{k}\Omega$；

(3) $U_{om}=3\ \text{V}$；

(4) $I_{bm}=40\ \mu\text{A}$。

2.5 (1) $I_B=57\ \mu\text{A}$，$I_C=2.28\ \text{mA}$，$U_{CE}=5.16\ \text{V}$；

(2) $R_B=456\ \text{k}\Omega$；

(3) $R_B=304\ \text{k}\Omega$，I_C 不能达到 15 mA；

(4) I_B, I_C 不变，U_{CE} 将减小。

2.6 (2) $A_u=-91.4$，$A_{us}=-36.2$；

(3) $r_i=0.656\ \text{k}\Omega$，$r_o=3\ \text{k}\Omega$；

(4) 电压放大倍数减小。

2.7 (1) $U_{im}=34.36\ \text{mV}$；(2) $R_B=219.36\ \text{k}\Omega$。

2.8 (1) $I_B=-37.67\ \mu\text{A}$，$I_C=-3.77\ \text{mA}$，$U_{CE}=-4.46\ \text{V}$；

(3) $A_u=-150$，$r_i=0.889\ \text{k}\Omega$，$r_o=2\ \text{k}\Omega$；

(4) 截止失真；减小 R_B 的值。

2.9 (1) $I_B=-27.5\ \mu\text{A}$，$I_C=-1.65\ \text{mA}$，$U_{CE}=-7.75\ \text{V}$；

(3) $A_u=-104.8$，$r_i=1.145\ \text{k}\Omega$，$r_o=3\ \text{k}\Omega$。

2.10 (1) $I_B=27.9\ \mu\text{A}$，$I_C=1.39\ \text{mA}$，$U_{CE}=5.75\ \text{V}$；

(3) $A_u=-8.48$，$r_i=4.58\ \text{k}\Omega$，$r_o=3\ \text{k}\Omega$；

(4) $U_o=83.2\ \text{mV}$。

2.11 (1) $I_B=39.6\ \mu\text{A}$，$I_C=1.63\ \text{mA}$，$U_{CE}=3.85\ \text{V}$；

(3) $A_u=-11.33$，$r_i=4.65\ \text{k}\Omega$，$r_o=2.19\ \text{k}\Omega$。

2.12 (1) $I_B=43.5\ \mu\text{A}$，$I_C=2.65\ \text{mA}$，$U_{CE}=9.39\ \text{V}$；

(3) $A_u=0.99$，$r_i=58.2\ \text{k}\Omega$，$r_o=14.7\ \Omega$。

2.13 (1) $I_B=40\ \mu\text{A}$，$I_C=2\ \text{mA}$，$U_{CE}=6.6\ \text{V}$；

(3) $A_u=86.9$，$r_i=0.5\ \text{k}\Omega$，$r_o=3\ \text{k}\Omega$。

2.14 (1) $R_1=2\ \text{k}\Omega$，$U_{DS}=8.5\ \text{V}$；

(2) $R_{2max}=36\ \text{k}\Omega$；

(3) $A_u=-8$，$r_i=2.34\ \text{M}\Omega$，$r_o=56\ \text{k}\Omega$。

2.15 (1) $I_D=3.65\ \text{mA}$，$U_{GS}=-1.3\ \text{V}$，$U_{DS}=8.1\ \text{V}$；

(3) $g_m=2.7\ \text{mS}$；$A_u=-9$，$r_i=10.4\ \text{M}\Omega$，$r_o=4\ \text{k}\Omega$；

(4) $A_u=-1.41$。

2.16 (1) $I_D=1.15\ \text{mA}$，$U_{GS}=3.5\ \text{V}$，$U_{DS}=12.5\ \text{V}$；

(2) $g_m=1.5\ \text{mS}$；$A_u=0.88$，$r_i=101.875\ \text{M}\Omega$，$r_o=625\ \Omega$。

2.17 (1) $R_{L1}=0.75\ \text{k}\Omega$；

(2) $A_u=403.6$，$r_i=1.1\ \text{k}\Omega$，$r_o=2.7\ \text{k}\Omega$。

2.18 (1) $I_{E1}=1.05\ \text{mA}$，$U_{CE1}=3.6\ \text{V}$；$I_{E2}=2.05\ \text{mA}$，$U_{CE2}=5.84\ \text{V}$；

(2) $A_u=-121.6$，$r_i=1.3\ \text{k}\Omega$，$r_o=90\ \Omega$。

2.19 (1) $I_{E1}=0.5\ \text{mA}$，$U_{CE1}=10.5\ \text{V}$；$I_{E2}=0.96\ \text{mA}$，$U_{CE2}=6.71\ \text{V}$；

(2) $A_u=-12.25$，$r_i=320\ \text{k}\Omega$，$r_o=10\ \text{k}\Omega$。

2.20 $A_u=-124.8$，$r_i=140\ \text{k}\Omega$，$r_o=3\ \text{k}\Omega$。

2.21 (1) $I_C=0.262\ \text{mA}$，$U_{CE}=6.42\ \text{V}$；

(2) $A_u=-55.7$，$r_i=25.8\ \text{k}\Omega$，$r_o=72\ \text{k}\Omega$。

2.22 (1) $I_C=0.452\ \text{mA}$，$U_{CE}=10.2\ \text{V}$；

(2) $A_{ud}=-7.52$，$A_{uc}=-0.47$；

(3) 考虑共模分量时的输出为 $u_o=-77.6\ \text{mV}$；忽略共模分量时的输出为 $u_o=-75.2\ \text{mV}$。

2.23 (1) $I_{E1}=0.5\ \text{mA}$，$U_{CE1}=6.6\ \text{V}$；$I_{E2}=0.5\ \text{mA}$，$U_{CE2}=4.6\ \text{V}$；$I_{E3}=5.67\ \text{mA}$，$U_{CE1}=2.6\ \text{V}$；

(2) $u_o=1155.96\ \text{mV}$。

第3章

3.1 (1) $A_{uf}=80$；

(2) +2.17%，−1.85%。

3.2 (a) R_6 为反馈元件，电流串联负反馈；

(b) R_5 和 R_6 为反馈支路，电流并联负反馈；

(c) R_2 和放大器 A_2 组成的支路为反馈支路，电压并联负反馈；

(d) R_3，R_4，R_5 和放大器 A_2 组成的支路为反馈支路，电压串联负反馈。

3.3 (a) R_{F1}：电压串联负反馈；

(b) 电压串联正反馈；

(c) 电压串联负反馈；

(d) 电压并联负反馈。

3.4 (1) 电压串联负反馈；(2) 电流并联负反馈；

(3) 电压并联负反馈；(4) 电流串联负反馈。

3.5 (1) $R_3=\dfrac{10}{11}=0.91\ \text{k}\Omega$，$R_6=5\ \text{k}\Omega$；

(2) 20；

(3) 能正常工作。

3.6 输入电阻：$r_1=\dfrac{RR_1}{R-R_1}$，使输入电阻为最大值 $R=R_1$。

3.7 (1) −1；(2) 1。

3.8 $u_o=(k+1)(u_{I2}-u_{I1})$。

3.9 $R_{11}=10\ \text{M}\Omega$，$R_{12}=2\ \text{M}\Omega$，$R_{13}=1\ \text{M}\Omega$，$R_{14}=0.2\ \text{M}\Omega$，$R_{15}=0.1\ \text{M}\Omega$。

3.11 $u_o=-4(u_{I1}+u_{I2})$。

3.12 $u_o=-9\ \text{V}$。

3.16 $I_L=\dfrac{E}{R}$，该电路为恒流源。

3.17 $u_o=0\ \text{V}$。

3.18 $u_o=-\dfrac{1}{2}\dfrac{\text{d}u_i}{\text{d}t}$。

3.19 $u_{o1}=\dfrac{R_2+R_3}{R_3}u_i$，$u_{o2}=-\dfrac{R_4}{R_3}u_i$，$u_o=u_{o1}-u_{o2}=\dfrac{R_2+R_3+R_4}{R_3}u_i$。

3.20 (1) $u_o=\left(1+\frac{R_1}{R_2}\right)u_{i1}-\left(\frac{R_1}{R_2}+\frac{R_1R_3}{R_2R_4}\right)u_{i2}$；

(2) $u_o=\left(1+\frac{R_1}{R_2}\right)u_{i1}-\left(1+\frac{R_1}{R_2}\right)u_{i2}$，

第二个电路的抗共模能力强。

3.21 $u_o=\frac{R_3}{R_2}(u_{i2}-u_{i1})$。

3.22 (2) $A_f=1$，$\varphi=-2\arctan(\omega RC)$；

(3) $-\frac{\pi}{2}\sim 0$。

3.23 $u_o=5u_1+2u_2+2u_3$。

3.24 $u_o''+2u_o'+3u_o=u_i$。

3.25 当u_i小于u_R时，输出为正电压，二极管截止，三极管导通报警灯亮；当u_i大于u_R时，输出为负电压，二极管导通三极管截止，二极管起到保护三极管的作用，R_3起到限流的作用。

3.27 门限电压：-6 V。

3.28 门限电压：-6 V。

3.29 门限电压：$u_p''=-\frac{2}{3}$V，$u_p'=\frac{10}{3}$V。

3.30 门限电压：$u_p''=-3$ V，$u_p'=3$ V。

第4章

4.1 $\frac{I}{I_0}=\frac{\pi}{2\sqrt{2}}=1.11$。

4.2 (1) 无滤波电容$u_O=0.9u$，有滤波电容$u_O=1.2u$；

(2) 有滤波电容$U_{DRM}=2\sqrt{2}U$，无滤波电容$U_{DRM}=2\sqrt{2}U$；

(3) VD_1虚焊则电路的整流部分为半波整流电路，当滤波电容足够大，半波整流电容滤波的输出电压为U，故U_O通常大于正常值的一半；

(4) 不能正常工作。当电压为正半周时，VD_1和VD_2都截止，无电压输出；当电压为负半周时，VD_1和VD_2同时导通，二极管或者变压器被烧坏；

(5) 电源为负半周时，变压器二次绕组被短路，二极管或者变压器被烧坏；

(6) 无论电源在正半周还是负半周，变压器的二次绕组都被短路，二极管或者变压器被烧毁；

(7) 电路正常工作。不同的是输出电压极性为“上负下正”，由于电路采用电容滤波，滤波电容为有正负极性的电容，此情况下若不改变电容极性会损坏电容。

4.3 (1) 电路中负载R_L开路；

(2) 电路中滤波电容开路；

(3) 电路正常工作；

(4) 电路中有1～3个二极管和滤波电容同时开路，成为半波整流电路。

4.4 (1) $U_{o1}=-45$ V，$U_{o2}=9$ V；

(2) $I_{D1}=4.5$ mA，$U_{DRM1}=141$ V，$I_{D2}=45$ mA，$U_{DRM2}=28.2$ V。

4.5 (1) $U_{o1}=U_{o2}=0.45(U_{21}+U_{22})$；

(2) $I_{D1}=0.45\dfrac{U_{21}}{R_1}$，$I_{D2}=0.45\dfrac{U_{22}}{R_1}$，$I_{D3}=0.45\dfrac{U_{22}}{R_2}$，$I_{D4}=0.45\dfrac{U_{21}}{R_2}$，

$U_{DRM1}=U_{DRM2}=U_{DRM3}=U_{DRM4}=\sqrt{2}(U_{21}+U_{22})$；

(3) $I_{01}=\dfrac{\sqrt{2}}{\pi R_1}(U_{21}+U_{22})$，$I_{02}=\dfrac{\sqrt{2}}{\pi R_2}(U_{21}+U_{22})$，

$I_N=I_{o1}-I_{o2}=\left(\dfrac{1}{R_1}-\dfrac{1}{R_2}\right)\dfrac{\sqrt{2}}{\pi}(U_{21}+U_{22})$。

4.6 (1) 输出电压能稳定；

(2) 输出电压不能稳定。

4.7 (1) −11.24 ～ −6.44 V；

(2) $U_0=-8.19$ V，$U_{B1}=-6.2$ V，$U_{C1}=-8.59$ V；

(3) 放大管电流减小，调整管电流增大 I_L 增大到 2.66 A，电路不能稳压；

(4) 不能，−24 V。

4.8 (1) 上为反向输入端，下为同相输入端；

(2) 3.6 ～ 6 V。

4.9 $I_o=54.5$ mA，$U_o=15.9$ V。

4.10 (1) 209.9 Ω ～ 2.09 kΩ；(2) 5 ～ 10 V；(3) 11.5 W。

4.11 晶闸管导通角：90.58°，电流有效值：66.42 A，

晶闸管额定电压：(622.25～933.38)V，平均电流：(63.46～84.62)A。

4.12 晶闸管导通角：66.80°，负载电流有效值：10 A，

晶闸管电流有效值：13.11 A，晶闸管额定电压：(622.25～933.38)V，额定正向平均电流：(12.53 ～ 16.70)A。

第 5 章

5.1 11，25，45，69。

5.2 100011，1011100110，100001000，10010010。

5.3 79，858，36。

5.4 (1) 3 V；(2) 5.63 V。

5.5 与非门有多余输入端时，有以下几种处理方法：(1) 将其经 1～3 kΩ 的电阻接至正电源端；(2) 接高电平；(3) 与其他信号输入端并接使用。

或非门的多余输入端应接低电平或接地。

5.6 在负逻辑条件下，正逻辑条件下的与门、或门、非门的逻辑功能分别是或门、与门、非门。

5.10 低电平、高电平、高阻态、高阻态；

低电平、低电平、低电平、低电平。

5.11 高电平、低电平、低电平、低电平。

5.12 10，0.5 V，0.8 V。

5.13 (1) 3.6 V，0.3 V；(2) 3.6 V，0.3 V；(3) 0 V，0.3 V；(4) 1.4 V，0.3 V。

5.14 (1) 1；(2) B；(3) 0；(4) $A+CD$；(5) $A+\overline{B}C$；(6) $\overline{B}+C+A\overline{D}$。

5.16 (1) B；(2) $A\overline{B}+B\overline{C}+\overline{A}C$ 或 $\overline{A}B+A\overline{C}+\overline{B}C$；(3) $AC+BC+AB+D$；

(4) $A\overline{B}+\overline{A}\overline{C}$；(5) $\overline{B}\overline{C}D+B\overline{C}\overline{D}+BCD$；(6) $\overline{A}\overline{B}\overline{C}+\overline{A}C\overline{D}+A\overline{C}\overline{D}+A\overline{B}C$。

5.18 (a) $\overline{\overline{AB}A+\overline{AB}}$，$A\odot B$；

(b) $(A+B)+(B+C)+(A+C)$，$A+B+C$；

(c) $\overline{\overline{AB}\cdot\overline{\overline{AB}}}$，$A\oplus B$。

5.19 $F=\overline{A}\overline{B}+AB=A\odot B$，同或。

5.20 (a) $A=0$ 时，高阻态；$A=1$ 时，$F=B$。数据传输控制；

(b) $B=0$ 时，高阻态；$B=1$ 时，$F=A$。数据传输控制。

5.21 $F=A\odot B$。

5.22 $F=A\oplus B\oplus C$。

5.24 $F=ABC+ACD+ABD$。

第 6 章

6.14 (1) 并行输入端为低电平；

(2) 并行输入时，并行输入控制端为高电平，与非门解锁，$A=1$，左侧触发器置位端低电平有效，置 1，$B=0$，$C=0$，右侧两个触发器复位端低电平有效，清 0。

6.15 8 进制计数器。

6.16 5 进制计数器。

6.17 7 进制计数器。

6.18 5 进制计数器。

6.19 5 进制计数器。

6.20 6 进制扭环计数器。

6.21 计数到 9，自动停止。要重新计数，须在 $\overline{R}_D$ 端输入负脉冲。

6.23 3 mS，6 mS。

6.24 (a) 8 进制计数器；(b) 7 进制计数器。

6.25 60 进制计数器。

6.26 (a) 8 进制计数器；(b) 10 进制计数器。

6.27 66 进制计数器。

6.28 F 是方波，频率为 CP 的 0.4 倍。

6.29 10 进制计数器。

第 7 章

7.1 (1) 文式电桥正弦波振荡电路；选频网络是由电阻 R_1，C_1，R_2，C_2 组成的；

(2) 796.18 Hz；

(3) $R_F\geq 2R_{E1}$。

7.2 (1) 97.1 Hz；(2) 放大倍数不够，$A<3$，可以增大 R_F；

(3) 放大倍数过大，减小 R_F。

7.3 (1) 上负下正；(2) 54.16～169.4 Hz；(3) 1.5 kΩ。

7.4 (1) 电容三点式正弦波振荡电路；(2) 780.1 kHz；(3) 778.8 kHz，0.16%。

7.5 (a) 能产生自激振荡，在 C_1 上产生反馈电压；

(b) 能产生自激振荡，在 C_2 上产生反馈电压；

(c) 不能产生自激振荡；(4) 不能产生自激振荡；

(d) 不能产生自激振荡，C_2 上产生反馈电压；

(e) 能产生自激振荡，在L_1上产生反馈电压。

7.6 (a) 因为放大倍数不够，不能产生自激振荡，将 15 kΩ 电阻换成阻值 10 kΩ以下电阻；
(b) 能产生自激振荡。

7.7 (1) 能起振；
(2) 并联晶体振荡电路，石英晶体起到电感作用。

7.8 (1) 12 V；(2) 9.08 V；(3) 126.64 Hz。

7.9 $T=(2R+R_W)C\ln\left(1+2\dfrac{R_2}{R_1}\right)$，占空比调节范围：$\dfrac{R}{2R+R_W}\sim\dfrac{R+R_W}{2R+R_W}$。

7.10 (1) A_1方波发生器，A_2三角波发生器；
(3) u_{O1} ±6 V，u_{O2} ±3.6 V，f= 20.66 Hz。

7.11 (1) U_R 和U_S都调为 0 V；(2) $U_S=0$ V，$U_R>0$ V；
(3) $U_R=0$ V，$U_S>0$ V。

7.12 $R=64.9351$ kΩ，$R_2=649.3507$ kΩ。

7.14 (1) 不同时亮，时间间隔为109.86 ms；

7.15 天黑后$R_{暗}\geqslant 2$ MΩ，2 端和 6 端的输入电压$<\dfrac{1}{3}V_{CC}$时路灯亮；

天明时$R_{亮}=5\sim10$ kΩ，2 端和 6 端的输入电压$>\dfrac{2}{3}V_{CC}$时路灯灭。

7.16 当开关SB_1闭合、SB_2断开时，2 端的输入电压为零，低于$\dfrac{1}{3}V_{CC}$，3 端输出高电平时微电机启动；

当开关SB_2闭合、SB_1断开时，6 端的输入电压为V_{CC}，高于$\dfrac{2}{3}V_{CC}$，3 端输出低电平时微电机停止。

第 8 章

8.1 $\dfrac{1}{4095}$，$\dfrac{1}{65\,535}$。

8.2 3.096 V，2.480 V。

8.3 (1) 3.4 V，10.2 V；(2) 01111101。

8.4 14。

8.5 1001。

8.6 11；10.24 V。

8.7 −7.8125。

8.8 (1) 此为一次比较型 A/D 转换器，电阻网络产生 7 个参考电压并分别输入到 7 个电压比较器的同向输入端，由u_I的大小 7 个电压比较器的输出，再经编码器得到二进制编码；
(3) 110。

第 9 章

9.1 存储容量=$2^6\times8$=512 位。

9.2 需要 14 条地址线和 8 条数据线。之后 16384 根字线。

9.8 $F_0=A+C\overline{D}$，$F_1=\overline{A}B+A\overline{B}$，$F_2=\overline{B}C+B\overline{C}$，$F_3=\overline{A}B+C\overline{D}$。

主要参考文献

[1] 陈国联. 电子技术. 西安：西安交通大学出版社，2002
[2] 秦曾煌. 电工学(第五版). 北京：高等教育出版社，1999
[3] 康华光. 电子技术基础(模拟部分，第五版). 北京：高等教育出版社，2006
[4] 杨拴科. 模拟电子技术基础. 北京：高等教育出版社，2003
[5] 杨素行. 模拟电子技术简明教程(第三版)，北京：高等教育出版社，2006
[6] 陆明达. 新编电工电子技术. 上海：同济大学出版社，2003
[7] 杨世彦. 电工学. 北京：机械工业出版社，2003
[8] 刘全忠. 电子技术. 北京：高等教育出版社，1999
[9] 王兆安. 电力电子技术(第四版). 北京：机械工业出版社，2000
[10] 张克农. 数字电子技术基础. 北京：高等教育出版社，2003
[11] 江国强. 现代数字逻辑电路. 北京：电子工业出版社，2002
[12] 唐竞新. 数字电子电路. 北京：清华大学出版社，2003
[13] 岳怡. 数字电路与数字电子技术. 西安：西北工业大学出版社，2004
[14] 刘必虎. 数字逻辑电路. 北京：科学出版社，1999
[15] 蓝江桥. 现代数字电路设计. 北京：高等教育出版社，2006
[16] 李哲英. 电子技术及其应用基础. 北京：高等教育出版社，2003

反侵权盗版声明

电子工业出版社依法对本作品享有专有出版权。任何未经权利人书面许可，复制、销售或通过信息网络传播本作品的行为；歪曲、篡改、剽窃本作品的行为，均违反《中华人民共和国著作权法》，其行为人应承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。

为了维护市场秩序，保护权利人的合法权益，我社将依法查处和打击侵权盗版的单位和个人。欢迎社会各界人士积极举报侵权盗版行为，本社将奖励举报有功人员，并保证举报人的信息不被泄露。

举报电话：（010）88254396；（010）88258888
传　　真：（010）88254397
E-mail：　dbqq@phei.com.cn
通信地址：北京市万寿路 173 信箱
　　电子工业出版社总编办公室
邮　　编：100036

华信
欢迎登录 免费 获取本书教学资源
http://www.hxedu.com.cn

电子信息与电气学科规划教材·电子电气基础课程

电子技术

（电工学Ⅱ）

本书是普通高等教育“十一五”国家级规划教材，也是西安交通大学国家精品课程“电工电子技术（电工学）”主教材。

本书共9章，主要内容包括半导体器件、基本放大电路、集成运算放大器、电力电子技术基础、集成逻辑门和组合逻辑电路、集成触发器和时序逻辑电路、波形产生电路、A/D转换器、大规模集成电路。各章配有丰富的例题、习题、练习题和思考题，本书最后提供了部分习题的参考答案，便于教师教学和学生自学。为方便教师教学，本书配有免费电子教学课件。

本书可与我校刘晔主编的《电工技术（电工学Ⅰ）》配套使用，可作为高等学校工科非电类专业本科生、大专生及成人教育相关专业的教材和教学参考书，也可供工程技术人员参考。





策划编辑：冯小贝
责任编辑：段丹辉
封面设计：张　昱

本书贴有激光防伪标志，凡没有防伪标志者，属盗版图书。

ISBN 978-7-121-10369-8



定价：35.00 元